

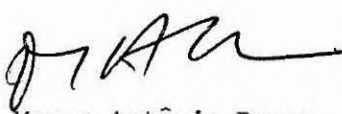


1. Publicação nº <i>INPE-3520-NTE/234</i>	2. Versão	3. Data <i>Maio, 1985</i>	5. Distribuição <input type="checkbox"/> Interna <input checked="" type="checkbox"/> Externa <input type="checkbox"/> Restrita
4. Origem <i>DTL/DRC</i>	Programa <i>AUTOM/ETSS</i>		
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>BPCD-70</i> <i>BARRAMENTO PADRÃO PARA CIRCUITOS DIGITAIS</i> <i>BACKPLANE BUS</i>			
7. C.D.U.: <i>681.322:621.38</i>			
8. Título <i>ESPECIFICAÇÃO PRELIMINAR DO BARRAMENTO</i> <i>PADRÃO PARA CIRCUITOS DIGITAIS BPCD-70</i>		10. Páginas: <i>28</i>	
		11. Última página: <i>C.3</i>	
9. Autoria <i>Maurício M. Faria</i> 		12. Revisada por  <i>Satoshi Koshima</i>	
Assinatura responsável		13. Autorizada por  <i>Marco Antônio Raupp</i> <i>Diretor Geral</i>	
14. Resumo/Notas <i>Este trabalho apresenta as especificações preliminares do Barramento Padrão para Circuitos Digitais - BPCD-70, que é um barramento de uso geral projetado para o emprego em sistemas baseados em microprocessadores. Uma descrição geral das diversas linhas do barramento, juntamente com as vantagens de empregar um barramento padronizado no desenvolvimento de sistemas baseados em microprocessadores, são apresentadas, seguidas das especificações técnicas e da nomenclatura utilizada para as linhas do BPCD-70.</i>			
15. Observações			

ABSTRACT

This paper presents the preliminary specifications for the Digital Circuits Standard Bus (Barramento Padrão para Circuitos Digitais - BPCD-70), which is a general purpose bus designed for use in microprocessor based systems. A general description of the several bus lines with the advantages of using a standardized bus in the development of microprocessor systems are given, followed by the technical specifications and the nomenclature used for the bus lines.

SUMÁRIO

	<u>Pág.</u>
1. <u>INTRODUÇÃO</u>	1
1.1 - Aplicações e vantagens do BPCD-70	2
2. <u>DESCRIÇÃO GERAL</u>	4
3. <u>DESCRIÇÃO DOS SINAIS DO BPCD-70</u>	5
3.1 - Barra de endereços	6
3.2 - Barra de dados	6
3.3 - Barra de controle	6
3.3.1 - Inicialização	7
3.3.2 - Controle do barramento	7
3.3.3 - Controle da transferência de dados	8
3.3.4 - Interrupções	9
3.3.5 - Temporização	10
3.4 - Barra de alimentação	11
4. <u>CONCLUSÃO</u>	11
BIBLIOGRAFIA	13
APÊNDICE A - PINAGEM E NOMENCLATURA DO BPCD-70	
APÊNDICE B - ESPECIFICAÇÕES ELÉTRICAS E TERMINAÇÕES DO BPCD-70	
APÊNDICE C - ESPECIFICAÇÕES MECÂNICAS DO BPCD-70	

1. INTRODUÇÃO

O barramento BPCD-70 é um padrão proposto para efetuar a conexão entre os diversos módulos de sistemas baseados em microprocessadores. Pode ser utilizado para a implementação de equipamentos e/ou sistemas que utilizem microprocessadores de 8 e de 16 bits. Está prevista ainda a capacidade de suportar sistemas com multiprocessamento.

Atualmente existem diversos padrões semelhantes disponíveis no mercado, cada um com suas vantagens e desvantagens próprias. O maior problema com os diversos padrões existentes atualmente reside no fato de suas especificações mecânicas, isto é, o tamanho das placas, conectores e "racks", não se mostrarem adequados às necessidades dos projetos da Divisão de Rastreamento e Comando de Veículos Espaciais. Alguns padrões possuem placas muito grandes, inadequadas para sistemas modulares; outros possuem placas com dimensões adequadas, porém não suportam microprocessadores de 8 e de 16 bits.

O BPCD-70 é um barramento do tipo "blackplane bus", proposto para atender aos seguintes requisitos:

- ser utilizado em sistemas modulares de pequeno e médio porte (placas no padrão IMS);
- ser independente do microprocessador a ser utilizado;
- suportar microprocessadores de 8 e de 16 bits;
- ter previsão para sistemas com multiprocessamento.

O BPCD-70 foi idealizado para servir de padrão aos projetos baseados em microprocessadores desenvolvidos pela Divisão de Rastreamento e Comando de Veículos Espaciais, DRC, do INPE.

1.1 - APLICAÇÕES E VANTAGENS DO BPCD-70

Uma aplicação típica do BPCD-70 é mostrada na Figura 1, onde o módulo da UCP (Unidade Central de Processamento) controla vários circuitos através de interfaces de entrada e saída específicas, as quais são dependentes da aplicação. A esse conjunto podem ser adicionados outros módulos, como o de memória, a interface serial RS 232, etc. Como pode ser observado nessa figura, o BPCD-70 faz a interligação dos diversos módulos do sistema, padronizando estas conexões e tornando o sistema modular é versátil, isto é, qualquer outro módulo compatível com o BPCD-70 pode ser facilmente adicionado ao sistema, tornando-o mais completo.

As principais vantagens da adoção de um barramento padrão nos projetos baseados em microprocessadores são:

- os projetos desenvolvidos pelos diversos grupos de trabalho tornam-se compatíveis entre si, o que permite maior intercâmbio de tecnologia entre os grupos, otimizando os esforços de desenvolvimento;
- otimização do tempo de projeto como consequência da uniformização;
- facilidade de manutenção e uniformização da documentação dos vários projetos e do sistema como um todo;
- uniformização dos projetos de circuitos baseados em microprocessadores, o que facilita a transferência de tecnologia para a indústria nacional.

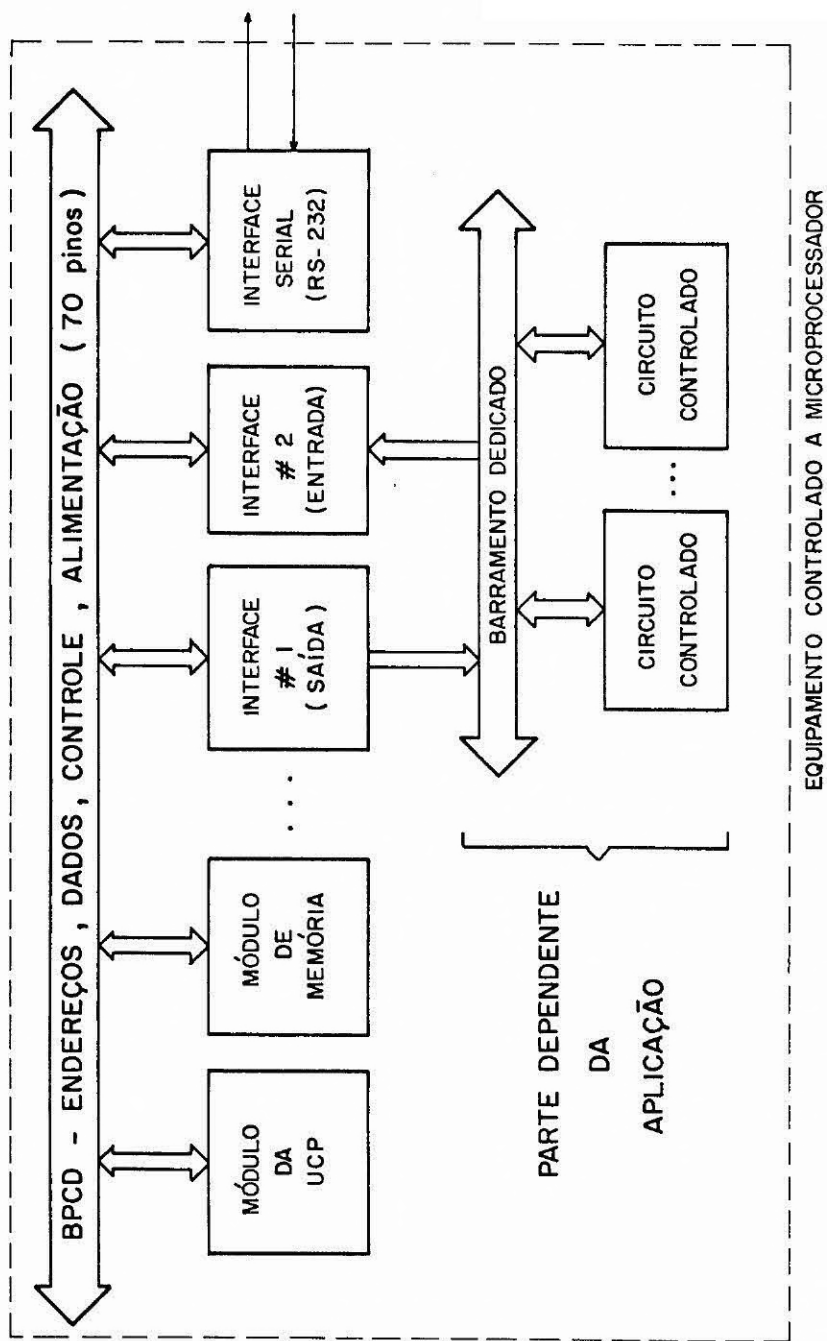


Fig. 1 - Aplicação típica do BPCD-70.

2. DESCRIÇÃO GERAL

O BPCD-70 é um barramento de uso geral do tipo "backplane bus" que pode ser utilizado com vários tipos de microprocessadores de 8 ou de 16 bits. Possui ao todo 70 linhas, emprega um conector de 70 contatos (com espaçamento de 1/10 pol. entre contatos e possibilita o uso de conectores de pequeno tamanho e alta densidade. Com isso consegue-se utilizar placas no padrão IMS com 111,5 x 250 mm ou 111,5 x 160 mm, as quais são de tamanho adequado para a implementação de equipamentos e sistemas de arquitetura modular, onde cada módulo executa basicamente uma função (p. ex.: CPU, RAM, Interface, etc.).

Os sinais do BPCD-70 são divididos em quatro grupos:

- Barra de Alimentação: 12 linhas;
- Barra de Controle: 22 linhas;
- Barra de Endereços: 20 linhas;
- Barra de Dados: 16 linhas.

A Barra de Alimentação é subdividida em dois tipos: alimentação principal e auxiliar. A alimentação principal consiste na tensão de +5 V regulados e é formada por 4 linhas (pinos 1, 35, 36 e 70) distribuídas nas quatro extremidades do conector, o que permite uma melhor distribuição da corrente nessa tensão e facilita a confecção de circuitos impressos. A alimentação auxiliar consiste nas tensões de -12V e +12V regulados (pinos 3 e 38, respectivamente) e seus pinos estão localizados em faces opostas para evitar curtos-circuitos acidentais. As linhas de terra (GND) são em número de 6 (pinos 2, 32, 34, 37, 67 e 69), uma para cada linha de alimentação, as quais possibilitam um bom retorno de corrente no barramento.

A Barra de Controle é composta pelos sinais de relógio, sinais de temporização, sinais de prioridade e sinais de interrupção, os quais possibilitam o controle de todas as transações pelo barramento. Os sinais de relógio são cercados por linhas de terra, as quais atuam co

mo uma blindagem para esses sinais a fim de minimizar os problemas de indução mútua em linhas adjacentes. Os sinais de controle e de prioridade de acesso ao barramento permitem que vários "mestres" possam assumir o controle do BPCD-70.

A Barra de Endereços é formada por 20 linhas unidirecionais (AB0 a AB19) que permitem o endereçamento direto de 1 Mbyte de memória (2^{20} posições).

A Barra de Dados é formada por 16 linhas bidirecionais (DB0 a DB15) que permitem a operação com palavras de 8 ou de 16 bits. No caso de 8 bits utilizam-se as 8 linhas inferiores (DB0 a DB7). Um sinal de controle indica se a transferência é de 8 ou de 16 bits.

Como parte do BPCD-70 são definidos os conectores e as dimensões das placas a serem utilizadas. As placas possuem duas medidas padrões: 111,5 x 250 mm ou 111,5 x 160 mm, estando de acordo com o padrão IMS, para o qual já existem fabricantes nacionais de "racks" e gabinetes. As placas possuem previsão para a instalação de ejetores ("ejector clips"). O conector utilizado possui 70 contatos, dispostos em fila dupla de 35 contatos cada um, com espaçamento de 2,54 mm (1/10 pol.) entre eles. Os pinos de número 1 a 35 estão localizados no lado dos componentes e os pinos 36 a 70 estão no lado da solda.

3. DESCRIÇÃO DOS SINAIS DO BPCD-70

Nessa seção apresenta-se uma descrição mais detalhada de todos os sinais do BPCD-70, bem como sua utilização básica. Cada sinal é identificado por um mnemônico onde o sufixo "/", caso exista, indica que tal sinal é ativo quando em nível lógico baixo.

A pinagem, a descrição, o nível ativo e o tipo dos excitadores ("drivers") e dos sinais do BPCD-70 são mostrados no Apêndice B.

3.1 - BARRA DE ENDEREÇOS

AB0 - AB19 ("Address Bus")

São as 20 linhas utilizadas para transmitir o endereço de uma posição de memória ou de um periférico ("I/O") a ser acessado em um dado ciclo do barramento.

A linha AB19 representa o bit mais significativo do endereço. Os "mestres" (módulo que podem controlar o BPCD-70) de 8 bits devem utilizar as linhas AB0 a AB15 para o endereçamento de memória e as linhas AB0 a AB7 para o endereçamento de periféricos. Os mestres de 16 bits podem utilizar todas as linhas para o endereçamento de memória e as linhas AB0 a AB15 para o endereçamento de periféricos. Os excitadores ("drivers") dessas linhas são do tipo "tristate" (TS).

3.2 - BARRA DE DADOS

DB0 - DB15 ("Data Bus")

São as 16 linhas bidirecionais utilizadas para a troca de informações entre os vários módulos do BPCD-70. A linha DB15 representa o bit mais significativo. Para transferências de 8 bits devem ser usadas as linhas DB0 a DB7, das quais DB7 representa o bit mais significativo.

O sinal BHEN/ faz a distinção entre uma transferência de 8 bits ou de 16 bits (ver Seção 3.3.3). Os excitadores ("drivers") são do tipo TS.

3.3 - BARRA DE CONTROLE

Engloba todos os sinais necessários ao controle e à temporização das diversas transações executadas no BPCD.

3.3.1 - INICIALIZAÇÃO

RESET ("RESET")

Sinal de inicialização do sistema. Coloca todo o sistema em um estado inicial predefinido. É ativado pelo Mestre Permanente (MP) do sistema ou por uma chave no painel frontal.

INIT/ ("INITialization")

Sinal de inicialização parcial. Coloca todos os módulos ligados a ele em um estado predefinido. Pode ser ativado por qualquer mestre do barramento (temporário ou permanente). Utiliza excitador do tipo "Open Collector" (OC).

3.3.2 - CONTROLE DO BARRAMENTO

HOLD/ ("HOLD")

Solicitação de uso do barramento. É ativado por um Mestre Temporário (MT) que pede o controle do barramento ao MP. Utiliza excitador do tipo (OC).

HOLDA ("HOLD Acknowledge")

Sinal de barramento ocupado. É ativado pelo MP e indica que o barramento está ocupado por um MT. Qualquer outro MT deve observar este sinal antes de ativar HOLD/ solicitando o uso do BPCD-70.

BPRI/ ("Bus PRiority In")

Entrada do esquema de prioridades do barramento. Quando ativo, indica a um dado MT que não existe, no momento, outro mestre de maior prioridade solicitando o uso do BPCD-70. Deve ser sincronizado com o sinal BCLK.

BPRO/ ("Bus PRiority Out")

Saída do esquema de prioridade do barramento. É utilizado para a implementação do esquema de resolução de prioridade serial ("daisy chain") do BPCD-70. É ligado à entrada BPRI/ do próximo mestre de menor prioridade no barramento. Deve ser sincronizado com o sinal BCLK.

3.3.3 - CONTROLE DA TRANSFERÊNCIA DE DADOS

MEMR/ ("MEMory Read")

Sinal de operação de leitura em memória. Indica que o dado (de 8 ou de 16 bits) contido no endereço de memória especificado pelas linhas de endereço deve ser colocado na Barra de Dados para ser lido pelo Mestre Corrente (MC) do barramento. Utiliza excitador do tipo TS e deve possuir um resistor de "pull-up".

MEMW/ ("MEMory Write")

Sinal de operação de escrita em memória. Indica que o dado (de 8 ou de 16 bits) presente na Barra de Dados deve ser escrito pelo MC no endereço de memória especificado pelas linhas de endereço. Utiliza excitador do tipo TS e deve possuir resistor de "pull-up".

IOR/ ("I/O Read")

Sinal de operação de leitura em periféricos. Indica que a informação (de 8 ou de 16 bits) apresentada pelo periférico especificado pelas linhas de endereço deve ser colocada na Barra de Dados para ser lida pelo MC do BPCD-70. Utiliza excitador do tipo TS e deve possuir resistor de "pull-up".

IOW/ ("I/O Write")

Sinal de operação de escrita em periféricos. Indica que o dado (de 8 ou de 16 bits) presente na Barra de Dados deve ser escrito pelo MC no periférico selecionado pelas linhas de endereço. Utiliza excitador do tipo TS e deve possuir resistor de "pull-up".

BHEN/ ("Byte High ENable")

Sinal de transferência de 16 bits. É ativado pelo MC do barramento para indicar uma transferência de 16 bits pela Barra de Dados. Nas transferências de 8 bits permanece inativo. Utiliza excitador do tipo TS.

NRDY/ ("Not ReaDY")

Pedido de espera para o Mestre Corrente. É ativado por qualquer módulo (memória ou periférico), e indica que o mesmo não está pronto para completar uma transferência. O MC deve prolongar o ciclo até NRDY/ ser desativado, quando então o ciclo pode ser terminado. Utiliza excitador do tipo OC.

3.3.4 - INTERRUPÇÕES

O BPCD-70 permite o uso de um esquema de interrupções não-vetorizadas, onde o módulo que interrompeu o MC deve fornecer algum tipo de informação durante o ciclo de reconhecimento da interrupção (ver sinal INTA adiante).

INTR/ ("INTerrupt Request")

Pedido de interrupção mascarável. Pode ser ativado por qualquer módulo do BPCD-70, devendo permanecer ativo durante todo o tempo de interrupção. É sensível a nível e utiliza excitador do tipo OC.

INTA ("INTerrupt Acknowledge")

Reconhecimento de interrupção mascarável. Ativado pelo MC do BPCD-70, indica ao módulo que ativou INTR/ que seu pedido de interrupção foi atendido e que este deve colocar uma informação adicional na Barra de Dados para completar o ciclo de interrupção.

NMI/ ("Non Maskable Interrupt")

Pedido de interrupção não-mascarável. É utilizado geralmente para iniciar ações que não podem esperar para ser atendidas. É o caso de circuitos para queda de energia. Pode ser ativado por qualquer módulo do BPCD-70 e utiliza excitador do tipo OC.

ERR/ ("ERRor")

Sinal de indicação de erro. É uma linha de uso geral, utilizada para sinalizar a ocorrência de algum tipo de erro no sistema. Por exemplo, um erro de paridade na memória, uma tentativa de escrita em área protegida, etc. Pode então ativar processos de tratamento de erro do sistema ("hardware" e "software").

3.3.5 - TEMPORIZAÇÃO

BCLK ("Bus CLock")

Sinal de relógio do barramento. É utilizado para sincronizar as operações de transferência do controle do BPCD-70 entre o MP e um MT. É gerado pelo MP do sistema e tem um período não menor que 100 ns.

CLK ("CLock")

Sinal de relógio auxiliar. É um sinal de frequência fixa para uso geral, podendo ser utilizado por qualquer módulo do BPCD-70. É gerado pelo MP do sistema e deve possuir um período não menor que 250 ns.

3.4 - BARRA DE ALIMENTAÇÃO

Fornece as diversas tensões para os módulos ligados ao BPCD-70. Cada módulo ligado ao BPCD-70 deve possuir o desacoplamento adequado para evitar picos de corrente na fonte de alimentação. Recomenda-se ainda o desacoplamento de alta frequência nos diversos circuitos da placa. Podem-se utilizar capacitores de 50 μ F nas linhas de +5 V e +12 V e capacitores de 22 μ F nas linhas de -12 V.

4. CONCLUSÃO

O BPCD-70 encontra-se atualmente em uso no Laboratório do Subprojeto AUTOM e está sendo adotado como padrão pela Divisão de Rastreamento e Comando de Veículos Espaciais, DRC. Já foram desenvolvidos vários módulos e equipamentos compatíveis com o BPCD-70, entre as quais uma CPU de uso geral (UCPR), uma interface serial (ISRT), uma interface controladora GPIB (ICTL), uma interface controladora de discos flexíveis (ICDF), uma expansão de memória (EXPM), o programador de EPROM (PEAT-85), além de outros em fase de montagem ou projeto. Além dos módulos citados, foi desenvolvida a Placa-Mãe ("mother-board") para o BPCD-70 com as várias terminações necessárias e com diversos tamanhos, i.é., com 4, 6 ou 9 conectores (PM/4, PM/6, PM/9).

Ainda não foram especificados os detalhes de temporização, prioridades e procedimentos de transferência de controle do BPCD-70, pois ainda não foram desenvolvidos projetos com a capacidade de multiprocessamento. As linhas reservadas serão utilizadas para expansões futuras e não devem ser utilizadas para outro fim, de modo a manter a padronização do BPCD-70.

Finalmente deve-se dizer que este documento é uma especificação preliminar e está aberto a críticas e sugestões que possam melhorar seu conteúdo.

BIBLIOGRAFIA

- BARTHMAIER, J. *Intel MULTIBUS interfacing*. Santa Clara, CA, INTEL, 1979. (Application Note AP-28A).
- BORRIL, P.L. Microprocessor Bus Structures and Standards. In: EUROMICRO SYMPOSIUM ON MICROPROCESSING AND MICROPROGRAMMING, 6., London, Sept. 16-18, 1980. *Microprocessor Systems: software, firmware and hardware*. Amsterdam, North-Holland, 1980, p. 285-295.
- BRITTON, K. The STD bus. A critical look at a proposed new standard. *Dr. Dobb's Journal of Computer Calisthenics & Orthodontia*, 3(30):34-39, Nov./Dec. 1978.
- GARETZ, M. *Interfacing to S-100/IEEE-696 Microcomputers*. Berkeley, CA, Osborne/McGraw-Hill, 1981.
- The IEEE standard for the S-100 bus. *Byte*, 8(2):272-298, Feb. 1983.
- SNIGIER, P. Designer's guide to the IEEE-696 bus. *Digital Design*, 12(9):53-59, Sept. 1982.
- Designer's guide to the Multibus. *Digital Design*, 12(10):52-65, Oct. 1982.
- WARREN, C. Understanding bus basics helps resolve design conflicts. *EDN*, 26(11):159-173, May, 1981.
- Compare μ C-bus specs to find the bus you need. *EDN*, 26(12):141-153, June 1981.

...

APÊNDICE A

PINAGEM E NOMENCLATURA DO BPCD-70

Apresenta-se na Tabela A.1 a identificação de cada linha do BPCD-70, bem como sua pinagem e descrição.

TABELA A.1

PINAGEM E NOMENCLATURA DO BPCD-70

PINO	NOME	DESCRIÇÃO
1	+5V	Alimentação Principal: +5 Volts CC
2	GND	Terra
3	-12V	Alimentação Auxiliar: -12 Volts CC
4	RESET	Sinal de "Reset" do Sistema
5	DB4	Barra de Dados - bit 4
6	DB5	Barra de Dados - bit 5
7	DB6	Barra de Dados - bit 6
8	DB7	Barra de Dados - bit 7
9	INTA	Reconhecimento de Interrupção Mascarável
10	DB12	Barra de Dados - bit 12
11	DB13	Barra de Dados - bit 13
12	DB14	Barra de Dados - bit 14
13	DB15	Barra de Dados - bit mais significativo
14	BPRI/	Entrada do Esquema de Prioridade
15	MEMW/	Sinal de operação de escrita em memória
16	IOW/	Sinal de operação de escrita em periférico
17	AB4	Barra de Endereços - bit 4
18	AB5	Barra de Endereços - bit 5
19	AB6	Barra de Endereços - bit 6
20	AB7	Barra de Endereços - bit 7
21	HOLDA	Sinal de barramento ocupado
22	ERR/	Sinal de indicação de erro

(continua)

Tabela A.1 - Continuação

PINO	NOME	DESCRIÇÃO
23	AB12	Barra de Endereços - bit 12
24	AB13	Barra de Endereços - bit 13
25	AB14	Barra de Endereços - bit 14
26	AB15	Barra de Endereços - bit 15
27	NMI/	Pedido de interrupção não mascarável
28	-	Reservado
29	-	Reservado
30	-	Reservado
31	-	Reservado
32	GND	Terra
33	CLK	Sinal de relógio auxiliar
34	GND	Terra
35	+5V	Alimentação Principal: +5 Volts CC
36	+5V	Alimentação Principal: +5 Volts CC
37	GND	Terra
38	+12V	Alimentação Auxiliar: +12 Volts CC
39	INIT/	Sinal de inicialização parcial
40	DB0	Barra de Dados - bit menos significativo
41	DB1	Barra de Dados - bit 1
42	DB2	Barra de Dados - bit 2
43	DB3	Barra de Dados - bit 3
44	INTR/	Pedido de interrupção mascarável
45	DB8	Barra de Dados - bit 8
46	DB9	Barra de Dados - bit 9

(continua)

Tabela A.1 - Conclusão

PINO	NOME	DESCRIÇÃO
47	DB10	Barra de Dados - bit 10
48	DB11	Barra de Dados - bit 11
49	BPRO/	Saída do esquema de prioridade
50	MEMR/	Sinal de operação de leitura em memória
51	IOR/	Sinal de operação de leitura em periférico
52	AB0	Barra de Endereços - bit menos significativo
53	AB1	Barra de Endereços - bit 1
54	AB2	Barra de Endereços - bit 2
55	AB3	Barra de Endereços - bit 3
56	HOLD/	Pedido de uso do Barramento
57	NRDY/	Pedido de espera para o mestre corrente
58	AB8	Barra de Endereços - bit 8
59	AB9	Barra de Endereços - bit 9
60	AB10	Barra de Endereços - bit 10
61	AB11	Barra de Endereços - bit 11
62	BHEN/	Sinal de transferência de 16 bits
63	AB16	Barra de Endereços - bit 16
64	AB17	Barra de Endereços - bit 17
65	AB18	Barra de Endereços - bit 18
66	AB19	Barra de Endereços - bit mais significativo
67	GND	Terra
68	BCLK	Sinal de relógio do barramento
69	GND	Terra
70	+5V	Alimentação Principal: +5 Volts CC

APÊNDICE B

ESPECIFICAÇÕES ELÉTRICAS E TERMINAÇÕES DO BPCD-70

Apresentam-se na Tabela B.1 as especificações elétricas do BPCD-70. Para cada linha são dados: o nível ativo, o tipo de "driver" utilizado, a origem do sinal e a posição, tipo e valor da terminação a ser utilizado.

TABELA B.1

ESPECIFICAÇÕES ELÉTRICAS DO BPCD-70

NOME	NÍVEL ATIVO (1)	TIPO (2)	ORIGEM (3)(4)	TERMINAÇÃO (5)		
				POSIÇÃO	TIPO	VALOR
ABO-7	-	TS	MP/MT	-	-	-
DBO-7	-	TS	QQ	-	-	-
RESET	H	-	MP	-	-	-
INIT/	L	OC	MT	-	-	-
HOLD/	L	OC	MT	P.M.	P.U.	1Kohm
HOLDA	H	-	MP	-	-	-
BPRI/	L	OC	MT	-	-	-
BPRO/	L	-	MP/MT	-	-	-
MEMR/	L	TS	MP/MT	P.M.	P.U.	1Kohm
MEMW/	L	TS	MP/MT	P.M.	P.U.	1Kohm
IOR/	L	TS	MP/MT	P.M.	P.U.	1Kohm
IOW/	L	TS	MP/MT	P.M.	P.U.	1Kohm
BHEN/	L	TS	MP/MT	-	-	-
NRDY/	L	OC	ESCR.	P.M.	P.U.	1Kohm
INTR/	L	OC	ESCR.	P.M.	P.U.	1Kohm
INTA	H	TS	MP/MT	P.M.	P.U.	1Kohm
NMI/	L	OC	ESCR.	P.M.	P.U.	1Kohm
ERR/	L	OC	QQ	P.M.	P.U.	1Kohm
BCLK	-	-	MP	P.M.	P.U.	220ohm
				P.M.	P.D.	330ohm
CLK	-	-	MP	P.M.	P.U.	220ohm
				P.M.	P.D.	330ohm

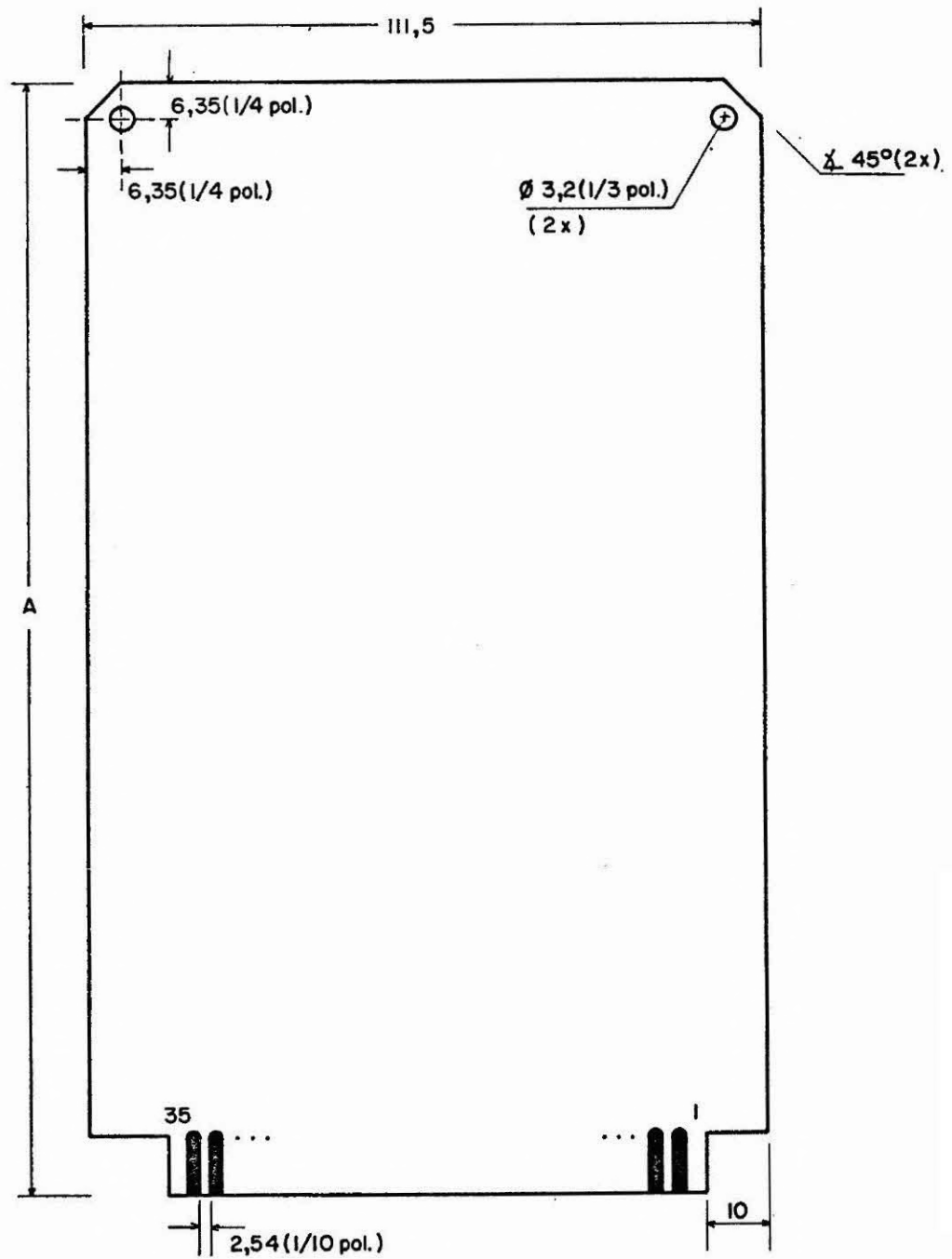
OBSERVAÇÕES:

- 1) H = nível alto; L = nível baixo.
- 2) TS = "tristate"; OC = "open-colletor".
- 3) MP = mestre permanente; MT = mestre temporário.
- 4) ESCR. = módulo escravo; QQ = módulo qualquer.
- 5) P.M. = placa-mãe; P.U. = "pull-up"; P.D. = "pull-down".

APÊNDICE C

ESPECIFICAÇÕES MECÂNICAS DO BPCD-70

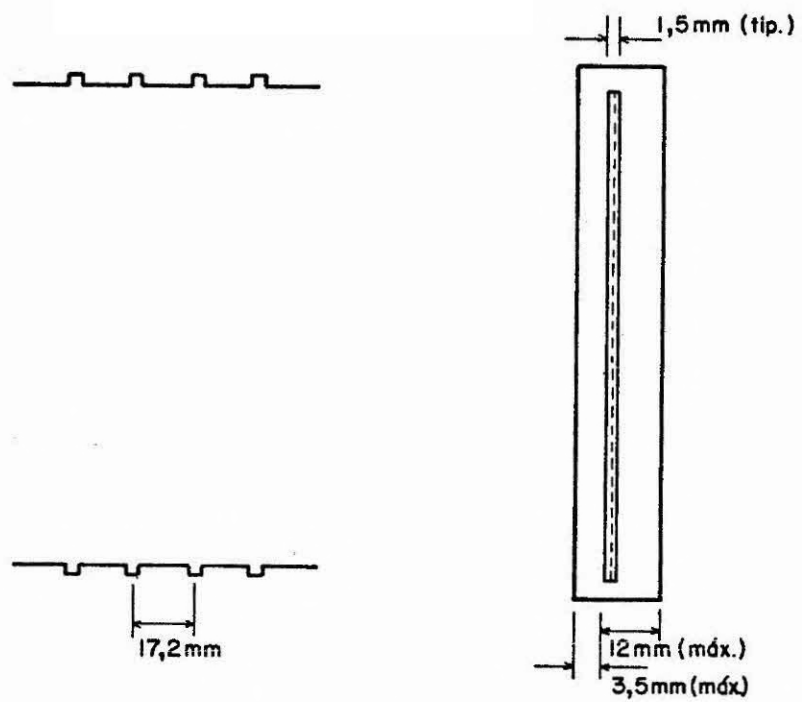
Apresentam-se nas Figuras C.1 e C.2 as principais especificações mecânicas do BPCD-70: as medidas da placa-padrão utilizada, a distância típica entre as placas e o espaço livre para os componentes na placa.



OBSERVAÇÕES:

- 1) A = 250m ou 160mm
- 2) DIMENSÕES EM m m

Fig. C.1 - Placa do BPCD-70: lado dos componentes.



a) Separação entre placas. b) Espaço livre para componentes.

Fig. C.2 - Dimensões padrões do BPCD-70.