



MINISTÉRIO DA  
CIÊNCIA, TECNOLOGIA  
E INOVAÇÕES



sid.inpe.br/mtc-m21c/2021/05.18.00.18-TDI

## METODOLOGIA PARA SELEÇÃO DE TÉCNICAS DE MITIGAÇÃO DE FALHAS DEVIDO AOS EFEITOS DA RADIAÇÃO EM FPGAS COTS

Adilson Luiz Barbosa

Tese de Doutorado do Curso de Pós-Graduação em Engenharia e Tecnologia Espaciais/Engenharia e Gerenciamento de Sistemas Espaciais, orientada pelos Drs. Silvio Manea, Geilson Loureiro, e Giuliani Paulineli Garbi, aprovada em 31 de março de 2021.

URL do documento original:

<<http://urlib.net/8JMKD3MGP3W34R/44MPJU2>>

INPE  
São José dos Campos  
2021

**PUBLICADO POR:**

Instituto Nacional de Pesquisas Espaciais - INPE  
Coordenação de Ensino, Pesquisa e Extensão (COEPE)  
Divisão de Biblioteca (DIBIB)  
CEP 12.227-010  
São José dos Campos - SP - Brasil  
Tel.:(012) 3208-6923/7348  
E-mail: pubtc@inpe.br

**CONSELHO DE EDITORAÇÃO E PRESERVAÇÃO DA PRODUÇÃO INTELLECTUAL DO INPE - CEPPII (PORTARIA Nº 176/2018/SEI-INPE):**

**Presidente:**

Dra. Marley Cavalcante de Lima Moscati - Coordenação-Geral de Ciências da Terra (CGCT)

**Membros:**

Dra. Ieda Del Arco Sanches - Conselho de Pós-Graduação (CPG)  
Dr. Evandro Marconi Rocco - Coordenação-Geral de Engenharia, Tecnologia e Ciência Espaciais (CGCE)  
Dr. Rafael Duarte Coelho dos Santos - Coordenação-Geral de Infraestrutura e Pesquisas Aplicadas (CGIP)  
Simone Angélica Del Ducca Barbedo - Divisão de Biblioteca (DIBIB)

**BIBLIOTECA DIGITAL:**

Dr. Gerald Jean Francis Banon  
Clayton Martins Pereira - Divisão de Biblioteca (DIBIB)

**REVISÃO E NORMALIZAÇÃO DOCUMENTÁRIA:**

Simone Angélica Del Ducca Barbedo - Divisão de Biblioteca (DIBIB)  
André Luis Dias Fernandes - Divisão de Biblioteca (DIBIB)

**EDITORAÇÃO ELETRÔNICA:**

Ivone Martins - Divisão de Biblioteca (DIBIB)  
André Luis Dias Fernandes - Divisão de Biblioteca (DIBIB)



MINISTÉRIO DA  
CIÊNCIA, TECNOLOGIA  
E INOVAÇÕES



sid.inpe.br/mtc-m21c/2021/05.18.00.18-TDI

## METODOLOGIA PARA SELEÇÃO DE TÉCNICAS DE MITIGAÇÃO DE FALHAS DEVIDO AOS EFEITOS DA RADIAÇÃO EM FPGAS COTS

Adilson Luiz Barbosa

Tese de Doutorado do Curso de Pós-Graduação em Engenharia e Tecnologia Espaciais/Engenharia e Gerenciamento de Sistemas Espaciais, orientada pelos Drs. Silvio Manea, Geilson Loureiro, e Giuliani Paulineli Garbi, aprovada em 31 de março de 2021.

URL do documento original:

<<http://urlib.net/8JMKD3MGP3W34R/44MPJU2>>

INPE  
São José dos Campos  
2021

Dados Internacionais de Catalogação na Publicação (CIP)

---

Barbosa, Adilson Luiz.

B234m Metodologia para seleção de técnicas de mitigação de falhas devido aos efeitos da radiação em FPGAs COTS / Adilson Luiz Barbosa. – São José dos Campos : INPE, 2021.

xxxii + 234 p. ; (sid.inpe.br/mtc-m21c/2021/05.18.00.18-TD1)

Tese (Doutorado em Engenharia e Tecnologia Espaciais/Engenharia e Gerenciamento de Sistemas Espaciais) – Instituto Nacional de Pesquisas Espaciais, São José dos Campos, 2021.

Orientadores : Drs. Silvio Manea, Geilson Loureiro, e Giuliani Paulineli Garbi.

1. COTS. 2. FPGA. 3. Falhas. 4. Mitigação. 5. Radiação.  
I.Título.

CDU 629.7.083

---



Esta obra foi licenciada sob uma Licença [Creative Commons Atribuição-NãoComercial 3.0 Não Adaptada](https://creativecommons.org/licenses/by-nc/3.0/).

This work is licensed under a [Creative Commons Attribution-NonCommercial 3.0 Unported License](https://creativecommons.org/licenses/by-nc/3.0/).



MINISTÉRIO DA  
CIÊNCIA, TECNOLOGIA  
E INOVAÇÕES



**INSTITUTO NACIONAL DE PESQUISAS ESPACIAIS**  
Serviço de Pós-Graduação - SEPGR

**DEFESA FINAL DE TESE DE ADILSON LUIZ BARBOSA**  
**BANCA Nº 057/2021, REG 119830/2016**

No dia 31 de março de 2021, as 14h, por teleconferência, o(a) aluno(a) mencionado(a) acima defendeu seu trabalho final (apresentação oral seguida de arguição) perante uma Banca Examinadora, cujos membros estão listados abaixo. O(A) aluno(a) foi APROVADO(A) pela Banca Examinadora, por unanimidade, em cumprimento ao requisito exigido para obtenção do Título de Doutor em Engenharia e Tecnologias Espaciais/Engenharia e Gerenciamento de Sistemas Espaciais. O trabalho precisa da incorporação das correções sugeridas pela Banca Examinadora e revisão final pelo(s) orientador(es).

**Título: "METODOLOGIA PARA SELEÇÃO DE TÉCNICAS DE MITIGAÇÃO DE FALHAS DEVIDO AOS EFEITOS DA RADIAÇÃO EM FPGAs COTS"**

Eu, José Osvaldo Rossi, como Presidente da Banca Examinadora, assino esta ATA em nome de todos os membros, com o consentimento dos mesmos.

**Membros da banca**

Dr. José Osvaldo Rossi - Presidente - INPE  
Dr. Silvio Manea - Orientador - INPE  
Dr. Geilson Loureiro - Orientador - INPE  
Dr. Giuliani Paulineli Garbi - Orientador - INPE  
Dr. Walter Abraão dos Santos - Membro Interno - INPE  
Dra. Ana Paula de Sá Santos Rabello - Membro Interno - INPE  
Dr. Jose Marcelo Lima Duarte - Membro Interno - INPE  
Dr. Francisco Jose Targino Vidal - Membro Externo - UFRN  
Dr. Jarbas Aryel Nunes da Silveira - Membro Externo - UFC



Documento assinado eletronicamente por **José Osvaldo Rossi, Pesquisador Titular**, em 26/04/2021, às 17:01 (horário oficial de Brasília), com fundamento no art. 6º do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site <http://sei.mctic.gov.br/verifica.html>, informando o código verificador **6893385** e o código CRC **2D8EDCEB**.



*“ Se clamares por conhecimento, e por inteligência alçares a tua voz,  
Se como a prata a buscares e como a tesouros escondidos a procurares,  
então entenderás o temor do Senhor, e acharás o conhecimento de Deus.  
Porque o Senhor dá a sabedoria; da sua boca é que vem o conhecimento e o  
entendimento ”.*

*Provérbios 2:3-6*





A Deus que é o dono de todo conhecimento, aos orientadores, participantes da Banca, coordenadores, professores, profissionais da administração e amigos do INPE, à família e aos amigos da FAB e IC/SJC.



## **AGRADECIMENTOS**

Primeiramente a Deus, doador da vida e da disposição em adquirir conhecimentos para o benefício do ser humano.

Ao INPE, pela oportunidade concedida em realizar o Curso de Pós-Graduação em Engenharia e Tecnologia Espaciais na área de Engenharia e Gerenciamento de Sistemas Espaciais, fundamental para o aprimoramento da pesquisa e desenvolvimento de recursos humanos altamente capacitados.

Aos orientadores Profs. Drs. Geilson Loureiro, Silvio Manea e Giuliani Paulineli Garbi pelo excelente trabalho. Estes profissionais do INPE exerceram a sua função com brilhantismo, demonstrando conhecimentos especializados em diversas áreas da engenharia. Durante o período de orientação, dedicaram-se ao trabalho com profissionalismo, de modo prestativo, incentivador e amigável.

Aos participantes e colaboradores das diversas bancas e da banca de defesa final pelas valiosas contribuições e pela disponibilidade em avaliar esta tese: Prof(a)s. Dr(a)s. José Osvaldo Rossi, Geilson Loureiro, Silvio Manea, Giuliani Paulineli Garbi, Walter Abrahão dos Santos, Ana Paula de Sá Santos Rabello, José Marcelo Lima Duarte, Maurício Gonçalves Vieira Ferreira, Marcos Antônio Vieira da Silva, Francisco José Targino Vidal, Jarbas Aryel Nunes da Silveira, Jan Erik Mont Gomery Pinto e Amanda Danielle Oliveira da Silva Dantas.

Aos coordenadores do ETE/CSE, Prof. Dr. Silvio Manea e Profa. Dra. Maria do Carmo de Andrade de Nono, aos professores e demais profissionais de apoio ao ensino que se dedicam exaustivamente ao seu árduo trabalho, que é recompensado pelos resultados reconhecidos pela sociedade acadêmica e científica. Aos colaboradores da pesquisa de campo e amigos do Setor de Engenharia de Radiação (INPE) pela colaboração na confecção da tese: Drs. José Marcelo Lima Duarte, Márcio Afonso Arimura Fialho e Marcos Antônio Vieira da Silva, MSc Juliano de Quadro Moreira e Eng. Bruno Carneiro Junqueira. Aos funcionários das secretarias, bibliotecas, portarias e outros setores do INPE, que fornecem o apoio geral e tão relevante para o sucesso do Instituto.

À família, Lourdes Afonso Barbosa, Daniel Luiz Barbosa, Mateus Luiz Barbosa e Raquel Luiza Barbosa pelo companheirismo e incentivo.



## RESUMO

O FPGA (*Field Programmable Gate Array*) é um circuito integrado utilizado em projetos eletrônicos, de telecomunicações e de redes de computadores. Suas vantagens podem ser resumidas nos aspectos de densidade, altos índices de desempenho e menores custos de fabricação. Os COTS (*Commercial Off-the-Shelf*) são componentes eletrônicos comerciais, não classificados no padrão espacial. Em algumas missões de satélites há possibilidade de implementar sistemas tolerantes a falhas com componentes COTS. O FPGA COTS deve funcionar bem com as aplicações da missão e ser capaz de operar de forma eficaz no meio ambiente da mesma. A estratégia de tolerância a falhas deve ser apropriada de modo a garantir a operação correta, sem sobrecarga excessiva de recursos. Apesar das vantagens mencionadas, um dos problemas mais relevantes em qualquer missão espacial é a dose de radiação, que pode causar danos em dispositivos eletrônicos, células solares e materiais. Além dos efeitos da radiação deve-se também considerar o embargo de componentes e materiais resistentes à radiação. Assim, os dispositivos eletrônicos COTS apresentam-se como uma oportunidade, mas necessitam de processos de mitigação para atenderem às demandas por produtos espaciais. O principal desafio de projeto é a seleção dessa estratégia no dispositivo devido aos efeitos da radiação. Esta tese tem por objetivo propor uma metodologia para auxiliar os engenheiros eletroeletrônicos no processo de escolha de técnicas de mitigação de falhas devido aos efeitos da radiação para um sistema espacial que utilize FPGA COTS. Para atingir este objetivo propõe uma metodologia sequencial, abrangente e evolutiva, abordando as técnicas pesquisadas em um período específico (2000 a 2019), denominada de MFPM (Metodologia de Mitigação de Falhas baseada em Parâmetros e Métricas). A MFPM também é geral e relevante para que o engenheiro possa fazer uma seleção satisfatória conforme o projeto, inserido em uma missão. Para avaliar as técnicas de mitigação das falhas e o estado da arte do assunto proposto, este trabalho tem como base uma pesquisa bibliográfica exploratória. A validação da metodologia é realizada por estudo de caso e a verificação por comparação da técnica escolhida com outras, utilizando exemplos específicos de FPGAs. A metodologia aborda o maior número possível de técnicas de mitigação pesquisadas no período de estudo e proporciona aperfeiçoamentos em outros *gaps* identificados nas estruturas de seleção do estado da arte. Com a aplicação dos algoritmos relativos às técnicas mais relevantes para o estudo de caso, foram avaliados três FPGAs. A metodologia proposta (MFPM) demonstra ser viável e aponta a técnica de TMR (*Triple Modular Redundancy*) como a mais indicada para o estudo de caso. Esta constatação foi devida a todos os parâmetros e métricas envolvidos, com valores de potências compatíveis com o circuito (projeto) e confiabilidades esperadas para essa categoria de missão. Finalmente, conclui-se que este trabalho atinge o objetivo principal proposto e os específicos como: identificação das oportunidades (estados da arte e prática), ênfase em missões de curta duração (até 3 anos) para o estudo de caso, período amplo de pesquisa das técnicas, observação da tecnologia empregada e superação dos *gaps*.

Palavras-chave: COTS. FPGA. Falhas. Mitigação. Radiação.



# **METHODOLOGY FOR THE SELECTION OF FAULT MITIGATION TECHNIQUES DUE TO THE EFFECTS OF RADIATION IN COTS FPGAs**

## **ABSTRACT**

FPGA (Field Programmable Gate Array) is an integrated circuit used in electronic, telecommunications, and computer network projects. We can summarize the advantages of FPGA in terms of density, high-performance, and lower manufacturing costs. COTS (Commercial Off-the-Shelf) are commercial electronic components, not classified in the spatial standard. In some satellite missions, it is possible to implement fault-tolerant systems with COTS components. The FPGA COTS must work well with the mission and be able to operate effectively in the environment. The fault tolerance strategy must be adequate to guarantee a correct operation without excessive resource overload. Despite the mentioned advantages, one of the most relevant problems in any space mission is a radiation dose, which can cause damage to electronic devices, solar cells, and materials. Besides the effects of radiation, we should also consider the embargo of radiation-resistant components and materials. COTS electronic devices present themselves as an opportunity, but they need mitigation processes to meet the demands for space products. The project's primary challenge is the strategy of the device because of the effects of radiation. This thesis aims to propose a method to assist electronics engineers in choosing fault mitigation techniques because of the impact of radiation on a space system that uses FPGA COTS. To achieve this aim, proposes a sequential, comprehensive, and evolutionary method, addressing the techniques researched in a specific period (2000 to 2019), called MFPM (Failure Mitigation method based on Parameters and Metrics). The MFPM is also general and relevant so that the engineer can make a good selection according to the project, inserted in a mission. This work is based on exploratory bibliographic research to assess fault mitigation techniques and the state-of-art the proposed topic. The case study validates the methodology and performs the verification by comparing the chosen strategy with others, using specific FPGAs. The method addresses the most significant possible number of mitigation techniques researched during the study period and provides improvements in other gaps identified in state-of-the-art selection structures. In the case study, the algorithms evaluate three FPGAs related to the most relevant techniques. The proposed method (MFPM) proves to be viable and points to the TMR (Triple Modular Redundancy) strategy as the most suitable for the case study. This finding was because of all parameters and metrics involved, with power values compatible with the circuit (project) and expected reliability for this mission category. To conclude, that work reaches the main aim proposed and specific ones such as identification of opportunities (state-of-the-art and practice), emphasis on short-term missions (up to 3 years) for the case study, an extensive period of research of the techniques, observation of the technology employed and overcoming the gaps.

Keywords: COTS. FPGA. Failures. Mitigation. Radiation





## LISTA DE FIGURAS

	<u>Pág.</u>
Figura 2.1 – Estrutura conceitual de um dispositivo FPGA. ....	13
Figura 2.2 – Camada de depleção (MOSFET reversamente polarizado).....	18
Figura 2.3 – Estruturas de transistores N-MOS e P-MOS.....	18
Figura 2.4 – Ação de uma partícula carregada no dispositivo MOS .....	19
Figura 2.5 – Seção transversal de BICMOS .....	21
Figura 2.6 – Seção transversal de SOI.....	21
Figura 2.7 – Taxionomia MC ( <i>Multi-Core</i> ).....	23
Figura 2.8 – Junção de semicondutor atingida por um íon.....	25
Figura 2.9 – Classificação dos efeitos da radiação (fontes).....	26
Figura 2.10 – Exemplos dos efeitos da radiação (SEE e TID).....	28
Figura 2.11 – Exemplo dos efeitos da radiação (DD).....	28
Figura 2.12 – Mecanismo de SEE.....	29
Figura 2.13 – Exemplo da ocorrência de SEL.....	33
Figura 2.14 – Exemplo de ocorrência de SEU (elemento de memória).....	33
Figura 2.15 – Principais fontes de radiação.....	37
Figura 3.1 – Dose total de radiação (blindagem de alumínio).....	40
Figura 3.2 – Exemplo de Circuito de proteção .....	42
Figura 3.3 – Esquema genérico de TMR.....	44
Figura 3.4 – Circuitos lógicos em uma TMR.....	45
Figura 3.5 – Redundância de FPGA.....	49
Figura 3.6 – Exemplo de EDAC.....	51
Figura 3.7 – Classificação de FPGAs (reconfigurabilidade).....	52
Figura 3.8 – Exemplo de Duplicação (DWC/CED).....	56
Figura 3.9 – Técnica de <i>Quaded logic</i> .....	57
Figura 3.10 – Exemplo de Detector de radiação.....	59
Figura 3.11 – Arquitetura de conexão da árvore de <i>clock</i> .....	61
Figura 3.12 – Circuito equivalente para o nó da árvore de <i>clock</i> .....	61
Figura 4.1 – Exemplo de <i>Top-level hierarchy</i> .....	69
Figura 4.2 – Exemplo de <i>Decision tree</i> .....	71
Figura 4.3 – Exemplo de <i>Decision flow</i> .....	72

Figura 4.4 – Exemplo de <i>Flowchart</i> .....	73
Figura 4.5 – Técnicas de mitigação (exemplos de estruturas ).....	74
Figura 4.6 – Amostragem estatística (frequência de técnicas de mitigação).....	74
Figura 4.7 – Resultados da nova metodologia (superação de <i>gaps</i> ).....	76
Figura 5.1 – Modelo de ranqueamento da MFPM.....	82
Figura 5.2 – Pesquisa estatística das técnicas (TMR, EDAC e RECO).....	84
Figura 5.3 – Pesquisa estatística das técnicas (CKPR, DUPL e DERA).....	84
Figura 5.4 – Pesquisa estatística das técnicas (CACT, REFP e QUAD).....	85
Figura 5.5 – Metodologia (alto nível).....	91
Figura 5.6 – Metodologia (nível intermediário) .....	92
Figura 5.7 – Técnicas de mitigação de falhas (Processo 2) .....	94
Figura 5.8 – Repositório de documentos ou informações (Processo 2).....	94
Figura 5.9 – Definição dos critérios de seleção (Processo 2).....	95
Figura 5.10 – Modelo de ranqueamento (Processo 3).....	98
Figura 5.11– Algoritmo geral da MFPM (Processo 3).....	100
Figura 5.12 – Algoritmo para <i>Careful</i> COTS (Processo 3).....	102
Figura 5.13 – Algoritmo para TMR1 (Processo 3).....	103
Figura 5.14 – Algoritmo para TMR2 (Processo 3).....	104
Figura 5.15 – Algoritmo para Reconfiguração (Processo 3).....	105
Figura 5.16 – Algoritmo para EDAC, CKPR e DUPL (Processo 3).....	106
Figura 5.17 – Algoritmo para DERA, REFP e QUAD (Processo 3).....	107
Figura 5.18 – Algoritmo para métrica de potência (Processo 3).....	108
Figura 5.19 – Algoritmo para a métrica de confiabilidade (Processo 3) .....	109
Figura 5.20 – Algoritmo para comparação de resultados (Processo 3).....	110
Figura 6.1 – Topologia do SBCDA.....	113
Figura 6.2 – Arquitetura do CONASAT.....	115
Figura 6.3 – Modelo ilustrativo da plataforma 8U ( <i>Cubesat</i> ).....	116
Figura 6.4 – Planos orbitais e satélites do CONASAT.....	117
Figura 6.5 – <i>Environmental Data Collector</i> (EDC/CONASAT).....	117
Figura 6.6 – Algoritmo para <i>Careful</i> COTS (estudo de caso).....	120
Figura 6.7 – Algoritmo para TMR1 (estudo de caso).....	122
Figura 6.8 – Algoritmo para TMR2 (estudo de caso).....	124

Figura 6.9 – Algoritmo para métrica de potência (estudo de caso).....	127
Figura 6.10 – Projeto do EDC (estudo de caso).....	129
Figura 6.11 – Algoritmo para métrica de confiabilidade (estudo de caso).....	135
Figura 6.12 – Algoritmo para comparação de resultados (estudo de caso)....	140
Figura 6.13 – Algoritmo para Reconfiguração (estudo de caso).....	141
Figura 6.14 – Algoritmo para EDAC (estudo de caso).....	143
Figura B.1 – TMR Global (GTMR).....	186
Figura B.2 – <i>Triple Design</i> TMR (TDTMR).....	187
Figura B.3 – RPR em filtro FIR ( <i>Finite Impulse Response</i> ).....	187
Figura B.4 – TMR multi-FPGA.....	187
Figura B.5 – <i>Selective Triple Modular Redundancy</i> (STMR).....	188
Figura B.6 – <i>Triplicated Interwoven Redundancy</i> (TIR).....	189
Figura B.7 – <i>Quadruple Force Decide Redundancy</i> (QFDR).....	189
Figura D.1 – Pesquisa estatística das técnicas (2000 a 2009) .....	206
Figura D.2 – Pesquisa estatística das técnicas (2010 a 2019) .....	206
Figura G.1 – Recursos lógicos (FPGA M2S025).....	227
Figura G.2 – Estimativa de consumo de potência (M2S025).....	229



## LISTA DE TABELAS

	<u>Pág.</u>
Tabela 1.1 – Termos e definições. ....	4
Tabela 2.1 - Principais tipos de efeitos da radiação espacial. ....	27
Tabela 2.2 - Tipos de efeitos destrutivos da radiação . ....	30
Tabela 2.3 - Tipos de efeitos não destrutivos da radiação . ....	31
Tabela 2.4 - Probabilidade de ocorrência de SEE (microeletrônica).....	35
Tabela 3.1 - Máxima frequência de operação (Virtex 5QV).....	63
Tabela 3.2 - Custo da TMR (área e velocidade).....	64
Tabela 4.1 - Limitações atuais ( <i>gaps</i> ), aperfeiçoamentos e oportunidades.....	76
Tabela 5.1 - Passos da matriz de Pugh.....	87
Tabela 5.2 - Aplicação da matriz de Pugh (análise de custo).....	88
Tabela 5.3 - Aplicação da matriz de Pugh (comparações par a par).....	89
Tabela 5.4 - Resultado (pesquisa estatística e matriz de Pugh). ....	90
Tabela 5.5 - Nível intermediário da metodologia (Processo 1).....	93
Tabela 5.6 - Seleção do estudo de caso ou aplicação (Processo 3).....	97
Tabela 5.7 - Ranqueamento das técnicas de mitigação.....	98
Tabela 6.1 - Dados da aplicação necessários para a metodologia. ....	118
Tabela 6.2 - Informações dos recursos do FPGA (estudo de caso).....	128
Tabela 6.3 - Resumo dos cálculos finais para TMR. ....	145
Tabela 6.4 - Resumo dos cálculos finais para RECO e EDAC . ....	146
Tabela A.1 - Subtipos de PLDs ( <i>Programmable Logic Device</i> ). ....	181
Tabela A.2 - Tecnologia de memórias digitais . ....	181
Tabela A.3 - Resumo das principais características das memórias. ....	183
Tabela B.1 - Resumo das principais técnicas de mitigação. ....	184
Tabela B.2 - Principais características dos subtipos de TMR.....	186
Tabela B.3 - Subtipos de Quadruplicação. ....	188
Tabela C.1 - Estatística de trabalhos científicos.....	190
Tabela E.1 - Sigla das técnicas de mitigação.....	207
Tabela E.2 - Sigla dos pesquisadores participantes . ....	207
Tabela E.3 - Análise de custo e tempo (Pugh). ....	207
Tabela E.4 - Análise de implementação e complexidade (Pugh). ....	208

Tabela E.5 - Análise de flexibilidade (Pugh).....	208
Tabela E.6 - Análise de critérios com DATUM de CKPR. ....	208
Tabela E.7 - Análise de critérios com DATUM de CACT.....	209
Tabela E.8 - Análise de critérios com DATUM de TMR.....	209
Tabela E.9 - Análise de critérios com DATUM de REFP .....	209
Tabela E.10 - Análise de critérios com DATUM de EDAC .....	210
Tabela E.11 - Análise de critérios com DATUM de RECO.....	210
Tabela E.12 - Análise de critérios com DATUM de DUPL.....	210
Tabela E.13 - Análise de critérios com DATUM de QUAD .....	211
Tabela E.14 - Análise de critérios com DATUM de DERA. ....	211
Tabela E.15 - Resultado da matriz de Pugh.....	211
Tabela G.1 - Referências para técnicas de mitigação .....	230
Tabela G.2 - Comportamento da potência estática.....	230
Tabela H.1 - Fontes de pesquisa (técnicas de mitigação).....	232
Tabela H.2 - Fontes de pesquisa (dados e cálculos).....	232
Tabela H.3 - Fontes de pesquisa (critérios).....	233
Tabela I.1 - Dispositivos Lógicos (DL) disponíveis no FPGA.....	234
Tabela I.2 - Dispositivos Lógicos (DL) utilizados no projeto .....	234
Tabela I.3 - Recursos lógicos para a implementação das técnicas.....	234

## LISTA DE SIGLAS E ABREVIATURAS

AEB	Agência Espacial Brasileira
AHP	Analytic Hierarchy Process
ALC	Alcântara
ANP	Analytic Network Process
ASIC	Application Specific Integrated Circuits
BCH	Bose–Chaudhuri–Hocquenghem
BICMOS	Bipolar-CMOS
BJT	Bipolar Junction Transistor
BRAM	Block RAM
BRAVE	Big Re-programmable Array for Versatile Environments
CACT	Careful COTS
CBERS	China-Brazil Earth Resources Satellite
CCC	Clock Conditioning Circuit
CCS	Centro de Controle de Satélites
CD	Computational Density
CED	Concurrent Error Detection
CGB	Cuiabá
CI	Circuito Integrado
CKPR	Circuito de Proteção
CLB	Configurable Logic Block
CLK	Clock
CM	Centro de Missão
CMOS	Complementary Metal-Oxide-Semiconductor
CONASAT	Constelação de Nanossatélites para Coleta de Dados Ambientais
COTS	Commercial off-The-Shelf
CPLD	Complex PLD
CPU	Central Processing Unit
CRC	Cyclic Redundancy Check
CREME	Cosmic Ray Effects on Micro-Electronics
CRN	Centro Regional de Natal
CS	Current-Steering switch
CSA	Current Sense differential Amplifier

DCM	Digital Clock Manager
DD	Displacement Damage
DERA	Detector de Radiação
DFF	Flip-Flop tipo D
DL	Dispositivo Lógico
DMR	Dual Modular Redundancy
DRAM	Dynamic Random- Access Memory
DSP	Digital Signal Processor
DUPL	Duplicação
DWC	Duplication With Compare
ECC	Error Correcting Code
EDAC	Error Detection and Correction
EDC	Environmental Data Collector
EEPROM	Electrically-Erasable Programmable Read-Only Memory
eFPGA	Embedded FPGA
EPROM	Electrically Programmable Read-Only Memory
ESA	European Space Agency
ESP	Emission of Solar Protons
FAA	Federal Aviation Administration
FF	Flip-Flop
FIFO	First In, First Out
FIR	Finite Impulse Response
FMC	Fixed Multi-Core
FPGA	Field Programmable Gate Array
GCR	Galactic Cosmic Rays
GHz	Gigahertz
GOPS	Giga Operações por Segundo
GSN	Goal Structuring Notation
GTMR	Global TMR
Hz	Hertz
ICAP	Internal Configuration Access Port
ILP	Instruction - Level Parallelism
INPE	Instituto Nacional de Pesquisas Espaciais
I/O	Input/Output



IOB	Input/Output Block
IS	Isolation Switch
ITAR	International Traffic in Arms Regulations
JPL	Jet Propulsion Laboratory
JTAG	Joint Test Action Group
KHz	Kilohertz
LEO	Low Earth Orbit
LET	Linear Energy Transfer
LUT	Look Up Tables
MACC	Multiply Accumulate
MAUT	Multiple Attribute Utility Theory
MBU	Multiple-Bit Upset
MC	Multi-Core
MCU	Multiple-Cell Upset
MeV	Mega elétron-volt
MFPM	Metodologia de Mitigação de Falhas baseada em Parâmetros e Métricas
MHz	Megahertz
Mils	Milésimos de polegada
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MSS	Microcontroller Subsystem
MTBF	Mean Time Between Failures
NASA	National Aeronautics and Space Administration
NAT	Natal
NIEL	Non-Ionizing Energy Loss
N-MOS	MOSFET canal N
NMR	N-Modular Redundancy
NX	NanoXplore
OBC	On-Board Computer
OECD	Organisation for Economy Cooperation and Development
OTP	One-Time Programmable
PAL	Programmable Array Logic
PCB	Printed Circuit Board

PCD	Plataforma de Coleta de Dados
PLA	Programmable Logic Array
PLD	Programmable Logic Device
PLL	Phase Lock Loop
P-MOS	MOSFET canal P
PRM	Partially Reconfigurable Module
PROM	Programmable Read-Only Memory
QFDR	Quadruple Force Decide Redundancy
QPSK	Quadrature Phase Shift Keying
QUAD	Quadruplicação
Rad-hard	Radiation hardness
RAM	Random Access Memory
REC	Estação Receptora
RECO	Reconfiguração
RCOSC	Resistance - Capacitance Oscillator
REFP	Redundância de FPGA
RF	Radiofrequência
RHBD	Radiation Hardening by Design
RHBP	Radiation Hardening by Processor
RMC	Reconfigurable Multi-Core
R&M	Reliability & Maintainability
ROM	Read Only Memory
RPR	Reduced Precision Redundancy
RTEMS	Real - Time Executive for Multiprocessor Systems
RTG	Radiation-Tolerant FPGA
SAT	Satélite
SBCDA	Sistema Brasileiro de Coleta de Dados Ambientais
SCD	Satélite de Coleta de Dados
SDRAM	Synchronous Dynamic Random-Access Memory
SEB	Single Event Burnout
SECDED	Single-Error Correction and Double-Error Detection
SED	Single Event Disturb
SEE	Single Event Effects
SEFI	Single Event Functional Interrupt

SEGR	Single Event Gate Rupture
SEHE	Single Event Hard Error
SEL	Single Event Latch-up
SEP	Solar Energetic Particles
SESB	Single Event Snap-Back
SET	Single Event Transient
SEU	Single Event Upset
SINDA	Sistema Integrado de Dados Ambientais
SMU	Single-word Multiple-bit Upsets
SoC	System-on-a-Chip
SOI	Silicon-On-Insulator
SPLD	Simple PLD
SRAM	Static Random-Access Memory
STMR	Selective Triple Modular Redundancy
TCD	Transponder de Coleta de Dados
TDTMR	Triple Design TMR
TID	Total Ionizing Dose
TIR	Triplicated Interwoven Redundancy
TMR	Triple Modular Redundancy
UART	Universal Asynchronous Receiver/Transmitter
UHF	Ultra-High Frequency
UFRN	Universidade Federal do Rio Grande do Norte
USB	Universal Serial Bus
USU	Usuário
VLSI	Very Large Scale Integration
XTLOSC	Crystal Oscillator



## LISTA DE SÍMBOLOS

$a_1/a_2$	Coeficientes da equação da reta
$A_d$	Área ocupada (utilização física do dispositivo)
$A_t$	<i>Overhead</i> de área com a técnica
$^{\circ}\text{C}$	Grau Celsius
$\text{CD}_{\text{bit}}$	Densidade Computacional no nível de bit
$e$	Exponencial
$f$	Frequência
$f_{pe}$	Função da potência estática
$N_i$	Número de $i$ (MACC)
$N_{\text{lut}}$	Número de LUTs
$P_d$	Potência dinâmica
$P_{dm}$	Potência dinâmica máxima
$P_e$	Potência estática
$P_t$	Potência total
$P_{tm}$	Potência total máxima
$R_{te}$	Resistência térmica da junção à placa
$R_{\text{orig}}$	Confiabilidade original
$R_{\text{tmr}}$	Confiabilidade com a TMR
$T_a$	Temperatura ambiente
$t$	tempo
$T_d$	Temperatura do dispositivo
$T_u$	Taxa de <i>upsets</i>
$T_{ue}$	Taxa de <i>upsets</i> efetiva
$T_{uep}$	Taxa de <i>upsets</i> efetiva proporcional
$U_d$	Utilização do dispositivo
$U_{dt}$	Utilização do dispositivo com a técnica
$W_i$	Largura de $i$ (MACC)
$Z$	Número atômico
$\lambda$	Taxa de <i>upsets</i> efetiva proporcional (igual à $T_{uep}$ no estudo de caso)



## SUMÁRIO

	<u>Pág.</u>
1	INTRODUÇÃO..... 1
1.1	Conceitos de FPGAs (Contexto) .....1
1.2	Descrição do problema (Motivação)..... 3
1.3	Termos e definições..... 4
1.4	Estrutura da tese..... 6
1.5	Objetivo geral e objetivos específicos..... 8
1.6	Metodologia adotada..... 8
2	FPGA E RADIAÇÃO ESPACIAL..... 12
2.1	FPGA..... 12
2.1.1	Histórico dos FPGAs..... 14
2.1.2	Tecnologias dos FPGAs..... 17
2.2	Radiação espacial..... 23
2.2.1	Classificação geral dos efeitos da radiação.... 25
2.2.2	Classificação dos <i>Single Event Effects</i> (SEE) ..... 28
2.2.3	Modelos de ambiente de radiação..... 36
3	IDENTIFICAÇÃO DAS TÉCNICAS DE MITIGAÇÃO DE FALHAS..... 39
3.1	Principais técnicas de mitigação de falhas ..... 39
3.1.1	Circuito de proteção (CKPR) ..... 41
3.1.2	<i>Careful</i> COTS (CACT)..... 43
3.1.3	Redundância Modular Tripla (TMR) ..... 44
3.1.4	Redundância de FPGA (REFP)..... 48
3.1.5	Detecção e Correção de Erros (EDAC) ..... 49
3.1.6	Reconfiguração (RECO)..... 51
3.1.7	Duplicação (DUPL)..... 54
3.1.8	Quadruplicação (QUAD)..... 56
3.1.9	Detector de radiação (DERA)..... 58
3.2	Efeitos adversos das técnicas de mitigação .....60
3.2.1	Árvore de <i>clock</i> e velocidade de processamento ..... 60
3.2.2	Balancos de massa e potência..... 65
4	EXEMPLOS DE ESTRUTURAS DE SELEÇÃO..... 67

4.1	Estruturas de seleção .....	68
4.1.1	Estrutura 1 ( <i>Top-level hierarchy</i> ) .....	68
4.1.2	Estrutura 2 ( <i>Decision tree</i> ).....	70
4.1.3	Estrutura 3 ( <i>Decision flow</i> ) .....	71
4.1.4	Estrutura 4 ( <i>Flowchart</i> ) .....	72
4.1.5	Sumarização das estruturas.....	74
4.2	Discussão sobre as estruturas .....	75
4.2.1	<i>Gaps</i> , aperfeiçoamentos e novas oportunidades .....	75
4.2.2	Utilidade, originalidade e generalidade de uma nova metodologia.....	78
5	METODOLOGIA DE MITIGAÇÃO DE FALHAS BASEADA EM PARÂMETROS E MÉTRICAS (MFPM) .....	80
5.1	Modelo de ranqueamento.....	81
5.2	Relevância científica das técnicas de mitigação .....	83
5.3	Método de decisão .....	85
5.4	Processos e estruturas da MFPM....	90
5.4.1	Processo 1 .....	92
5.4.2	Processo 2 .....	93
5.4.3	Processo 3 .....	97
6	ESTUDO DE CASO .....	111
6.1	Dados necessários.....	111
6.1.1	Missão.....	111
6.1.2	Projeto .....	114
6.1.3	FPGA .....	117
6.2	Resultados .....	119
6.2.1	Aplicação da metodologia ( <i>Careful COTS</i> ).....	119
6.2.2	Aplicação da metodologia (TMR) .....	121
6.2.3	Aplicação das métricas de potência e confiabilidade (TMR) .....	126
6.3	Comparação de resultados e discussões.....	138
6.3.1	Aplicação da metodologia (Reconfiguração).....	140
6.3.2	Aplicação da metodologia (EDAC) .....	142
7	CONCLUSÃO .....	148
	REFERÊNCIAS BIBLIOGRÁFICAS .....	153



APÊNDICE A - COMPLEMENTO (TECNOLOGIA DE FPGAs).....	181
APÊNDICE B - COMPLEMENTO (TÉCNICAS DE MITIGAÇÃO).....	184
APÊNDICE C - ESTATÍSTICA DE TRABALHOS CIENTÍFICOS .....	190
APÊNDICE D - GRÁFICOS ESTATÍSTICOS DA PESQUISA.....	206
APÊNDICE E - APLICAÇÃO DA MATRIZ DE PUGH.....	207
APÊNDICE F - PESQUISAS (AVALIAÇÃO DE TÉCNICAS) .....	212
APÊNDICE G - PESQUISA DE DADOS (PROJETO) .....	224
APÊNDICE H - FONTES DE PESQUISAS .....	232
APÊNDICE I - RECURSOS UTILIZADOS PARA OS CÁLCULOS .....	234



# 1 INTRODUÇÃO

Esta tese versa sobre o desenvolvimento de uma metodologia para auxiliar os engenheiros eletroeletrônicos no processo de escolha de técnicas de mitigação de falhas. Essas falhas são ocasionadas devido aos efeitos da radiação nos componentes eletroeletrônicos de projetos embarcados nas missões espaciais. Como há uma tendência para a utilização de COTS (*Commercial Off-The-Shelf*), a ênfase é estabelecida na utilização de FPGAs (*Field Programmable Gate Array*) COTS em missões de curta duração (até três anos).

Esta parte inicial especifica o contexto do tema, situando os FPGAs nos aspectos de vantagens para a utilização na área espacial. Todavia, o tema do capítulo também se refere aos dispositivos COTS, cujos conceitos são apresentados. A seguir são detalhados alguns aspectos sobre a valorização crescente de FPGAs COTS. Como em toda área do conhecimento científico, a utilização desse circuito integrado (CI) está sujeita a algumas desvantagens. Dessa forma é especificado o problema, que consiste nos efeitos da radiação espacial sobre os componentes eletroeletrônicos embarcados. Como é comum também na área técnica, há diversos termos e definições que necessitam de esclarecimentos, os quais são realizados com a consulta a referências internacionais. Para a melhor compreensão da tese e posterior verificação e validação, no presente capítulo aborda-se a estrutura da mesma e o objetivo geral. Após, este é complementado com os objetivos específicos para maior detalhamento e os esclarecimentos necessários. A metodologia de pesquisa também é definida, sendo essencial para a operacionalização dos objetivos específicos e o alcance satisfatório do objetivo geral.

## 1.1 Conceitos de FPGAs (Contexto)

A utilização de FPGAs em circuitos eletrônicos, de telecomunicações e de redes de computadores demonstrou grande evolução. Deve-se considerar que sua produção está se tornando cada vez mais viável economicamente, com menores custos de *hardware* e maiores benefícios tecnológicos. Esses componentes

podem ser empregados em sistemas de inteligência artificial ou que manipulam grande variedade de dados (*Big Data*). Em linha gerais, os FPGAs podem ser definidos como um arranjo de células configuráveis ou blocos lógicos que são inseridos em um único *chip*. Além disso, apresentam maiores velocidades de processamento em relação aos circuitos integrados que os precederam, tornando-se mais eficientes no gerenciamento do fluxo de dados. Essas vantagens podem ser resumidas nos aspectos de densidade, altos índices de desempenho e menores custos de fabricação comparativamente a alguns anos anteriores (TAYLOR, 2017; WINDOWSTEAM, 2018).

Os dispositivos COTS passaram a ser utilizados com maior frequência na área espacial na última década, principalmente pelos aspectos de aquisição e de custos. Esses dispositivos significam qualquer item de suprimento comercial (*software* ou *hardware*) vendido em quantidades substanciais no mercado de componentes, e fornecido aos governos da mesma forma em que é vendido nesse mercado. Os COTS não são fabricados para operação no espaço e devem possuir uma solução de mitigação para garantir a sua operacionalidade nesses ambientes hostis (ACQNOTES, 2019; MOUSAVI et al., 2018).

Na atualidade, a Agência Espacial Europeia (ESA - *European Space Agency*) ressalta a necessidade do alto desempenho dos circuitos de processamentos digitais e suas plataformas, de uso geral para o futuro das missões espaciais, que estão baseadas em COTS. Desse modo, o FPGA COTS destaca-se como uma alternativa para computação de desempenho avançado, pois apresenta capacidade elevada de paralelização do processamento aritmético, transceptores com alta taxa de transferência, unidades de memória interna que permitem implementações flexíveis de *buffers*, baixo consumo de energia e baixo custo, quando comparados com CPUs (*Central Processing Unit*) convencionais. Em alguns programas, principalmente relacionados a nanossatélites, uma das principais motivações para usar processadores com FPGA é a possibilidade de implementar sistemas tolerantes a falhas com componentes COTS (MEDEIROS, 2013; MOUSAVI et al., 2018; VILLA et al., 2018).

Inicialmente, os dispositivos dos circuitos digitais evoluíram de transistores individuais para circuitos integrados VLSI (*Very Large Scale Integration*),

*hardware* customizados ou ASICs (*Application Specific Integrated Circuits*), PLDs (*Programmable Logic Device*), PLDs semicustomizados, SPLDs (*Simple PLDs*) e CPLDs (*Complex PLDs*), permitindo um maior aumento da capacidade de processamento e maior flexibilidade (MALAGONI et al., 2009; RIBEIRO, 2002).

Apesar das vantagens mencionadas, os dispositivos customizados e semicustomizados mais tradicionais apresentam desvantagens como incapacidade de reprogramação, custos de projeto extremamente altos e o tempo de desenvolvimento longo, devido ao processo de fabricação especial. Os FPGAs apresentam menor tempo de implementação e menores custos em relação a um projeto que utiliza um componente ASIC. FPGAs COTS podem apresentar custos bem mais acessíveis para projetos menos complexos, gerando economia de recursos e aumentando o avanço tecnológico (ALBERTINI, 2015; DIGIKEY, 2019; RIBEIRO, 2002).

## **1.2 Descrição do problema (Motivação)**

Apesar das vantagens mencionadas para a utilização de FPGAs COTS, os projetos espaciais possuem características diversas dos projetos eletroeletrônicos comuns ou de defesa. O ambiente hostil do espaço provoca efeitos adversos nos dispositivos eletrônicos, os quais são devidos a mudanças bruscas de temperatura, pressão e forças cinéticas durante o lançamento e outras situações imprevisíveis. Um dos problemas mais relevantes em qualquer missão espacial é o ambiente de radiação, que pode causar danos em dispositivos eletrônicos, células solares e materiais (PINHO et al., 2016).

Devido ao ambiente de radiação citado, os sistemas espaciais exigem componentes com qualificação espacial e que apresentem uma alta taxa de processamento em relação aos dispositivos convencionais como CPUs com *multicore* e os ASICs, citados anteriormente. Estes requisitos são considerados no processo de fabricação e os FPGAs resistentes à radiação podem chegar a custar cerca de US\$ 22.000,00, enquanto um COTS para um projeto de

nanossatélites pode ser adquirido por cerca de U\$500,00, de acordo com as especificações (DIGIKEY, 2019; MEDEIROS, 2013; VILLA et al., 2018).

Também deve-se ressaltar que muitas tecnologias espaciais envolvem a área civil e de defesa (incluindo militar), com projetos críticos e informações reservadas. Este fato tende a restringir o comércio de dispositivos e materiais utilizados nos sistemas espaciais, ocasionando os embargos tecnológicos. Devido principalmente ao embargo e custo elevado de componentes e materiais *rad-hard* (*radiation hardness*), os dispositivos eletrônicos COTS apresentam-se como uma oportunidade. Entretanto, necessitam de processos de mitigação dos efeitos da radiação para atenderem às demandas dos projetos espaciais, como os do INPE (Instituto Nacional de Pesquisas Espaciais) (MEDEIROS, 2013; OECD, 2014; VILLA et al., 2018).

### 1.3 Termos e definições

A Tabela 1.1 apresenta alguns dos principais termos utilizados nesta tese e suas respectivas definições, segundo a norma ECSS-S-ST-00-01C da ESA (2012) e Merriam-Webster (2020).

Tabela 1.1 – Termos e definições.

<b>Termos</b>	<b>Definições</b>
Confiabilidade	“Capacidade de um item de desempenhar uma função requerida sob condições especificadas, durante um determinado intervalo de tempo” (ESA, 2012, p. 75).
COTS ( <i>Commercial Off-The-Shelf</i> )	“Componente eletrônico comercial prontamente disponível e não fabricado, inspecionado ou testado de acordo com padrões militares, ou espaciais” (ESA, 2012, p. 40).
Criticalidade	“Qualidade, estado ou natureza crítica” (MERRIAN-WEBSTER, 2020).
Crítico	Característica de um processo, condição de processo, parâmetro, requisito ou item que merece controle e atenção especial de modo a atender aos objetivos (por exemplo, de uma missão) com determinadas restrições (ESA, 2012, p. 40).

(Continua)

Tabela 1.1 – Continuação.

<b>Termos</b>	<b>Definições</b>
Defeito	Estado de um item caracterizado por incapacidade de executar conforme necessário. Um defeito pode ser o resultado de uma falha do item ou pode existir sem falha anterior. Um defeito pode gerar uma falha (ESA, 2012, p. 52).
Falha	“Evento que resulta em um item não sendo mais capaz de executar sua função requerida. Falha é um evento, diferentemente de defeito, que é um estado” (ESA, 2012, p. 51).
Método	Procedimento ou processo para atingir um objetivo como um procedimento sistemático, técnica ou modo de investigação empregado ou apropriado para uma disciplina ou arte específica...; uma forma, técnica ou processo de ou para fazer algo; um corpo de habilidades ou técnicas; uma disciplina que lida com os princípios e técnicas da investigação científica (MERRIAN-WEBSTER, 2020).
Metodologia	“Conjunto de métodos, regras e postulados empregados por uma disciplina: um determinado procedimento ou conjunto de procedimentos” (MERRIAN-WEBSTER, 2020).
Métrica	“Padrão de medição” (MERRIAN-WEBSTER, 2020).
Missão	“Conjunto de tarefas, deveres ou funções a serem realizadas por um elemento” (ESA, 2012, p. 66).
Missão espacial	“Missão definida pelo usuário a ser alcançada por um sistema espacial” (ESA, 2012, p. 82).
Mitigação	“Ato de mitigar algo ou o estado de ser mitigado: o processo ou resultado de tornar algo menos grave, perigoso, doloroso, severo ou prejudicial” (MERRIAN-WEBSTER, 2020).
<i>Off-the-self</i>	“Adquiridos do mercado, mesmo que não desenvolvidos para aplicações espaciais” (ESA, 2012, p. 68).
Parâmetro	“Conjunto de propriedades físicas cujos valores determinam as características ou comportamento de algo” (MERRIAN-WEBSTER, 2020).
Procedimento	“Método documentado de realizar uma atividade ou processo de maneira controlada” (ESA, 2012, p. 70).
Processo	“Conjunto de atividades inter-relacionadas ou interativas que transformam entradas em saídas” (ESA, 2012, p. 71).
Qualificação	Parte da verificação que demonstra que o produto atende às margens de qualificação especificadas. Esta pode ser aplicada a processos de pessoal, produtos, fabricação e montagem (ESA, 2012, p. 73).

(Continua)

Tabela 1.1 – Conclusão.

<b>Termos</b>	<b>Definições</b>
Redundância	“Existência de mais de um meio para realizar uma determinada função com a intenção de aumentar a confiabilidade” (ESA, 2012, p. 75).
Resistência	“Capacidade inerente de um organismo de resistir a influências prejudiciais” (MERRIAN-WEBSTER, 2020).
Técnica	“Método ou conjunto de métodos para atingir um fim desejado” (MERRIAN-WEBSTER, 2020).
Tempo de vida	“Período, ou número de ciclos, sobre os quais um produto é obrigado a executar de acordo com sua especificação” (ESA, 2012, p. 65).
Tolerância a falhas	“Atributo de um item que o torna capaz de executar uma função necessária na presença de determinadas falhas de subitens” (ESA, 2012, p. 52).
Validação	Processo que demonstra que o produto é capaz de realizar o uso pretendido no ambiente operacional pretendido. A verificação é um pré-requisito para validação (ESA, 2012, p. 93).
Verificação	Processo que demonstra através do fornecimento de evidência objetiva de que o produto foi projetado e produzido de acordo com suas especificações e os desvios e renúncias acordados, e está livre de defeitos. A verificação pode ser realizada por um ou mais dos seguintes métodos: análise (incluindo similaridade), teste, inspeção, revisão do projeto (ESA, 2012, p. 93).

Fonte: ESA (2012); Merrian-Webster (2019).

Como complemento a termos muito utilizados, é importante ressaltar a diferenciação entre componentes tolerantes e resistentes a falhas. Geralmente os componentes tolerantes à radiação resistem a níveis de 30 Krad de radiação ionizante em órbitas de cerca de 700 km com duração de missão de três anos. Os componentes resistentes (*rad-hard*) resistem a níveis acima de 100 Krad (MANEA, 2018).

#### 1.4 Estrutura da tese

A partir do próximo item são apresentados o objetivo geral, os objetivos específicos e a metodologia adotada. Como metodologia científica há a descrição da pesquisa exploratória para proporcionar todo o conhecimento,



informações e dados necessários. Esta tese foi organizada com a finalidade de estabelecer inicialmente o contexto de FPGA COTS, detalhar os componentes e tecnologias envolvidos, assim como conceitos mais importantes e histórico. O desenvolvimento da tese inicia-se com o levantamento das técnicas de mitigação e prossegue por intermédio da relevância científica das mesmas e método de decisão. A metodologia é descrita por intermédio de três processos e prossegue com o estudo de caso e conclusão. No Capítulo 1 estabelece-se o contexto do tema, apresentando conceitos gerais sobre os FPGAs, componentes COTS e a utilização de FPGAs COTS. O problema é informado, o qual se relaciona aos efeitos da radiação espacial sobre os componentes eletroeletrônicos embarcados. São especificados os termos e definições utilizados segundo referências internacionais. No Capítulo 2, os conceitos e histórico sobre FPGAs e tecnologias principais são aprofundados. Neste capítulo também são descritos os assuntos relativos ao problema como a radiação, classificação de seus efeitos e modelos de ambiente de radiação. No Capítulo 3 são identificadas as técnicas de mitigação, pesquisadas por intermédio de consultas a trabalhos publicados no período de 2000 a 2019, como fase inicial da metodologia e ressaltando as vantagens e desvantagens (específicas e gerais). No Capítulo 4 são apresentadas estruturas atuais para seleção de técnicas de mitigação (estado da arte), utilizadas principalmente com a finalidade de identificar os *gaps* do tema. Nesta fase, há uma discussão sobre os exemplos de estruturas de seleção atuais, *gaps*, aperfeiçoamentos e novas oportunidades. Também são analisadas a utilidade, originalidade e generalidade da metodologia de mitigação, ressaltando a contribuição do trabalho. No Capítulo 5 a metodologia é apresentada por intermédio de estruturas que detalham os processos, incluindo algoritmos. Para isto, são descritas duas ferramentas essenciais para a metodologia: pesquisa estatística sobre a relevância científica das técnicas e método de decisão. No Capítulo 6 há a aplicação com o estudo de caso, cujo projeto é relativo à tecnologia de nanossatélites. Após o detalhamento do estudo envolvendo o projeto, são apresentados os resultados e realizadas discussões sobre os mesmos. O Capítulo 7 descreve a conclusão, incluindo a sugestão de trabalhos e projetos futuros. A seguir, são demonstrados as referências e

apêndices, onde são inseridas informações adicionais sobre o tema e os detalhes das pesquisas realizadas.

### **1.5 Objetivo geral e objetivos específicos**

Este trabalho apresenta a proposta de desenvolvimento de uma metodologia para auxiliar os engenheiros eletroeletrônicos no processo de escolha de técnicas de mitigação de falhas, devido aos efeitos da radiação, para um sistema espacial que utilize FPGA COTS.

Para os objetivos específicos serão detalhados alguns aspectos.

- a) Identificar as oportunidades oferecidas no estado da arte e no estado da prática para propor um processo de escolha de técnicas de mitigação de falhas, devido aos efeitos da radiação espacial em FPGA COTS, com ênfase para a aplicação em projetos com missões de curta duração (até três anos).
- b) Desenvolver uma metodologia abrangendo as principais técnicas utilizadas no domínio do tempo (2000 a 2019), os parâmetros e métricas de referência, assim como as respectivas estruturas necessárias.
- c) Aplicar a metodologia em FPGAs COTS, analisando os efeitos mais relevantes para a tecnologia de fabricação utilizada, assim como os circuitos empregados, projeto e missão.
- d) Comparar esta metodologia com as existentes, discutindo o preenchimento dos *gaps* atuais, identificados por intermédio de exemplos de estruturas do estado da arte classificadas como de maior relevância.

### **1.6 Metodologia adotada**

Para avaliar os conceitos de FPGAs COTS e suas tecnologias, os efeitos da radiação e as técnicas de mitigação das falhas, foi realizada uma pesquisa bibliográfica exploratória. A pesquisa teve como objetivos os itens, a seguir.

- a) Fornecer mais informações sobre o assunto a ser investigado, possibilitando sua definição e planejamento. Pode ser usada como um passo inicial para uma investigação mais ampla, especialmente quando o tópico precisa de esclarecimento e delimitação, usando revisão de literatura, estudos de especialistas e outros procedimentos.
- b) Desenvolver, esclarecer e modificar conceitos e ideias, assim como formular problemas mais precisos ou hipóteses de pesquisa para estudos posteriores. Deve proporcionar uma visão geral de um tema específico, realizando as aproximações necessárias. O resultado a ser alcançado é um problema detalhado, sujeito a uma investigação mais aprofundada, com procedimentos sistemáticos.
- c) Facilitar a delimitação do tema da pesquisa ou descobrir um novo foco para o sujeito. Possui um planejamento flexível, que permite o estudo do tema sob vários ângulos e aspectos, incluindo levantamento bibliográfico e análise de exemplos que incentivem a compreensão.

Os trabalhos científicos pesquisados foram relativos à aplicação de técnicas de mitigação em FPGAs COTS: artigos, monografias, dissertações e teses. Para as técnicas de mitigação, foram realizadas pesquisas sobre a frequência de abordagem das mesmas no período de 2000 a 2019. Foram utilizadas as palavras-chave no *google acadêmico*: COTS, *effects*, FPGA, *faults*, *mitigation*, *tolerance*, *tolerant* e *radiation*. Também foram realizadas diferentes combinações destas palavras-chave para aprimorar os resultados das pesquisas: COTS FPGA *fault mitigation*, COTS FPGA *fault tolerance* e COTS FPGA *radiation effects*.

Como há diversas técnicas e aplicações diferenciadas, a pesquisa exploratória foi utilizada neste trabalho para gerar algumas informações.

- a) Histórico dos FPGAs (em geral) e dados técnicos dos mesmos relacionados ao projeto como fabricante, família, frequência de operação, dados de temperatura, imunidades prévias e recursos lógicos.

- b) Dados de projeto relativos à aplicação, abrangendo o subsistema e circuito para obter o cálculo das métricas necessárias.
- c) Dados da missão (aplicação), com informações sobre satélite e órbita, ambiente espacial, fontes e efeitos da radiação.
- d) Técnicas de mitigação utilizadas em FPGAs COTS para aplicações espaciais, abrangendo as principais e mais utilizadas, de acordo com revisão bibliográfica.
- e) Dados obtidos na revisão bibliográfica (2000 a 2019) de projetos com FPGAs tolerantes à radiação, incluindo testes realizados e resultados alcançados.

Como entradas para a metodologia foram avaliados alguns aspectos.

- a) Seleção de uma missão, sistema, subsistema, circuito e FPGA para estudo de caso, com suas principais informações técnicas.
- b) Ranqueamento das principais técnicas de mitigação, obtido por estatística de trabalhos científicos pesquisados e metodologia de gerenciamento de projetos.
- c) Exemplos de estruturas de metodologia como *top-level hierarchy*, *decision tree*, *decision flow*, *flowchart* e outras que permitiram a melhor compreensão do estado da arte.
- d) Identificação dos principais *gaps* do estado da arte, de modo a realizar a proposta de uma estrutura sequencial de alto nível, composta por outras estruturas diversificadas de decisão e fluxo de dados, superando essas principais limitações.

Após a consideração das entradas o engenheiro eletroeletrônico poderá avaliar todos os procedimentos na estrutura proposta para o FPGA, com a seleção de técnica ou técnicas de mitigação mais apropriadas. Quanto à validação da metodologia de seleção, esta foi realizada por intermédio de estudo de caso seguindo os passos sugeridos da estrutura proposta. Para isto, foram realizadas comparações da técnica escolhida com outras mencionadas na tese (verificação), em exemplos específicos de FPGAs.

A metodologia proposta deve contribuir para o êxito de um projeto de sistema de processamento embarcado, atendendo ou excedendo todos os requisitos das missões e superando o desafio de seleção da técnica ou técnicas específicas. Para isto, a metodologia foi proposta de forma hierarquizada, abrangente e com estruturas de vários níveis e integradas. Esta é original, propondo aperfeiçoamentos e oportunidades de trabalhos futuros para todas as limitações, analisadas como estado da arte. Aborda o maior número possível de técnicas (em determinado período), além de parâmetros e métricas considerados suficientes para o propósito da tese. Utiliza também um modelo de ranqueamento original, composto de pesquisa estatística e conceitos de gerenciamento de projetos. A metodologia é genérica, podendo ser aplicada em diferentes missões de curta duração (até três anos) e evolutiva, permitindo a sua expansão e adaptação para outros efeitos da radiação e componentes eletroeletrônicos.

## 2 FPGA E RADIAÇÃO ESPACIAL

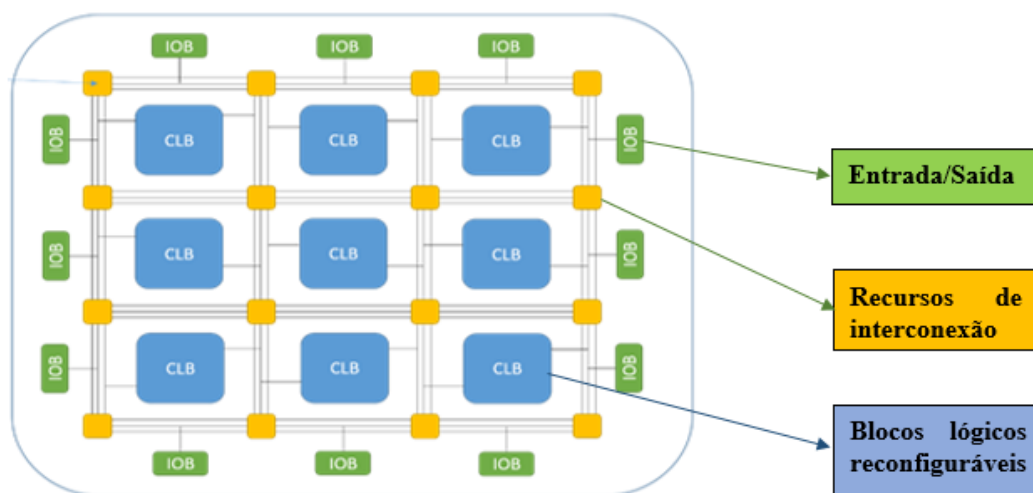
Para que os objetivos possam ser compreendidos de forma satisfatória faz-se necessário explicitar com mais profundidade os conceitos sobre FPGAs. Para que esses conceitos fiquem ainda mais claros é essencial constatar que os FPGAs são derivados de tecnologias anteriores que passaram por processos de evolução, porém necessitam de constantes aperfeiçoamentos. A tecnologia dos FPGAs foi revisada com o intuito de demonstrar melhor como os efeitos da radiação interagem com os materiais utilizados na fabricação e na operação desses dispositivos. No presente capítulo a radiação espacial é demonstrada com mais detalhes por se constituir no problema a ser analisado, com a posterior mitigação de seus efeitos. Como é um assunto complexo, necessita-se classificar seus efeitos sistematicamente com o objetivo de associá-los com as tecnologias empregadas nos FPGAs. A descrição dos modelos de ambiente de radiação é essencial para a quantização desses efeitos e realização dos cálculos necessários para a mitigação apropriada.

### 2.1 FPGA

O FPGA possui a capacidade de realizar operações simultâneas como a implementação de funções lógicas e o roteamento, permitindo a comunicação entre as células. São PLDs (*Programmable Logic Device*) que suportam capacidade lógica elevada e incluem um arranjo de elementos de circuitos não conectados (blocos lógicos) e recursos de interconexão. A configuração do FPGA é realizada por programação pelo usuário e permite a reconfiguração. Este termo significa que o projeto do circuito pode ser personalizado para uma aplicação específica, considerando que a lógica programável permite que os circuitos eletrônicos digitais personalizados sejam implementados no dispositivo. Exemplos destes circuitos podem ser funções lógicas simples para conexão de *chips* ou complexas como um microprocessador inteiro (AGIAKATSIKAS, 2019; RIBEIRO, 2002).

Com essa tecnologia é possível substituir diversos componentes por um único *chip* com uma menor área utilizada na placa de circuito impresso (PCB – *Printed Circuit Board*), eliminar as interconexões e alterar o circuito lógico sem mudanças na PCB e sem prejudicar a lógica de operação, gerando economia de tempo e recursos financeiros. A estrutura conceitual de um FPGA contém os blocos lógicos configuráveis (CLB- *Configurable Logic Blocks*), recursos de interconexão e blocos especiais capazes de realizar operações de entrada e saída (IOB - *Input/Output Block*). Os blocos lógicos são constituídos de: pares de transistores, portas básicas de duas entradas (ANDs, ORs, NANDs, NORs, XORs), dispositivos de múltiplas entradas, dispositivos de armazenamento e outros (MALAGONI et al., 2009; RIBEIRO, 2002). A Figura 2.1 mostra a estrutura conceitual de um dispositivo FPGA, ressaltando que cada fabricante possui o seu próprio *design*.

Figura 2.1 - Estrutura conceitual de um dispositivo FPGA.



Fonte: Adaptado de Pandit (2019).

Nas áreas de eletrônica digital e computação, segundo Taylor (2017) e WindowsTeam (2018), o FPGA demonstrou alta evolução e destaque junto aos fabricantes porque sua produção está se tornando cada vez mais viável economicamente. Esses dispositivos podem atender à demanda de desempenho da inteligência artificial e *Big Data*, os quais apresentam grande crescimento global, podendo ser considerado exponencial em relação a outras

tecnologias. Também aumentam as velocidades de processamento e reduzem os custos de *hardware*, gerenciando o fluxo de dados de forma eficiente e executando um número muito maior de processos simultaneamente.

Os FPGAs possuem aplicação em algoritmos de busca baseados em redes neurais profundas operando de forma muito mais veloz do que os *chips* comuns. Sinteticamente, essa evolução ocorreu principalmente nos aspectos de densidade, altos índices de desempenho e menores custos de fabricação.

### **2.1.1 Histórico dos FPGAs**

Inicialmente, os componentes dos circuitos digitais evoluíram de transistores individuais para circuitos integrados VLSI, com a utilização de ferramentas que facilitaram muito a configuração das portas lógicas e planejamento das suas interconexões. Os projetos em *hardware* customizados representaram outra etapa da evolução, pois foram direcionados para uma aplicação em particular, não havendo uma *overhead* (sobrecarga) extra para interpretação de instruções (*software*) ou circuitos extras para solucionar um problema genérico (*hardware*). Ou seja, circuitos integrados customizados ou ASICs são aqueles que necessitam de um processo de fabricação especial, utilizando máscaras específicas para cada projeto. No entanto, apresentam desvantagens como os custos de projeto extremamente altos e tempo de desenvolvimento longo. Os FPGAs surgiram na década de 1980 apresentando vantagens como o menor tempo de projeto, os custos não recorrentes embutidos em um projeto ASIC e capacidade de reprogramação (ALBERTINI, 2015; RIBEIRO, 2002).

Segundo Malagoni et al. (2009); Ribeiro (2002), o desenvolvimento dos FPGAs se relaciona à evolução do conceito de PLDs e da indústria de memórias programáveis, podendo ser utilizados para a implementação de praticamente qualquer dispositivo de *hardware*. Outra categoria de circuitos digitais são os PLDs semicustomizados, os quais possuem como principal característica a capacidade de programação após a fabricação pelo usuário (configuração). Esta característica facilita as mudanças de projeto com ciclo muito curto e baixos custos de desenvolvimento.



Os FPGAs são os PLDs que suportam capacidade lógica elevada e incluem um arranjo de elementos de circuitos não conectados (blocos lógicos) e recursos de interconexão. A configuração do FPGA é realizada por intermédio da programação pelo usuário final. A computação reconfigurável combina a velocidade do *hardware* com a flexibilidade do *software*, onde a arquitetura pode ser modificada em tempo real, para melhor se adequar à aplicação. Dessa forma, os FPGAs foram cada vez mais se distanciando dos CIs customizados devido ao recurso mencionado. Esse dispositivo em estudo (FPGA) representa a possibilidade de alterar parcialmente sua funcionalidade, sem prejudicar a lógica de operação. Com essa tecnologia é possível substituir diversos componentes por um único circuito integrado com uma menor área utilizada na PCB (eliminação de interconexões) e alterar o circuito lógico sem mudanças na placa.

Em linhas gerais, um FPGA pode ser descrito como um arranjo de células configuráveis ou blocos lógicos que são inseridos em um único *chip*. Este arranjo de células possui a capacidade de realizar operações simultâneas como a implementação de funções lógicas e o roteamento, permitindo a comunicação entre as células. Mais detalhadamente, os blocos lógicos possuem multiplexadores, LUTs (*Look Up Tables*) e *flip-flops*. LUT é uma pequena memória (1 bit de largura), com linhas de endereçamento (entrada) e valor da função lógica (saída). A principal utilização destes circuitos é nos projetos de prototipagem, pois muitos podem ser reprogramados, o que possibilita uma grande economia de tempo e dinheiro.

Devido à sua alta capacidade lógica, de acordo com Malagoni et al. (2009), os FPGAs representaram a principal mudança no projeto e fabricação de circuitos lógicos, percorrendo um longo trajeto. A Altera foi fundada em 1983 e entregou o primeiro dispositivo lógico reprogramável da indústria em 1984 (EP300), utilizando células EPROM (*Electrically Programmable Read-Only Memory*) na configuração do dispositivo (ALTERA, 1990). Em 1984, a empresa Xilinx foi fundada, sendo que passou a ser considerada a líder de FPGAs no meio industrial. Em 1985, os cofundadores da Xilinx inventaram o primeiro FPGA

comercialmente viável (XC2064), com portas e interligações programáveis de blocos de lógica configurável, com LUTs.

A década de 1990 foi muito relevante para a expansão dos fabricantes de FPGAs, os quais procuraram aperfeiçoar seus produtos e aumentar o volume de produção. Constatase pelo histórico desses fabricantes que, no início da década, os FPGAs foram aplicados principalmente em telecomunicações e redes. Em 1991, a Xilinx passou a ser inovadora na área, lançando a família XC4000, primeira família de FPGAs a ser largamente utilizada. Em 1992, a Altera também contribuiu para a expansão do mercado, lançando sua primeira família de FPGAs conhecida como FLEX® 8000. Logo em seguida, em 1993, a concorrência aumentou e a empresa Actel assumiu cerca de 18% do mercado neste ano. Em 1999, a Altera inovou em atendimento ao público acadêmico, introduzindo no mercado os *kits* de desenvolvimento. No final da década de 90, os FPGAs passaram a ser incorporados no mercado automotivo, de consumo e de aplicações industriais, expandido o número de fabricantes.

Em 2013, as três empresas citadas anteriormente chegaram a representar, no total, 77% do mercado de FPGAs: Altera (31%), Actel (10%) e Xilinx (36%) (SOURTECH411, 2013). Em dezembro de 2015, a Intel adquiriu a Altera e, em 2016, as rivais Xilinx e Altera (agora uma subsidiária da Intel) foram os líderes do mercado de FPGA. No período, esses fabricantes controlavam quase 90% do mercado (DILLIEN, 2016). Segundo Digikey (2019) atualmente alguns dos fabricantes mais importantes que atuam no mercado de FPGAs são: Xilinx, Lattice, Intel, Microchip (abrangendo Microsemi e Atmel).

Algumas empresas conhecidas mundialmente como fabricantes de FPGAs, como Atmel (Microchip) e Xilinx são fornecedoras tradicionais de FPGAs resistentes à radiação baseados em SRAM (*Static Random Access Memory*) para missões espaciais. No entanto, esses dispositivos geralmente estão sujeitos às normas internacionais dos Estados Unidos. Por exemplo, o Regulamento Internacional de Tráfego de Armas (ITAR - *International Traffic in Arms Regulations*) restringe a adoção de tais dispositivos, incluindo as missões europeias. A NanoXplore é uma empresa sediada na França que fabrica dispositivos SoCs (*System-on-a-Chip*) e FPGAs para os mercados: aeroespacial,

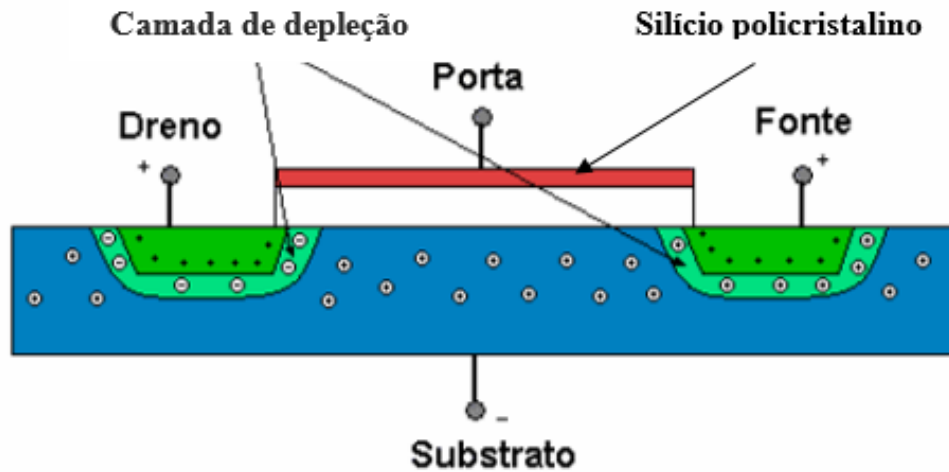
de defesa e industrial. A NanoXplore (NX) desenvolveu a primeira família europeia de FPGAs *rad-hard* baseados em SRAM de alta densidade e sem o controle do ITAR, de modo a superar essa dificuldade para os países que desenvolvem projetos espaciais. A empresa é fabricante do “BRAVE” que é um acrônimo para “*Big Re-programmable Array for Versatile Environments*”. Considerando que é um FPGA resistente à radiação relativamente recente desperta o interesse de agências espaciais como a brasileira (AEB - Agência Espacial Brasileira) e a europeia (ESA), no intuito de ficarem independentes de FPGAs produzidos nos EUA (NANOXPLORE, 2019; OLIVEIRA et al., 2019; TRAMONTIN, 2018).

### **2.1.2 Tecnologia dos FPGAs**

Quanto à tecnologia de fabricação, os FPGAs podem utilizar transistores de efeito de campo MOS (*Metal Oxide Semiconductor*), sendo o MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) o mais comum. Um transistor MOS é fabricado a partir de um substrato semicondutor dopado, geralmente silício e dopagens do tipo N ou P, apresentando quatro terminais (substrato, porta ou *gate*, fonte e dreno). Uma fina camada de material isolante cobre a parte central da estrutura, consistindo geralmente em dióxido de silício (SiO<sub>2</sub>). Há outra camada (normalmente de silício policristalino altamente dopado) acima do dióxido de silício, formando um eletrodo de baixa resistividade (porta ou *gate*). Nas extremidades, verifica-se a presença de duas regiões simétricas (fonte e dreno) fortemente dopadas de forma inversa do substrato. Com a aplicação de voltagem no *gate*, há um controle da condução entre a fonte e o dreno, configurando a operação normal do dispositivo. Transistores N-MOS (MOSFET canal N) e P-MOS (MOSFET canal P) são complementares na construção e no funcionamento, originando o termo CMOS (*Complementary Metal-Oxide-Semiconductor*). São mais utilizados em circuitos microeletrônicos, pois são de construção mais simples, tamanho reduzido e de baixo consumo de energia, além de outras características desejáveis dependendo da aplicação. Todavia, como todo dispositivo eletrônico, o MOSFET está sujeito aos efeitos da

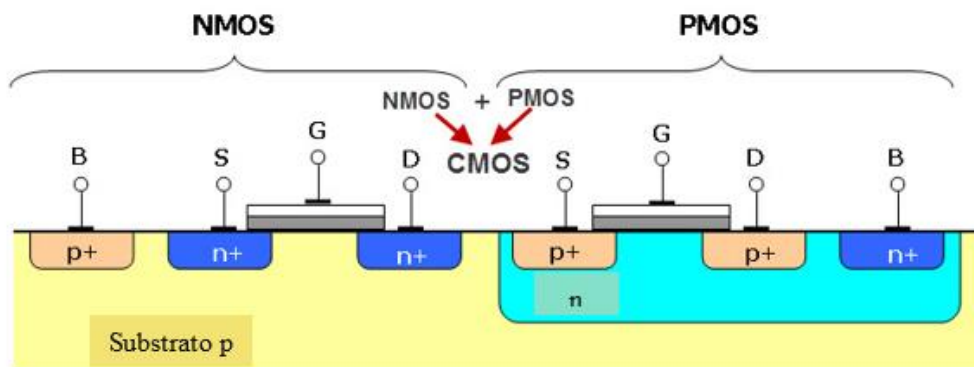
radiação (partículas energéticas) (SILVA, 2005). As Figuras de 2.2 a 2.4 demonstram a tecnologia MOSFET, as camadas de depleção, as estruturas N-MOS e P-MOS e a ação de uma partícula (íon de alta energia).

Figura 2.2 – Camadas de depleção (MOSFET reversamente polarizado).



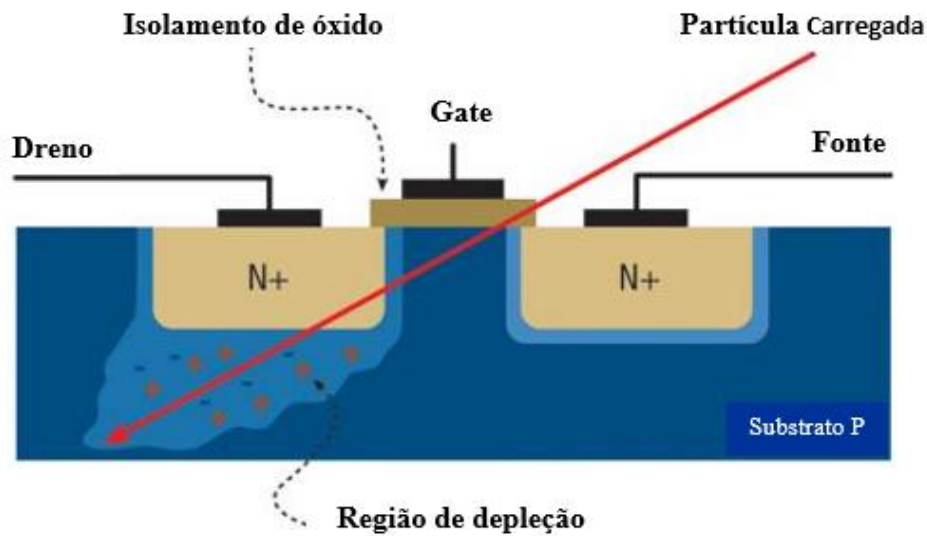
Fonte: Adaptado de Silva (2005).

Figura 2.3 – Estruturas de transistores N-MOS e P-MOS.



Fonte: Adaptado de Elprocus (2019).

Figura 2.4 – Ação de uma partícula carregada no dispositivo MOS.



Fonte: Adaptado de *Cotsjournal* (2012).

Segundo a ESA (2008) há processos de fabricação de circuitos CMOS mais tolerantes aos efeitos da radiação como os do tipo BICMOS (Bipolar-CMOS) e SOI (*Silicon-On-Insulator*). Conforme Anysilicon (2015); Nadeem e Ahmad (2014), esta tecnologia desenvolveu-se ao longo da última década e é utilizada em alta velocidade, baixa potência e em circuitos de ampla escala de integração e alta funcionalidade. Os projetistas de circuitos eletrônicos geralmente necessitam de parâmetros como: área de silício menor, velocidades mais altas, menor consumo de energia e mais confiabilidade. Considerando, ainda, a demanda e a popularidade da eletrônica portátil e a importância dos circuitos embarcados, principalmente para missões espaciais, esta tecnologia oferece várias vantagens.

BICMOS é um processo que abrange duas tecnologias de semicondutores, as do transistor de junção bipolar e o transistor CMOS, em um único dispositivo de circuito integrado. Os transistores de junção bipolar possuem as seguintes vantagens: alta velocidade, alto ganho e baixa impedância de saída. A tecnologia CMOS oferece alta impedância de entrada, sendo utilizada principalmente para a construção de portas lógicas simples e de baixa potência. A integração das tecnologias bipolar e CMOS é vantajosa quando usada em circuitos microeletrônicos otimizados em diferentes aplicações, como microeletrônica de

telecomunicações, sinais mistos e radiofrequência (NADEEM e AHMAD,2014; UPTEKSCO, 2019).

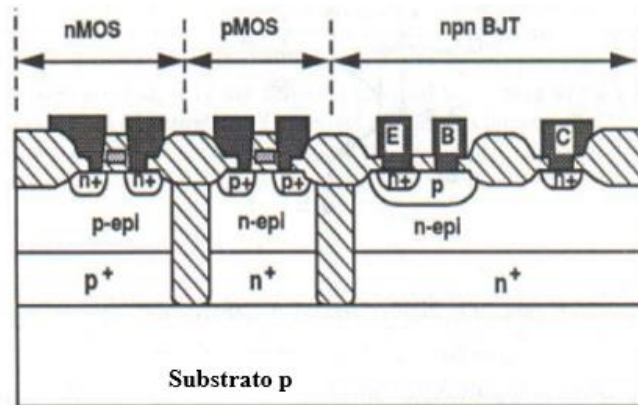
Há duas desvantagens principais da tecnologia MOS convencional: capacitâncias e tiristores parasitas, de acordo com Sonnenberg e Nicolett (2003). Um tiristor parasita (PNPN) é constituído por dois transistores bipolares parasitas que possuem um efeito de realimentação de corrente. O tiristor é formado pela junção das regiões P e N do próprio MOSFET, conforme a Figura 2.4. Este efeito leva os transistores bipolares a um estado de saturação (baixa impedância); se a corrente não for limitada, leva à destruição do circuito por efeito Joule. A capacitância parasita surge entre as junções de fonte/dreno e o substrato. Esta capacitância aumenta com a dopagem do substrato, e torna-se maior em dispositivos submicrométricos, onde a concentração de dopantes no substrato é maior.

A tecnologia silício sobre isolante (SOI) utiliza uma fina camada de silício, isolada do substrato de silício por um isolante, como o óxido de silício (silício-isolante-silício). Apresenta como vantagens iniciais a facilidade de processamento e o baixo custo de fabricação da lâmina. Com relação ao MOS convencional, possuem outras vantagens principais como: supressão do efeito tiristor parasita, maior mobilidade de portadores, maior integração para circuitos VLSI e menores capacitâncias parasitas. Estes fatores e outros permitem à tecnologia SOI aplicações em baixa tensão e baixa potência. Como a tecnologia SOI utiliza o óxido encoberto, isolando o dispositivo ativo do substrato, ressalta-se a diminuição das capacitâncias parasitas e eliminação do efeito tiristor parasita "*latch-up*" como vantagens relevantes para o processo de fabricação. As capacitâncias são diretamente proporcionais à constante dielétrica do material e inversamente proporcionais à espessura do óxido encoberto. Como os dispositivos SOI são fabricados sobre óxido de silício com constante dielétrica três vezes menor que a do silício e espessura maior que a largura máxima de depleção, isto resulta em uma redução significativa destas capacitâncias parasitas. Com relação aos tiristores parasitas, a estrutura SOI-CMOS é totalmente isenta deste efeito, considerando que os transistores SOI de canais

tipo N e P estão isolados do substrato pelo óxido; assim, não há cavidades para a formação dos transistores bipolares parasitas.

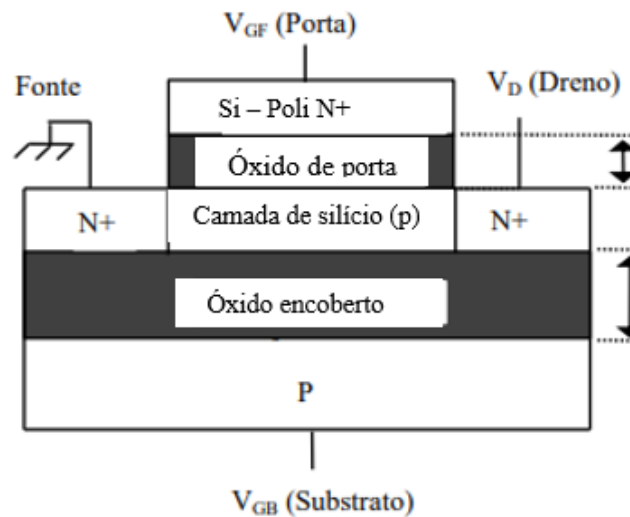
As Figuras 2.5 e 2.6 apresentam as seções transversais das tecnologias BICMOS e SOI, para que possam ser verificadas as estruturas descritas anteriormente.

Figura 2.5- Seção transversal de BICMOS.



Fonte: Adaptado de *Anysilicon* (2015).

Figura 2.6- Seção transversal de SOI.



Fonte: Adaptado de Sonnemberg e Nicolett (2003).

Quanto à tecnologia de memórias digitais, as principais tecnologias empregadas pelos FPGAs são as especificadas no Apêndice A. Muitos FPGAs recentes são uma mistura heterogênea de recursos que os FPGAs iniciais apresentavam e as

arquiteturas de FPGAs que costumam ser desenvolvidas. Atualmente há a adição de blocos de funções programáveis mais especializadas como: memória embutida, lógica aritmética, I/O (*Input/Output*) serial de alta velocidade e microprocessadores embutidos.

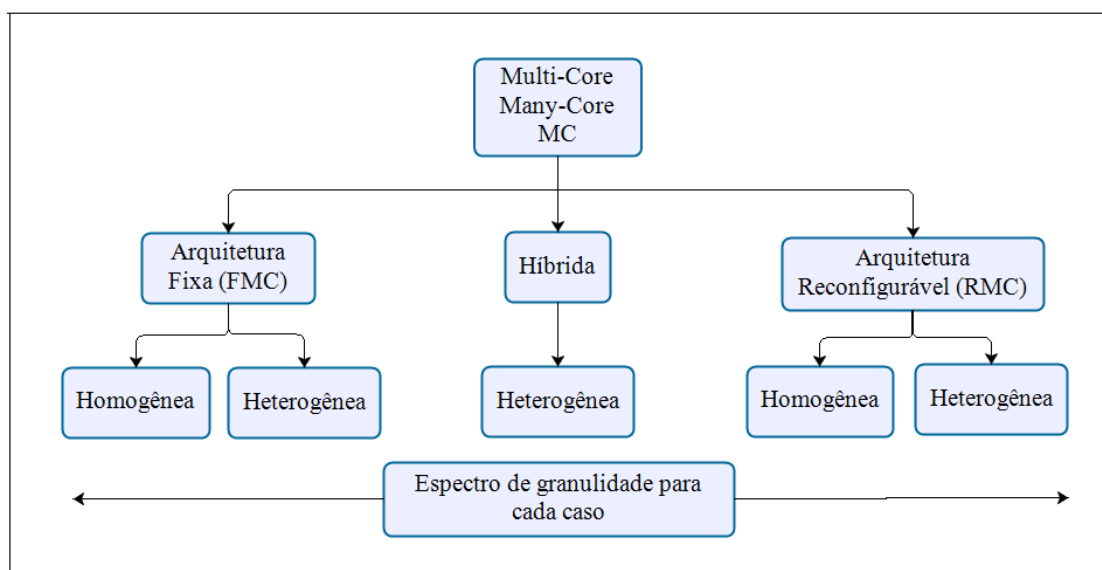
Segundo Williams et al. (2010), os transistores evoluem muito rapidamente ao ponto em que é difícil aumentar as taxas de *clock* e o paralelismo no nível da instrução (ILP – *Instruction - Level Parallelism*) para atender a demanda por desempenho computacional. Um dos grandes desafios científicos atuais é a melhor utilização da maior quantidade de transistores em um *chip*. Neste contexto, surgem os dispositivos com vários núcleos para aproveitar esta característica dos *chips* mais modernos. O desenvolvimento de novas arquiteturas será capaz de explorar o paralelismo, não dependendo apenas de ILP e taxas de *clock* mais altas para obter alto desempenho. Os dispositivos com vários núcleos estão ganhando destaque no aumento do desempenho dos sistemas tradicionais baseados em microprocessador. Apesar de parecer a mesma denominação, há uma diferença sutil entre dispositivos *multicore* e *many-core*. Os dispositivos *multicore* têm pelo menos dois componentes computacionais principais em um pacote único, enquanto os dispositivos *manycore* têm muitos componentes computacionais em um único pacote, podendo chegar a centenas. Há a possibilidade de utilização da notação MC (*Multi-Core*) para se referir coletivamente a estes dispositivos. Considerando esta notação há dois tipos principais de tecnologia para a arquitetura MC: MC Fixa (FMC – *Fixed Multi-Core*) e MC Reconfigurável (RMC – *Reconfigurable Multi-Core*).

A diferença básica entre dispositivos FMC e RMC é que o primeiro tem uma estrutura de *hardware* fixa que não pode ser alterada após a fabricação e o segundo, pode alterar sua estrutura de *hardware* após a fabricação para se adaptar às mudanças nos requisitos. O FPGA é a principal tecnologia de habilitação no RMC, permitindo a implementação de vários núcleos nesta malha. A Figura 2.7 demonstra uma estrutura hierárquica em árvore para classificar os dispositivos computacionais em FMC, RMC e Híbrido. Também há uma possibilidade intermediária em que os dispositivos possam ser denominados de



híbridos do FMC e RMC. Estes híbridos apresentam recursos fixos e reconfiguráveis segregados em uma única matriz, que operam de maneira mutuamente exclusiva. Prosseguindo na hierarquia, há uma diferenciação entre arquiteturas heterogêneas e homogêneas. Arquitetura heterogêneas contém vários elementos de processamento, enquanto as homogêneas contêm apenas um único elemento de processamento.

Figura 2.7 – Taxionomia MC (*Multi-Core*).



Fonte: Adaptado de Williams et al. (2010).

Após a apresentação dos FPGAs e suas principais características torna-se essencial, para a melhor compreensão do objetivo da tese, explicar os principais efeitos da radiação.

## 2.2 Radiação espacial

Todos os sistemas espaciais estão sujeitos aos efeitos da radiação e estes não podem ser negligenciados, de acordo com ESA (2008). O campo magnético da Terra faz com que o fluxo da radiação presa nos cinturões de Van Allen varie do equador para os polos, com o equador tendo o menor fluxo e os polos, o maior. O campo magnético do sol que varia durante o ciclo das manchas solares também influencia o fluxo de raios cósmicos através da velocidade do vento

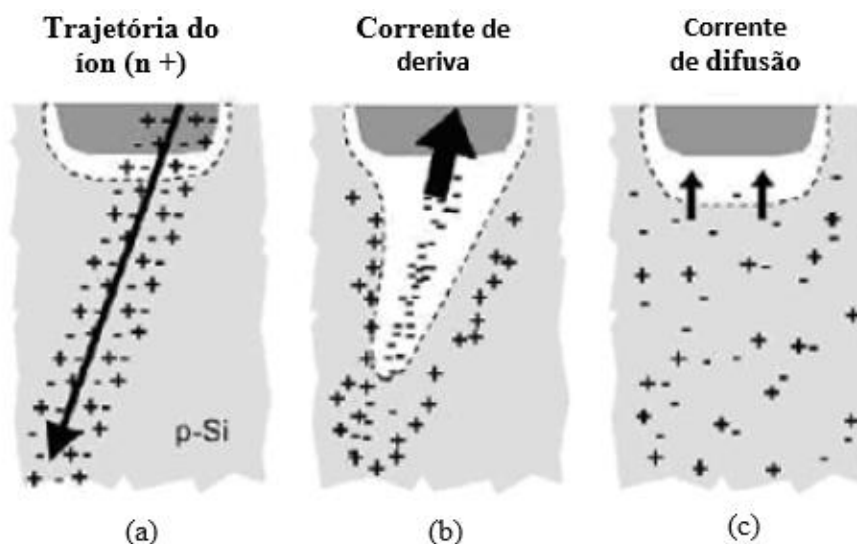
solar. Os efeitos da radiação devem ser analisados pela equipe técnica responsável pelo projeto, pois estes efeitos nos componentes podem levar às falhas transitórias ou permanentes no subsistema e sistema. Segundo a engenharia de sistemas, durante as fases iniciais dos projetos deve-se realizar o mais breve possível uma avaliação correta dos efeitos de radiação, repetindo-a durante a fase de desenvolvimento. Para isso, um passo essencial a ser realizado é a especificação do ambiente de radiação. Esta deve tomar como base a missão e adotar como parâmetros principais de entrada o tempo e a duração da mesma, as trajetórias nominais e de transferência e outras atividades no ambiente do sistema solar. Se não for realizada uma correta avaliação e antecipação dos efeitos da radiação, poderão ser detectados graves problemas de engenharia, atrasos na programação e maiores custos envolvidos nas fases finais do projeto e na operação.

A preparação de opções e soluções de engenharia envolve o conhecimento sobre os efeitos de radiação em um componente específico, o qual pode ser encontrado em bancos de dados ou na literatura publicada, específica sobre efeitos de radiação. Essas informações deverão ser utilizadas com cautela e considerar todas as características do componente. Estas características podem ser "lotes" de fabricantes, variações na sensibilidade dentro de uma fabricação nominalmente idêntica, mudanças na fabricação, processos, embalagens, correlação de medidas feitas no solo e em voo e outras. Devem ser verificadas também as margens aplicadas aos parâmetros de efeitos de radiação para a missão particular. O efeito da radiação considera que uma partícula de alta energia deverá penetrar no substrato de silício em um dispositivo eletrônico semiconductor. Como consequência são gerados pares de buracos e elétrons ao longo da trilha percorrida quando a partícula incidente é um íon pesado; ou ionização indireta quando a partícula é um próton. Esse efeito pode ser uma dose de ionização ou de efeito único dependendo da energia da partícula.

A Figura 2.8 demonstra o efeito da radiação em um dispositivo semiconductor, apresentando as correntes de deriva e de difusão. Primeiramente, são gerados pares elétron-lacuna quando há um impacto de uma partícula de alta energia na junção PN de um dispositivo MOS, ocorrendo a transferência de energia para o

material (ionização do silício). Logo após a incidência de um íon pesado, por exemplo, há a geração dos pares elétron-lacuna e coleta de cargas. Para a coleta há dois mecanismos distintos de transporte de portadores: por deriva (inicial) e difusão.

Figura 2.8 – Junção de semiconductor atingida por um íon.



a) Transferência de energia e formação do rastro de ionização, b) coleta de carga por deriva com a camada de depleção deformada em formato de funil e c) coleta de cargas por difusão.

Fonte: Adaptado de Balen (2010).

### 2.2.1 Classificação geral dos efeitos da radiação

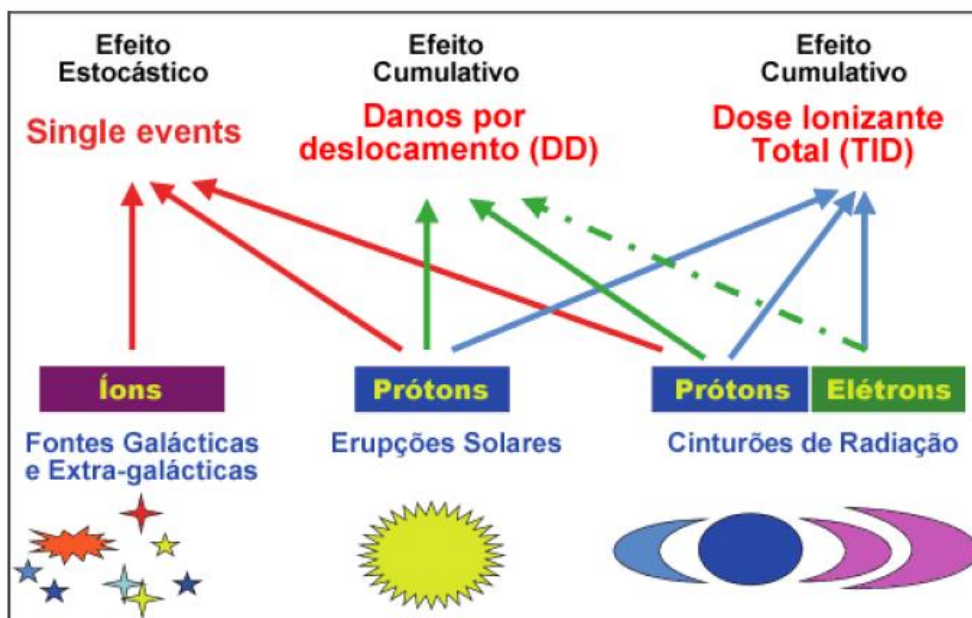
Para o caso dos sistemas e materiais elétricos e eletrônicos, geralmente são analisados como efeitos da radiação espacial a Dose Total de Ionização (TID- *Total Ionizing Dose*), Danos de Deslocamento (DD - *Displacement Damage*) e Efeitos de Evento Único (SEE - *Single Event Effects*), conforme ESA (2008).

No caso da TID o dano é proveniente da radiação acumulada que gera cargas elétricas, as quais ficam acumuladas no substrato do componente e ocorre pela ação das partículas. A TID degrada algumas propriedades elétricas do circuito devido ao acúmulo de carga, mas esta degradação pode ser reversível. Sua intensidade depende do fluxo da radiação e do tempo que o circuito foi exposto à radiação mencionada.

Os DD estão relacionados à perda de energia não ionizante (NIEL – *Non-Ionizing Energy Loss*), que é responsável pela quantidade de energia perdida por uma partícula que passa por um meio, cuja transmissão cria deslocamentos atômicos. Também degrada o material e suas propriedades, provocando danos físicos na estrutura cristalina do material, ocasionados pela perda de energia de forma não ionizante. Nos DD os átomos são deslocados de suas posições originais e este efeito afeta principalmente os dispositivos eletro-ópticos.

Os SEE são um conjunto de fenômenos causados pela radiação atmosférica ou espacial, que podem afetar os dispositivos microeletrônicos dos equipamentos. As partículas de alta energia colidem em locais aleatórios (estocásticos) em dispositivos semicondutores contidos em sistemas embarcados, sendo a colisão denominada de incidência única. Quando atingem uma área sensível do componente, estas partículas afetam principalmente os dispositivos de memória, microprocessadores e FPGAs. A Figura 2.9 demonstra os principais tipos de efeitos da radiação com suas respectivas fontes.

Figura 2.9 – Classificação dos efeitos da radiação (fontes).



Fonte: Ecoffet (2007).

Os principais tipos de efeitos da radiação espacial são apresentados na Tabela 2.1, conforme ESA (2008); Manea (2018).

Tabela 2.1 – Principais tipos de efeitos da radiação espacial.

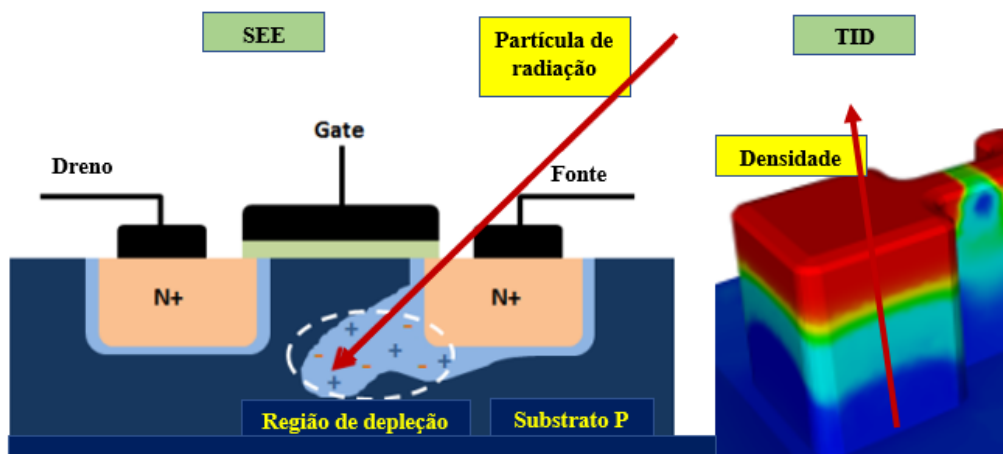
<b>Tipo de efeito</b>	<b>Características</b>	<b>Ocorrência</b>
Dose Total de Ionização (TID- <i>Total Ionizing Dose</i> )	Degradação acumulada que resulta em falha no subsistema ou sistema, ou anomalias mais graves do sistema.	Degradação da microeletrônica como mudança de tensão de limiar e correntes de fuga em CMOS e circuito linear bipolar (considerando a sensibilidade à taxa da dose).
Danos de Deslocamento (DD - <i>Displacement Damage</i> )	Os átomos são deslocados de suas posições originais, podendo alterar as propriedades elétricas, mecânicas ou ópticas dos materiais.	Danos relevantes para componentes eletro-ópticos (por exemplo, células solares e optoacopladores) e para detectores.
Efeitos de Evento Único (SEE - <i>Single Event Effects</i> ).	Conjunto de fenômenos em que a microeletrônica pode ser interrompida ou permanentemente danificada por partículas de incidência única; ocorrem por ionização direta ou indireta de regiões sensíveis dos semicondutores (geração de carga localizada).	Danos em elementos de memória, detectores em missão de astronomia e observação, aumento de carga estática em materiais dielétricos internos, corrupção de dados, ruídos em imagens e desligamento de sistemas.

Fonte: Adaptado de ESA (2008); Manea (2018).

Apesar de TID e SEE estarem mais relacionadas com a tecnologia MOSFET, esta tese detalha melhor os subtipos de SEE devido aos seus efeitos serem mais relevantes em satélites com missões de curta duração. Um estudo de caso com este tipo de missão em órbita baixa demonstrou que o tempo de vida útil calculado ultrapassa muito o período de três anos, demonstrando que os efeitos de TID são mínimos para este contexto (WULF et al., 2016).

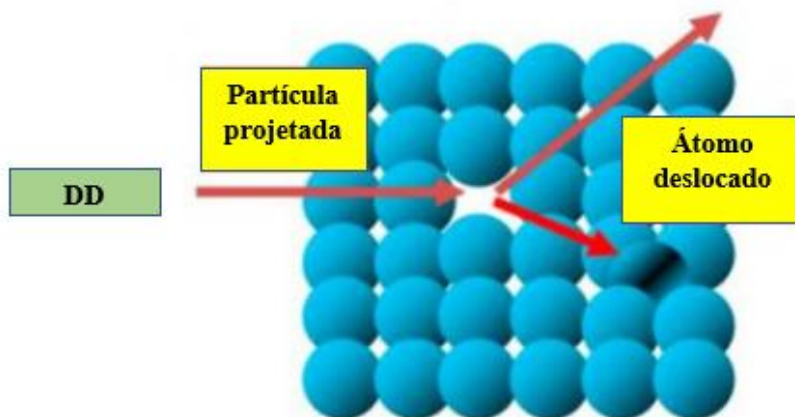
A seguir, exemplos dos efeitos da radiação (SEE, TID, DD), conforme as Figuras 2.10 e 2.11. A Figura 2.10 ilustra a partícula de radiação incidindo diretamente sobre o dispositivo e gerando a região de depleção (SEE). Esta figura também demonstra como os efeitos da radiação acumulam-se com o tempo no dispositivo, no caso de TID. A Figura 2.11 refere-se a DD, com o impacto de partículas de alta energia e o deslocamento de átomos.

Figura 2.10 – Exemplos de efeitos da radiação (SEE e TID).



Fonte: Adaptado de Cogenda (2019); Harding e Wirthlin (2014).

Figura 2.11 – Exemplo de efeitos da radiação (DD).



Fonte: Alter Technology Group (2019).

### 2.2.2 Classificação dos *Single Event Effects* (SEE)

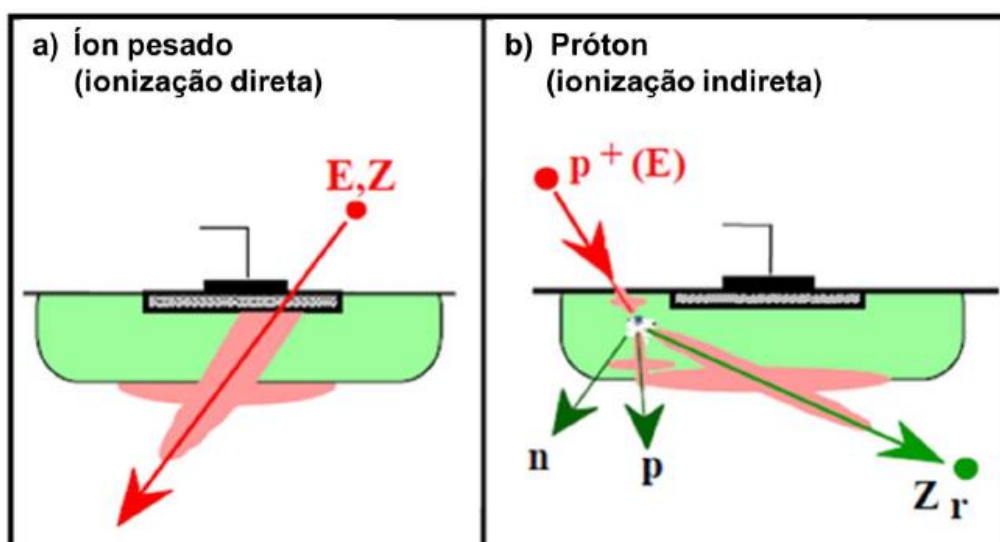
Segundo a ESA (2008), os fenômenos de SEE podem ser divididos em dois subgrupos.

- a) **Destrutivos:** SEL (*Single Event Latch-up*), SEGR (*Single Event Gate Rupture*), SEB (*Single Event Burnout*) e SESB (*Single Event Snap-Back*). Provocam efeitos destrutivos, considerando as condições de alta corrente que são induzidas.

b) **Não destrutivos:** SEU (*Single Event Upset*), MBU (*Multiple-Bit Upset*), MCU (*Multiple-Cell Upset*), SMU (*Single-word Multiple-bit Upsets*), SEFI (*Single Event Functional Interrupt*), SEHE (*Single Event Hard Error*), SED (*Single Event Disturb*), e SET (*Single Event Transient*). Provocam efeitos não destrutivos, ou seja, os dados são corrompidos ou o dispositivo passa para um estado operacional diferente do esperado ou, ainda, necessita de uma operação cíclica para retornar o seu estado à condição normal. São exemplos: corrupção das informações armazenadas em um elemento de memória, perda de operação normal e corrupção momentânea da informação armazenada em um bit.

A Figura 2.12 demonstra como os íons pesados e prótons atuam em um dispositivo semiconductor, podendo ocasionar ionização direta e indireta, e efeitos destrutivos e não destrutivos. Nas Tabelas 2.2 e 2.3 são comentadas algumas características dos fenômenos de SEE mais frequentes. Como SEE destrutivos pode-se citar os da Tabela 2.2, com suas respectivas características (FAA, 2016; MACHADO, 2014).

Figura 2.12 – Mecanismo de SEE.



a) SEE por ionização direta (íons pesados) e b) por interações nucleares (prótons e nêutrons).

Fonte: Adaptado de ESA (2008).

Tabela 2.2 – Tipos de efeitos destrutivos da radiação.

<b>Tipo de efeito destrutivo</b>	<b>Características</b>
SEL (Travamento por evento único)	SEL ocorre geralmente em circuitos CMOS e envolve correntes parasitas, as quais podem exceder o valor máximo suportado pelo componente. Estas correntes levam a danos e perdas no dispositivo quando não há limitação das mesmas. O circuito pode conduzir completamente e, se a energia não for desligada, há a possibilidade de curto-circuito (queima). Este efeito resulta em fusão localizada de materiais e superaquecimento da estrutura.
SEGR (Ruptura de porta por evento único)	Um SEGR é causado pelo bombardeamento de partículas que cria uma coluna de ionização prejudicial entre o óxido de entrada e o dreno de um transistor. Ou seja, é a formação de um caminho condutor iniciado por uma partícula ionizante após atingir uma região de alto campo elétrico. As consequências mais comuns podem ser correntes de fuga na porta e no dreno, as quais ultrapassam a corrente de fuga normal em um dispositivo não exposto.
SEB (Queima por evento único).	Um SEB pode ocorrer quando um transistor de potência atinge um estado de alta corrente, com possível destruição permanente do dispositivo. Este estado pode ser considerado um disparo, o qual ocorre geralmente em altas tensões e correntes. Os efeitos podem ser a queima do MOSFET, ruptura de porta, bits travados e ruído em dispositivos de carga acoplada.
SESB (Retrocesso de evento único)	Os SESBs caracterizam-se por uma alta condição de consumo de corrente no dispositivo afetado (subtipo de SEL). Ocorre uma multiplicação dos portadores de carga (avalanche) quando a partícula energizada atinge o dreno, geralmente em transistores N-MOS. O transistor aberto permanece neste modo (condição de retenção) até que a energia seja desligada e ligada novamente.

Fonte: FAA (2016); Machado (2014).

Por sua vez, como SEE não destrutivos pode-se citar os exemplos da Tabela 2.3, com suas respectivas características.



Tabela 2.3 - Tipos de efeitos não destrutivos da radiação.

Tipo de efeito não destrutivo	Características
SEU (Perturbação por evento único)	Um SEU causa uma mudança de estado do bit em uma célula de armazenamento ( <i>upset</i> ), afetando dispositivos de memória, <i>latches</i> , registradores e a lógica sequencial. Este <i>upset</i> resulta de uma partícula ionizante atravessando um componente ou a emissão de um núcleo que interage com uma partícula. Pode ocorrer por uma partícula energizada que colide com o nodo sensível de um circuito em uma célula de memória, por exemplo. Os efeitos adversos podem levar a comportamentos como o travamento de um subsistema ou um comando inesperado do mesmo. Um evento único dessa categoria ( <i>upset</i> ) pode perturbar mais de uma célula de armazenamento, dependendo do tamanho da região de deposição e da quantidade de carga depositada.
MBU (Perturbação de bit múltiplo)	Um MBU ocorre quando mais de um bit é afetado por um evento único, em apenas uma observação. Os erros podem ser introduzidos em uma palavra ou em várias palavras adjacentes de um componente digital, como memórias e registradores.
MCU (Perturbação de célula múltipla)	Considera-se MCU a mudança de estado de um ou mais bits em mais de uma célula de memória.
SMU (Perturbação de bit múltiplo em uma única palavra)	A SMU refere-se à mudança de estado de mais de um bit de um componente digital na mesma palavra ( <i>word</i> ).
SEFI (Interrupção funcional por evento único)	SEFI é interrupção da operação normal em circuitos integrados complexos, como registradores ou <i>clocks</i> de controle, devido à perturbação causada por partícula ionizante. Um SEFI pode causar uma longa perda de funcionalidade ou uma quantidade expressiva de erros (explosão). Com o desligamento ou a recarga do registrador de configuração, a funcionalidade pode ser recuperada. Diferentemente de um SEL ou SESB, não é acompanhado por uma condição de alta corrente.

(Continua)

Tabela 2.3 – Conclusão.

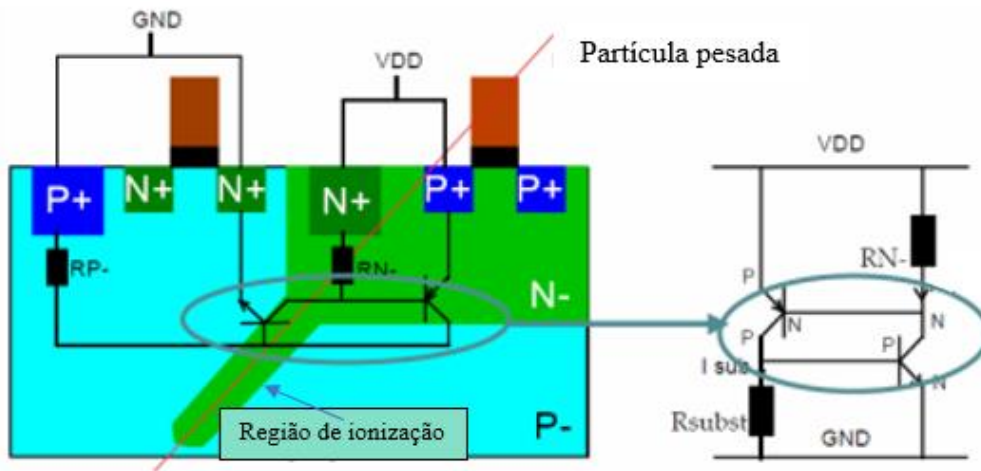
Tipo de efeito não destrutivo	Características
SEHE (Erro severo por efeito único)	Um SEHE está relacionado ao fato de que um <i>upset</i> induzido por nêutrons pode não ser recuperável, como em outros efeitos não destrutivos (SEU e MBU). Como exemplo, pode ser identificado como SEHE quando um impacto da partícula causa danos ao substrato do dispositivo, além do bit de inversão.
SED (Distúrbio por evento único)	O SED causa um estado transitório instável ( <i>upset</i> ) de uma célula de memória SRAM. Se este estado persistir, pode gerar um SEU, que é considerado como um efeito estável. Mesmo o SED sendo instável, esta condição da célula pode ser longa o suficiente para que as instruções de leitura sejam executadas com a geração de erros de <i>software</i> .
SET (Transiente por evento único)	Um SET é um efeito relacionado à radiação que gera um sinal espúrio na forma de uma excursão no valor da tensão em um semicondutor ( <i>voltage spike</i> ). Este sinal pode ser propagado e capturado como um valor lógico errado. Caracteriza-se por ser um impulso curto e transitório gerado em uma porta, o qual resultará em uma saída incorreta. Se ocorrer em uma célula de armazenamento, como <i>latch</i> ou <i>flip-flop</i> , pode eventualmente ser travado ( <i>latched</i> ).

Fonte: FAA (2016); Machado (2014).

As Figuras 2.13 e 2.14 mostram, com mais detalhes de circuito, como o SEL e SEU podem atuar nos transistores MOSFETs.

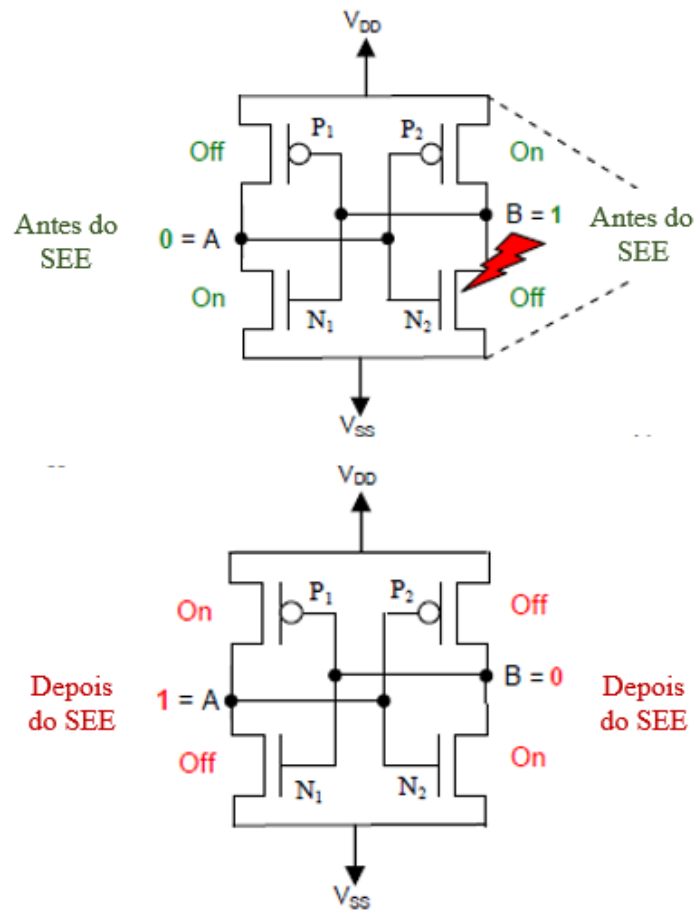
Conforme Parobeck (2013), mais especificamente em um FPGA, a memória de configuração é a matriz lógica interna mais vulnerável aos efeitos SEU. Considerando os conceitos de microeletrônica, esta é a parte do dispositivo que fornece as construções booleanas e memória para o funcionamento da lógica interna. No caso dos efeitos da radiação, o FPGA pode sofrer consequências de maior impacto como deixar de funcionar, ou menos complexas, como ser alterado de tal forma que saídas erradas sejam geradas. Em um FPGA baseado em SRAM, células de memória configuráveis implementam tanto a lógica combinacional e sequencial do *usuário*.

Figura 2.13 – Exemplo de ocorrência de SEL.



Fonte: Adaptado de Skutnik (2005).

Figura 2.14 – Exemplo de ocorrência de SEU (elemento de memória).



Fonte: Adaptado de Balen (2010).

Em FPGAs com esta tecnologia, um *upset* pode atingir a lógica combinacional e sequencial de uma arquitetura programável, gerando efeitos indesejáveis. A seguir, exemplos destes efeitos.

- a) Falha na lógica combinacional: é um impulso lógico transitório em um nó que pode desaparecer de acordo com o atraso lógico e a topologia. Esta falha transitória pode ou não travar uma célula de armazenamento, utilizada para implementar a lógica combinacional.
- b) Falhas na lógica sequencial: denominadas de *bit flips*, podem permanecer na célula de armazenamento até a próxima carga. Mais detalhadamente, um *upset* no roteamento pode conectar ou desconectar uma ligação na matriz, assim como ter um efeito permanente (circuito aberto ou em curto) na lógica combinacional.

Sistemas resistentes e tolerantes a falhas projetados para os FPGAs devem lidar com os efeitos da radiação. Como exemplos podem ser citados os efeitos transitórios e permanentes de um SEU na lógica combinacional e sequencial: *bits flips*, circuitos abertos e curtos-circuitos nas conexões projetadas, dispositivos lógicos e células de memória.

Analisando a tecnologia de memórias, as RAMs estáticas (SRAM) consomem menos energia, porém são mais sensíveis à radiação do que as DRAM (*Dynamic Random- Access Memory*). Como são os dispositivos mais sensíveis a SEU, deverão ser adotados procedimentos para garantir a operação correta, pois a ação de um SEU resultará potencialmente em falha de dados. As memórias *flash* são mais resistentes a SEU, embora o mecanismo de carga para reprogramar uma célula mostrou ser susceptível a efeitos de TID. Esta característica está relacionada ao fato de que mais energia é necessária para alterar o estado de um bit. As memórias *flash* apresentam outras vantagens como o fato de ser não voláteis e mais baratas. As vantagens tornam esta memória uma boa opção para dados e códigos importantes.

Segundo ESA (2008) são utilizados alguns conceitos para especificar os efeitos da radiação em um dispositivo. A susceptibilidade é expressa como uma área de seção transversal, geralmente em unidades de  $\text{cm}^2/\text{dispositivo}$  ou  $\text{cm}^2/\text{bit}$  (SEU). A seção transversal é uma função das espécies de partículas incidentes

e energia. A seção transversal pode ser expressa em função da transferência linear de energia (LET- *Linear Energy Transfer*) para íons pesados. A LET pode ser definida como a deposição de energia, causada pelos íons, por unidade de comprimento ( $\text{MeV}\cdot\text{cm}^2/\text{g}$  ou  $\text{MeV}\cdot\text{cm}^2/\text{mg}$ ).

Considerando os tipos de tecnologias utilizados pelos circuitos integrados, principalmente os FPGAs nos veículos e missões espaciais, deve-se analisar o ambiente de radiação e tecnologia para a verificação da probabilidade de ocorrência de SEE (Tabela 2.4). Todos os dispositivos eletrônicos integrados são suscetíveis a SEE em algum grau. Entretanto, os efeitos podem variar desde transientes que causam os erros lógicos até alterações nos dados. Como as dimensões desses dispositivos sofrem constantes processos de redução, os dispositivos em estudo devem ser analisados em relação aos efeitos da radiação (ESA, 2008).

Tabela 2.4 – Probabilidade de ocorrência de SEE (microeletrônica).

Tipos de componentes				Tipos de SEE										
Tecnologia	Família	Função	SEL	SEB	SEGR	SEB	SEU	MCUSMU	SEDR	SEHE	SEFi	SET	SED	
Transistores CIs	Power MOS CMOS ou BICMOS ou SOI	Digital	SRAM	X*			X							
			DRAM/ SDRAM	X*	X			X	X		X	X		
			FPGA	X*				X		X		X		X
			EEPROM/ Flash	X*						X		X		X
			EEPROM	X				X			X	X		X
		$\mu$ proc. $\mu$ contr.					X			X		X		

Obs.: \* Exceto SOI

$\mu$ proc. – microprocessador  $\mu$ cont - microcontrolador  
EEPROM - *Electrically-Erasable Programmable Read-Only Memory*  
SDRAM - *Synchronous Dynamic Random-Access Memory*

Fonte: Adaptada de ESA (2008).

### 2.2.3 Modelos de ambiente de radiação

Para o estudo de técnicas de mitigação de falhas torna-se essencial um planejamento técnico sobre os requisitos necessários dos projetos. Deve-se ressaltar que é da responsabilidade da engenharia de sistemas especificar a missão. Nesse aspecto, é essencial o estudo detalhado do ambiente de radiação esperado para um sistema espacial. São vários os dados relacionados a esse ambiente que devem ser analisados em cada caso, mas serão comentados os principais. Alguns exemplos destes dados a serem verificados são espectros de:

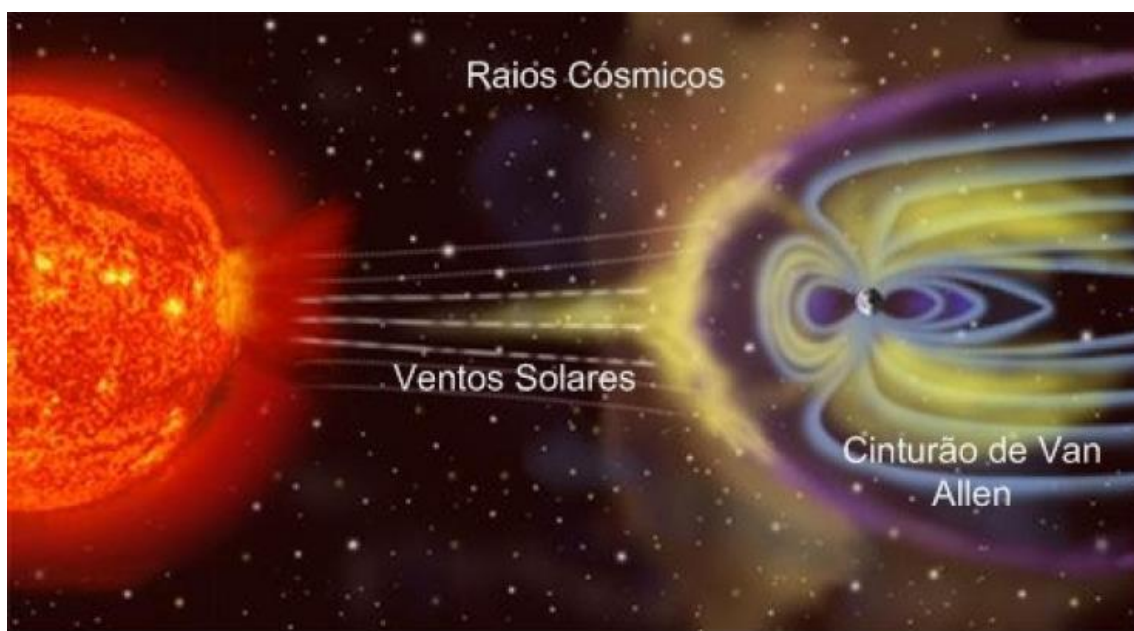
- a) energia de prótons e elétrons (média) da radiação presa no cinturão de Van Hallen, de acordo com a órbita e o tempo de vida da missão;
- b) fluência dos prótons solares para a missão completa;
- c) fluxo LET de íons; e
- d) fluxo de GCR (*Galactic Cosmic Rays*) para a fase apropriada do ciclo solar.

Com os dados citados, cabe ao engenheiro eletroeletrônico definir os requisitos para os circuitos eletrônicos e microeletrônicos, principalmente relativos aos FPGAs (ESA, 2008). Os prótons podem ser considerados os componentes mais importantes do cinturão interno de Van Allen (Figura 2.15). A energia das partículas provoca a variação na localização das intensidades de pico do fluxo. A concentração de partículas é afetada pela mudança gradual do campo magnético da Terra. Para que o engenheiro eletroeletrônico possa realizar um planejamento da mitigação de SEE deve incluir uma definição cuidadosa do ambiente de prótons presos e variações. Os modelos para elétrons e prótons (AE-8 e AP-8) para radiação presa (cinturão de radiação) e todas as órbitas terrestres são os mais conhecidos e mais utilizados. Estes foram desenvolvidos com dados de satélites em órbita nos anos de 60 e 70 pela *Aerospace Corporation* para o arquivo da NASA (*National Aeronautics and Space Administration*). Para acessar os dados, o usuário define uma órbita, gera uma trajetória, transforma-a em coordenadas geomagnéticas e acessa os modelos do cinturão de radiação. Desse modo, é possível calcular o espectro do fluxo,

usando o mesmo campo geomagnético usado para desenvolver o modelo (ESA, 2008; NASA, 1996).

As partículas de raios cósmicos galácticos (GCR) se originam fora do sistema solar e apresentam dificuldades para a proteção dos circuitos eletrônicos, assim como no caso dos prótons presos com alta energia. Analisando os SEE, apesar dos baixos níveis dos raios cósmicos, estes constituem um risco significativo para a microeletrônica. Grandes fluxos de prótons energéticos podem chegar à Terra, denominados de eventos de partículas solares, conforme Figura 2.15 (NASA, 1996).

Figura 2.15 – Principais fontes de radiação.



Fonte: Battezzati et al. (2011).

Segundo a ESA (2008); há a necessidade de um tratamento estatístico devido à imprevisibilidade e variabilidade em magnitude, duração e características espectrais desses eventos. Duas abordagens principais são descritas na literatura para especificar a fluência integrada na missão: modelos ESP e JPL (*Jet Propulsion Laboratory*). O modelo ESP (*Emission of Solar Protons*) baseia-se na observação de fluência acumulada anualmente dos períodos de máximos solares de ciclos específicos. A abordagem usada nos modelos JPL baseia-se em uma consideração combinada da distribuição de fluências observadas nos

eventos de SEP (*Solar Energetic Particles*) e a probabilidade de ocorrência de um evento (independentemente da magnitude) durante um determinado período. Segundo norma da ESA, o padrão para fluências de prótons para eventos solares é o modelo ESP em substituição ao JPL - 91.

Os modelos de ambiente e efeitos de raios cósmicos são denominados de CREME (*Cosmic Ray Effects on Micro-Electronics*) e foram originalmente criados por Adams e colegas de trabalho no *US Naval Research Laboratory*. Estes modelos fornecem um conjunto abrangente de raios cósmicos e íons de origem solar (LET) e os espectros de energia, incluindo o cálculo da blindagem geomagnética e blindagem com materiais de alto Z (número atômico). Posteriormente, a denominação de CREME foi substituído por CREME96 . Destacam-se como principais diferenças para a especificação do ambiente:

- a) inclusão de um modelo do ambiente de raios cósmicos e sua modulação do ciclo;
- b) cálculo melhorado da blindagem geomagnética; e
- c) ambientes de íons com eventos de partículas de energia solar (SEP) mais realistas.

O CREME96 é uma ferramenta disponibilizada em *site da Vanderbilt University*, em parceria com a NASA (CREME, 2020). Esses conceitos de FPGAs e radiação são essenciais para a compreensão do contexto das técnicas de mitigação de falhas. Particularmente, os modelos de radiação são importantes para a obtenção dos dados para estudo de caso.



### **3 IDENTIFICAÇÃO DAS TÉCNICAS DE MITIGAÇÃO DE FALHAS**

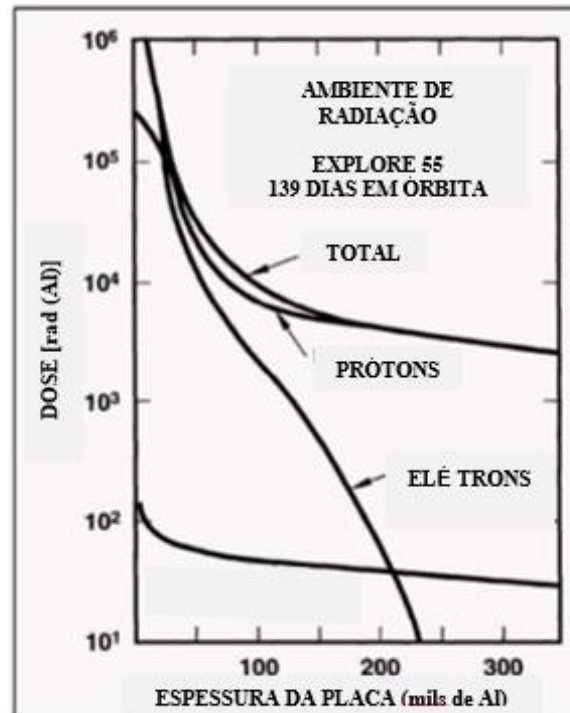
A partir deste capítulo realiza-se uma das principais pesquisas para o suporte ao desenvolvimento da tese, buscando identificar o maior número possível de técnicas de mitigação no período de 2000 a 2019. Como algumas técnicas são mais complexas que outras, estas foram subdivididas. Em todos os tipos e subtipos foram ressaltadas as principais características, assim como as vantagens e desvantagens específicas. Como análise complementar foram detalhados alguns efeitos gerais adversos da maioria das técnicas.

#### **3.1 Principais técnicas de mitigação de falhas**

As diversas técnicas utilizadas para reduzir os danos causados por radiação ionizante são essenciais para proteger o componente dos efeitos da radiação. Uma das técnicas mais tradicionais quando se menciona radiação é a blindagem (TAMKE, 2019). Na área de dispositivos eletrônicos, a blindagem é uma solução eficaz para proteger esses componentes de partículas alfa e beta, mas partículas gama, nêutrons e impactos de íons pesados não são mitigados por blindagem. Como exemplo pode-se citar a dose de próton na Figura 3.1, demonstrando que esta diminui menos da metade quando a blindagem é mais que duplicada. Ou seja, mesmo que ocorra uma duplicação ou triplicação da blindagem o efeito sobre a dose de prótons não é proporcional, diminuindo pouco. Este fato pode ser observado na figura citada, quando a espessura da placa é aumentada de 100 a 300 milésimos de polegada (mils de Al).

Em muitos projetos com satélites de pequeno porte (massa menor que 10 Kg) aumentar a espessura da blindagem é impraticável nos aspectos de massa e custo. Deve-se considerar que o aumento de blindagem não é eficaz na redução do espectro de raios cósmicos galácticos devido à restrição de aumento de massa. Pelo exposto, conclui-se que a espessura não é suficiente para absorver as energias envolvidas. Também deve-se observar outros fatores, como a geração de partículas em cascata pela blindagem (radiação secundária) quando atingida por raios cósmicos galácticos (partículas de alta energia).

Figura 3.1 – Dose total de radiação (blindagem de alumínio).



Fonte: Adaptado de Tamke (2019).

Conforme Manea (2018), pode-se agrupar outras técnicas utilizadas para melhorar a resistência ou tolerância à radiação, mitigando os efeitos do ambiente espacial sob três aspectos principais.

- Endurecimento por processo (RHBP - *Radiation Hardening by Processor*): alterando uma ou mais etapas do processo de fabricação; atuam sobre as características de retenção de carga dos óxidos e as interfaces relevantes. Exemplo: tecnologias BICMOS e SOI.
- Endurecimento por projeto (RHBD - *Radiation Hardening by Design*): projetando adequadamente o circuito ou sistema geral, com a utilização de técnicas que possam envolver *hardware* ou *software*.
- Endurecimento por *layout*: modificação do *layout* geométrico do dispositivo; como exemplo, pode-se citar os transistores NMOS de *layout* fechado (também chamados “sem bordas”).

A tendência dos circuitos modernos da eletrônica é a miniaturização das estruturas, gerando menos danos para o dispositivo com relação a TID. Neste

caso, ressalta-se que a espessura do óxido é tão pequena que se torna estatisticamente improvável que uma carga fique presa. No entanto, para a consideração dos SEE, a pequena região de difusão dos dispositivos atuais aumenta a sua suscetibilidade a esta radiação. Esse fato ocorre porque partículas energéticas incidentes podem transportar energia suficiente para alterar o estado de um dispositivo. Uma abordagem mais completa de mitigação deve definir, no projeto do circuito, uma estratégia para minimizar os efeitos dos SEE que atingem o dispositivo (TAMKE, 2019).

Na questão de tolerância ou resistência à radiação, é importante ressaltar que os dispositivos comerciais microeletrônicos (circuitos integrados) estão sempre evoluindo os processos de desenvolvimento, com novas tecnologias que podem ser cada vez mais benéficas. Esses desenvolvimentos estão relacionados a diversos parâmetros como: velocidade, escala de integração, complexidade e dissipação de energia. Alguns exemplos mais específicos podem ser citados como: as tecnologias comerciais CMOS *submicron*, utilização de óxidos ultrafinos (alguns nm), finas camadas epitaxiais e tecnologias BICMOS/SOI (MANEA, 2018).

Devido à grande abrangência das técnicas de resistência e tolerância à radiação, esta tese aborda o endurecimento por projeto, cujas principais tipos foram pesquisados no período de 2000 a 2019, conforme a metodologia a ser apresentada. Também descreve uma amostragem estatística sobre a frequência destas técnicas neste período específico (Capítulo 5 e Apêndices C e D). A seguir serão descritas as principais técnicas, ressaltando que algumas técnicas derivadas foram inseridas no grupo das principais devido às características semelhantes.

### **3.1.1 Circuito de proteção (CKPR).**

No circuito de proteção específico, a estratégia é medir a corrente e desligar imediatamente a energia logo que o consumo de corrente atingir níveis fora dos esperados. Considerando que o evento transiente seja longo, a operação normal

pode ser restaurada. Ressalta-se que cada caminho de alimentação deve ter o seu próprio circuito de proteção (CORSO et al., 2011).

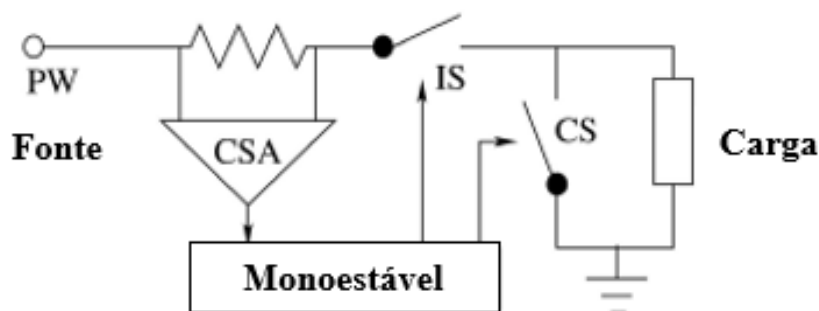
Um *watchdog timer*, de acordo com Reyneri et al. (2010), possui uma operação deste tipo, monitorando ativamente o circuito a ser preservado. Trata-se de um sistema emergencial, muito utilizado para prevenir os sistemas de possíveis falhas. É um dispositivo eletrônico temporizador que dispara um *reset* ao sistema se outro dispositivo programado, devido a alguma condição de erro, deixar de fazê-lo. Como exemplo (Figura 3.2) pode-se utilizar um diagrama de blocos do circuito de uma única via de alimentação, ressaltando-se dois dispositivos principais: amplificador regulador de corrente (CSA - *Current Sense differential Amplifier*) e circuito monoestável. O segundo dispositivo possui entrada de limiar e interruptores de isolamento e de direção de corrente, denominados de IS (*Isolation Switch*) e CS (*Current-Steering switch*), respectivamente.

A operação deste circuito pode ser resumida da seguinte forma:

- a) quando a corrente atravessa o limite *anti-latch-up*, o circuito monoestável é acionado e isola a carga das fontes de energia por um determinado tempo; e
- b) com o objetivo de eliminar o *latch-up* (curto-circuito ou queima), o interruptor de derivação afasta a corrente residual da carga.

O principal desafio para a estratégia de proteção é equilibrar o limite de corrente de *latch-up* com a corrente limite da fonte de alimentação, de acordo com Figura 3.2. Deve-se ressaltar que o regulador de corrente pode ser ativado antes do *latch-up* ser detectado pelo circuito.

Figura 3.2 – Exemplo de Circuito de proteção.



Fonte: Adaptado Reyneri et al. (2010).

### 3.1.2 *Careful* COTS (CACT)

Uma das alternativas para a tolerância à radiação foi denominada *Careful* COTS, que utiliza peças comerciais específicas, conforme Sinclair e Dyer (2013). Estas peças devem possuir um grau de confiabilidade suficiente e compatível com a implementação do projeto (nível de sistema) e com a missão. O componente tolerante à radiação para o caso específico de *Careful* COTS é definido como uma peça comercial ou industrial que não foi fabricada considerando a radiação espacial, mas que foi selecionada (testada) para ser funcional a uma certa dose. Por outro lado, um componente com classificação espacial deve ser fabricado para um desempenho específico, de modo a resistir aos efeitos da radiação. Um componente tolerante à radiação pode ser encontrado com um controle de qualidade específico, analisando o controle de lote, testes de radiação e triagem, segundo os procedimentos da técnica. Se não forem utilizados testes, é impossível prever qual o nível de radiação que um componente irá suportar e/ou a taxa de falhas.

Componentes fabricados em períodos diferentes, como os lotes anuais, podem apresentar tolerâncias à radiação distintas. Como sugestão de parâmetros, os componentes semelhantes empregados em missões espaciais podem servir de referência para os testes de radiação. Esses dispositivos poderão ser utilizados em muitas missões de pequenos satélites, onde uma boa probabilidade de sucesso é necessária. Os dispositivos resistentes à radiação oferecidos no mercado com qualificação espacial possuem um custo mais elevado que os tolerantes e, geralmente, o acesso à tecnologia de ponta é crítica.

Observando esses fatores, o primeiro passo para um projeto com *Careful* COTS é entender o ciclo de vida de um dispositivo. As entradas para esta análise são: órbita da missão (ou trajetória), duração da missão e blindagem do dispositivo. A literatura pesquisada recomenda para esta técnica testes com prótons, o qual pode fornecer uma abrangência maior. Os mesmos podem fornecer referências para análises específicas de TID e alguns tipos de SEE como SEU, SEFI, SEB e SEGR. Outros testes que podem ser utilizados para analisar componentes no

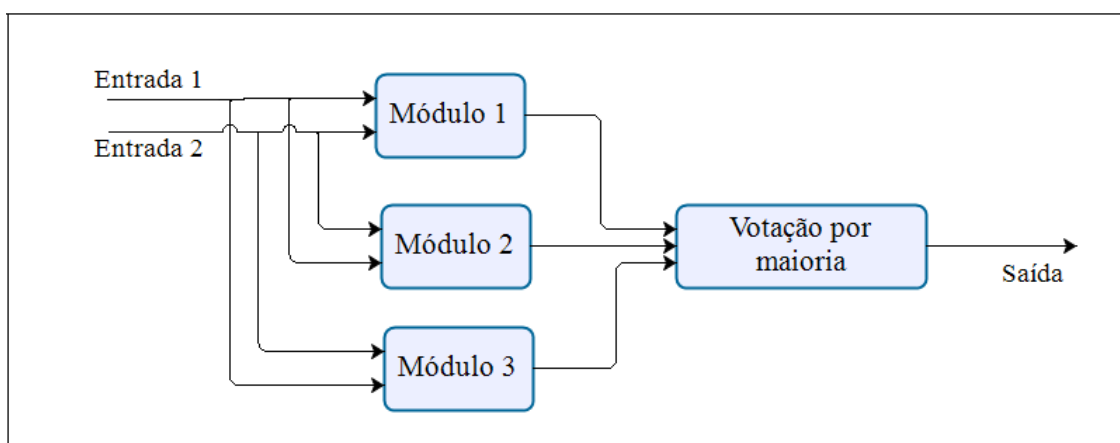
contexto desta técnica são o teste de Cobalto-60, mais direcionado para TID, e testes com íons pesados para SEE.

### 3.1.3 Redundância Modular Tripla (TMR)

Uma das técnicas mais utilizadas para a mitigação de falhas em FPGA COTS é a redundância modular, principalmente a Redundância Modular Tripla (TMR-*Triple Modular Redundancy*). Como há diversos trabalhos científicos publicados sobre esta técnica e muitos subtipos, serão analisadas algumas abordagens, de acordo com os autores. Conforme Agiakatsikas (2019), os FPGAs são dispositivos lógicos programáveis, permitindo que o projeto do circuito seja personalizado para uma aplicação específica, constituída de funções lógicas simples ou complexas.

Segundo Parobeck (2013), a estratégia principal é implementar pelo menos três unidades replicadas, onde a maioria ganha (*voters* ou votadores) e permite a correção de uma falha. Há várias formas em *hardware* de triplicar os dispositivos: placa completa, dispositivos físicos do mesmo componente em uma placa ou três segmentos de uma unidade em um dispositivo. Um esquema genérico da TMR pode ser demonstrado na Figura 3.3.

Figura 3.3 – Esquema genérico de TMR.



Fonte: Pereira (2018).

Pela utilização dos *hardwares*, a TMR está relacionada ao fato de triplicar o funcionamento lógico do dispositivo. Na saída há um conjunto ou série de circuitos votadores que determinam o correto funcionamento pela maioria. Como o próprio nome indica, há uma votação onde os dois sinais semelhantes de três módulos são validados. A TMR tem a vantagem de ser uma das técnicas convencionais mais utilizadas, com um longo histórico de aplicação e testes no ambiente espacial. Apesar da penalidade de espaçamento físico (mais de três vezes), o circuito votador incorpora apenas uma penalidade modesta de tempo. A Figura 3.4 demonstra a implementação da TMR *Full* com circuitos lógicos. A eficiência desta técnica reside no fato do circuito votador (*voter*) eliminar o circuito suspeito de ser uma fonte de erros, entre as saídas lógicas triplicadas e a saída do circuito votador. Entretanto, deve-se sempre considerar que um dos circuitos lógicos triplicados possa falhar completamente ou surgir erro no percurso de saída.

Como há um ambiente de radiação sempre atuante no espaço, este pode atuar sobre o dispositivo eletrônico, fazendo com que a capacidade de corrigir erros nesta lógica seja perdida. Apesar de ser uma técnica muito utilizada, a TMR possui limitações como área física maior, quantidade de pinos de entrada e saída três vezes maior e aumento significativo em dissipação de potência. Dependendo da aplicação estas limitações podem ser aceitáveis, mas em outras podem apresentar valores que não atendam aos requisitos do projeto.

Figura 3.4 – Circuitos lógicos em uma TMR.

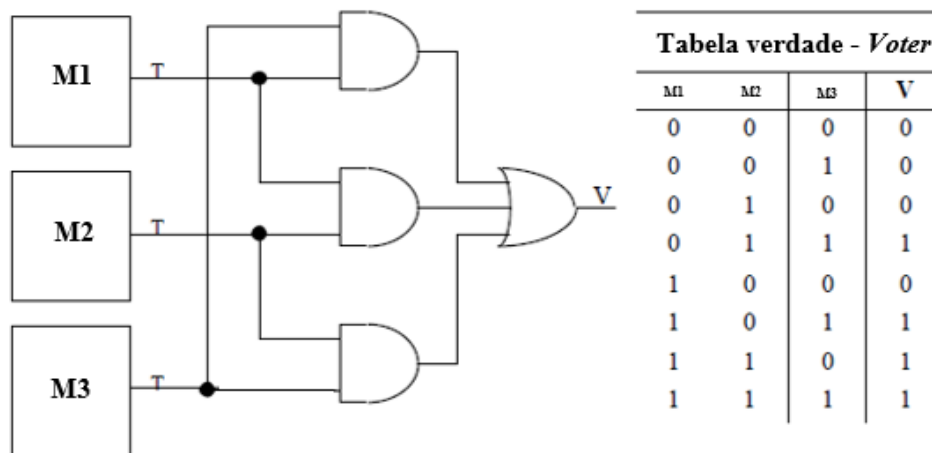


Tabela verdade - <i>Voter</i>			
M1	M2	M3	V
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Fonte: Adaptado de Carmichael et al. (1999).

A TMR é um método muito eficaz de mitigação, fácil de implementar e que pode ser realizada inteiramente dentro de um único dispositivo, desde que o projeto não utilize mais de 1/3 do dispositivo total. A desvantagem decorrente do fato mencionado é a dimensão do projeto, que não pode ultrapassar este limite. Se a concepção total do projeto for superior a 1/3 do tamanho do dispositivo há formas diferenciadas de realizar a TMR. Se o *design* ocupa um espaço disponível no FPGA e este está inserido no balanço de energia, a TMR *Full* pode conduzir à melhor disponibilidade do sistema possível.

Uma das variações da TMR *Full* é a TMR Global (GTMR – *Global TMR*) em que todas as seções principais do FPGA são triplicadas: três *clocks* separados com três domínios. Esse fato está relacionado a uma maior sobrecarga de utilização da FPGA, tornando a estratégia mais complexa. Apesar da eficiência do circuito em relação à taxa de *upset*, pode ocorrer desperdício de recursos do FPGA. Deve-se considerar que a maior quantidade de dispositivos pode dificultar a implementação e posterior verificação e teste. Devido à variação dos *clocks*, pode também ocorrer o problema do desvio dos mesmos e desfaseamento entre eles. Como no caso anterior, a TDTMR (*Triple Design TMR*) se propõe a oferecer uma versão mais aprimorada da TMR *Full*. Esta abordagem caracteriza-se por ter diferentes implementações de projeto do mesmo circuito, em vez das três cópias tradicionais do mesmo projeto de circuito na TMR. Esta particularidade demonstra que as técnicas de fortalecimento do *design* podem reduzir a vulnerabilidade do sistema a diversos efeitos externos. A TDTMR foi implementada na lógica em um esforço para corrigir erros sem causar tempo de inatividade no circuito. (NABER, 2010).

A TMR apresenta como uma das principais desvantagens para a mitigação dos efeitos da radiação o aumento na área de utilização do dispositivo, necessária para aplicar a técnica. Se o circuito for muito grande para aplicar TMR *Full* ou suas derivadas (GTMR, TDMR e outras) pode-se usar mais de um FPGA; ou aplicar técnicas com necessidade de menos recursos lógicos, geralmente com menor custo. Em muitas aplicações computacionais como o Processamento de Sinal Digital (DSP – *Digital Signal Processor*) observa-se que os bits mais significativos são mais críticos para a correção do resultado do que os bits de



ordem inferior. Esta observação é a base da redundância de precisão reduzida, ou RPR (*Reduced Precision Redundancy*). Assim, a RPR envolve a implementação de uma ou mais réplicas menores e de precisão reduzida de um módulo computacional, e a verificação de integridade na saída do modelo de precisão total (PRATT, 2011; SIEGLE et al., 2015).

A TMR parcial ou modular também considera o custo maior da TMR *Full*, aplicando a TMR a uma parte do circuito selecionada (parcial) ou dividida em módulos (modular propriamente dita). O objetivo é diminuir a quantidade de mitigação aplicada com redução do custo indireto de área e uma perda mínima de confiabilidade. A estratégia de mitigação de redundância modular adapta-se melhor com a aplicação com *stream* (fluxo ou série temporal) porque a lógica do usuário pode ser recuperada e retornar a um estado inicial seguro, após cada bloco de dados.

Para os subtipos de TMR em pauta vários métodos são propostos nos trabalhos científicos pesquisados nesta tese, e na literatura atual para selecionar as estruturas de circuito mais críticas. A Redundância Modular Tripla Seletiva (STMR - *Selective Triple Modular Redundancy*) é uma redundância parcial, embora seja também “modular” (derivada da TMR). Sua estratégia consiste em identificar as portas “sensíveis” do SEU em um determinado circuito e, em seguida, introduzir a TMR seletivamente nestas portas (*gates*), considerando o ambiente de entrada. Outro método que pode citado é o que opera em LUTs em vez de portas lógicas. Além de dispositivos lógicos pode-se proteger apenas os *loops* de *feedback* e não o caminho de dados dentro da lógica do usuário. Desse modo, os erros ficariam visíveis como falhas transitórias na saída do FPGA. (NABER, 2010; PRATT et al., 2008; SIEGLE et al., 2015).

A técnica denominada de NMR (*N-Modular Redundancy*) apresenta o mesmo objetivo de limitar as despesas de implementação de mais módulos (técnica modular propriamente dita). Neste caso são utilizados N módulos, sendo N um número ímpar, os quais executam a mesma tarefa. Semelhantemente à TMR, um circuito de votadores coleta seus resultados e escolhe o valor majoritário como resultado. A grande estratégia que diferencia esta técnica é que as falhas que afetam uma minoria das unidades replicadas são mascaradas. O

masking visa impedir a propagação de falhas induzidas pelos efeitos da radiação, afetando dispositivos como a memória do usuário e a memória de configuração na saída do circuito. (SHARMA, 2010; SIEGLE et al., 2015). Finalmente, um projeto de TMR pode ser dividido em módulos suficientemente pequenos para ser replicado e mitigado em dispositivo único ou espalhados por vários outros dispositivos (multi-FPGA). Por exemplo, um módulo A é replicado e mitigado em um dispositivo enquanto o módulo B é replicado e mitigado em outro. Como desvantagem, este método deverá ter um custo maior devido ao acréscimo de FPGAs e aumento de espaço na placa. Todavia, nenhuma mitigação externa é necessária entre os FPGAs que estão separados, como seria necessário com redundância ao nível de dispositivo (CARMICHAEL et al, 1999).

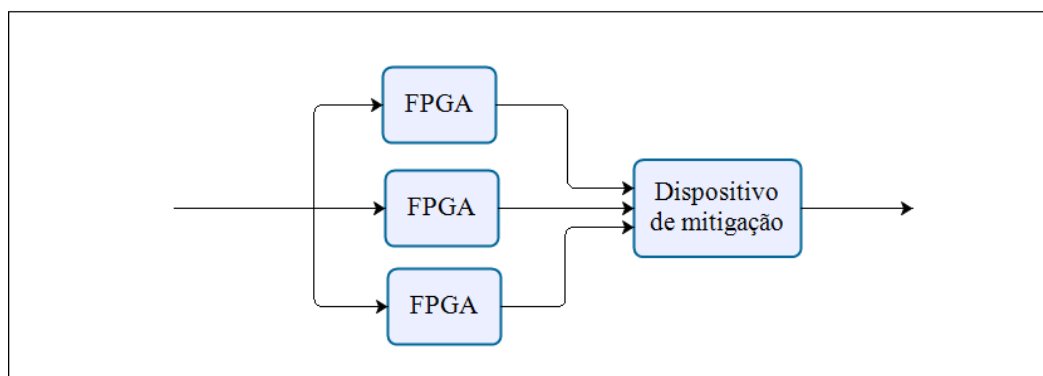
Os tipos e subtipos de TMR são apenas os exemplos mais relevantes da literatura, sendo que mais informações e exemplos de aplicações estão no Apêndice B. Entretanto, estes tipos citados não esgotam o assunto e outros mais específicos podem ser pesquisados nos trabalhos científicos citados no Apêndice C.

#### **3.1.4 Redundância de FPGA (REFP)**

Conforme o exposto, redundância em geral com três dispositivos é uma das técnicas de mitigação que deve ser analisada, apesar de algumas desvantagens (Figura 3.5). No caso desta técnica, não são somente os circuitos que podem ser replicados em uma placa ou em mais de um FPGA. Assim, considera-se que o FPGA pode ser replicado três vezes, configurando dispositivos redundantes. A solução proposta aumenta a confiabilidade para a mitigação das falhas, incluindo múltiplos *upsets*, interrupções funcionais e falha total do dispositivo. Como toda solução possui desvantagens, esta é mais cara em relação às redundâncias mais convencionais com TMR. Com relação ao desempenho, apresenta apenas uma melhoria marginal em relação às outras técnicas. A mitigação mencionada requer um quarto dispositivo, dependendo da contagem de entradas e saídas (I/O). Este outro dispositivo poderia ser um pequeno ASIC *rad-hard* ou outro

dispositivo lógico programável com redundâncias internas. Também há a necessidade de um processador para o gerenciamento de uma fila de dispositivos redundantes. Como exemplo de operação, sempre que um *upset* for detectado em um dos dispositivos, este dispositivo deve ficar *offline*. Ao ficar desta forma, pode ser reparado enquanto outro dispositivo é selecionado da fila de redundância para continuar o processamento (CARMICHAEL et al., 1999).

Figura 3.5 - Redundância de FPGA.



Fonte: Adaptado de Carmichael et al. (1999).

### 3.1.5 Detecção e Correção de Erros (EDAC)

A Detecção e Correção de Erros (EDAC - *Error Detection and Correction*) utiliza os Códigos de Correção de Erros (ECC- *Error Correction Code*) de modo a garantir valores corretos para um dispositivo reconfigurável (FPGAs). Como um ou dois *soft errors* podem ocorrer nos bits na memória de configuração, algumas técnicas podem não ser eficientes para detectá-los. Assim, a técnica oferece uma eficiência maior para este caso e oferece outras vantagens adicionais (SHIRVANI et al., 2000).

Os ECC existem desde o final dos anos 40, sendo que o primeiro uso documentado foi nos computadores Richard Hamming (Bell) para retransmitir informações. Nesta época, os códigos já eram usados para verificar os dados, sendo nomeados de códigos de Hamming. Como foi uma das primeiras implementações do ECC, este é um dos métodos mais simples existentes. No entanto, vários outros foram criados em função da demanda por correção de

erros. Apesar de serem usados para a mesma finalidade, cada código possui suas peculiaridades, com recursos ligeiramente diferentes de implementação. Os processos de codificação e decodificação são comuns aos códigos de correção de erros (TAMKE,2019).

EDAC com bits de paridade é uma técnica de mitigação direcionada a elementos de memória sequencial, com o objetivo de codificar a entrada dos mesmos. Na saída também são gerados bits de paridade, os quais são comparados com os bits de paridade da entrada. Esse fato é que permite a detecção de erros nos dados armazenados no elemento de memória, por intermédio da produção dos bits de verificação. Estes bits permitem ao EDAC decidir qual bit de dados precisa de correção, alterando seu valor para o valor correto. Para a implementação, a quantidade de bits de paridade necessária depende do número de bits de dados a serem protegidos (TELLO, 2019). Algumas características destes dois processos são:

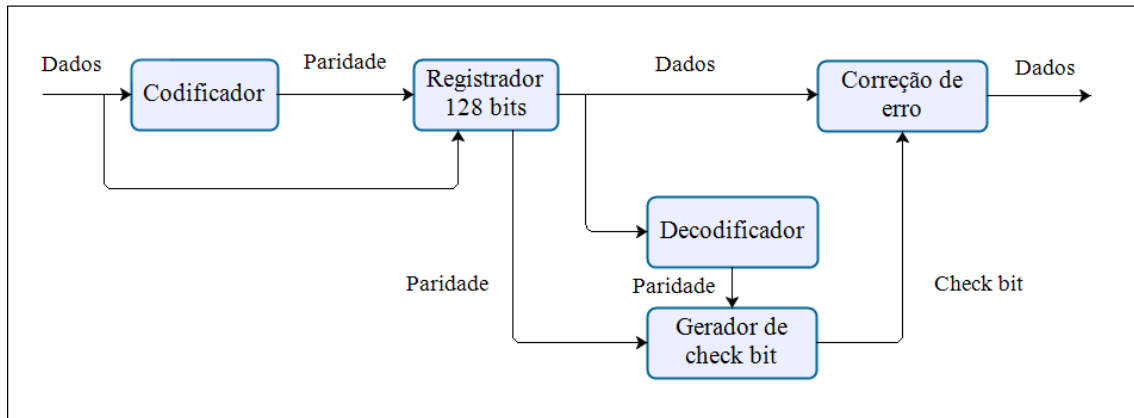
- a) codificação: coleta os dados e cria um bloco de dados chamado de verificação de paridade para uso no processo de decodificação; este processo apresenta menor complexidade, sendo mais rápido; e
- b) decodificação: analisa os dados com os bits de paridade e detecta se há algum erro; se houver erros, estes devem ser corrigidos e sua posição relatada, se necessário.

Na configuração dos ECCs há diferenças dependendo da aplicação desses códigos. Alguns métodos de codificação podem ser configurados para relatar a posição do erro após a correção. Outros podem ser configurados para relatar quantos erros foram corrigidos ou se houve falha na correção (TAMKE, 2019).

A Figura 3.6 apresenta um exemplo de circuito com a implementação de EDAC, demonstrando o sequenciamento do codificador, decodificador e os processos de checagem e correção de erros (TELLO, 2019).

Alguns exemplos de ECC, segundo Ebert et al. (2003); Tamke (2019) são: *Cyclic Redundancy Check (CRC)*, *Reed-Solomon*, Codificador convolucional, Protocolo *overlyng*, BCH (*Bose–Chaudhuri–Hocquenghem*), Turbo e códigos de paridade de baixa densidade.

Figura 3.6 - Exemplo de EDAC.



Fonte: Adaptado de Tello (2019).

### 3.1.6 Reconfiguração (RECO)

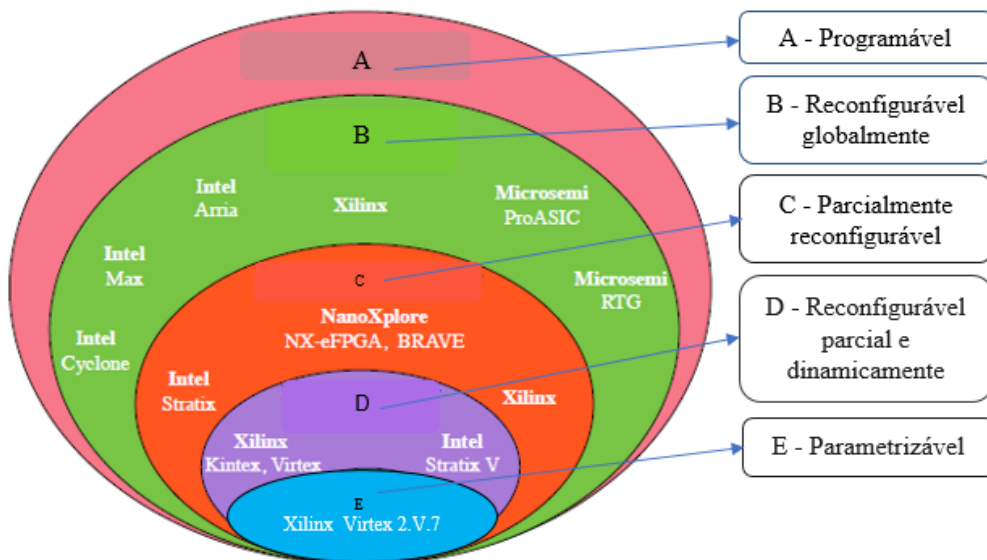
Os métodos relacionados à configuração são um dos mais utilizados, sendo que a literatura apresenta várias abordagens. No caso desta tese serão explanados os conceitos conforme Kourfali (2019); Parobeck (2013); Tamke (2019).

As implementações relativas a essa área dependem principalmente de dois fatores: reconfiguração e disponibilidade de recursos no dispositivo. Em outras palavras, para que a reconfiguração possa ocorrer, deve-se considerar os recursos para o reparo de falhas. Para isto, deverão ser desenvolvidas estratégias para a identificação de onde e como ocorrem as alterações nos dados de configuração (lógica). Mesmo analisando o processo de fabricação de um FPGA ou a tecnologia de memórias, outras estratégias possíveis devem ser utilizadas para mitigar os efeitos da radiação. Dentre as opções viáveis, uma delas está relacionada aos processos de reinicialização sucessiva. Concomitantemente, deve-se utilizar um processo de reparação, o qual deve ser realizado sem perturbar a função normal do sistema com seleção da periodicidade (PAROBECK, 2013)

Segundo Kourfali (2019), Reconfiguração é o processo de alterar a estrutura de um dispositivo reconfigurável no momento da inicialização, ou seja, sendo observado o tempo de execução. A definição de um CI reconfigurável está relacionada ao fato de que este permite ao usuário alterar sua funcionalidade.

A reconfiguração ideal também não requer intervenções do usuário ao alterar a funcionalidade do *design* digital. No caso dos FPGAs, como são dispositivos configuráveis, a implementação digital no FPGA pode ser alterada. Esse fato inclui a possibilidade de enviar novas configurações para um FPGA, relacionadas a desempenho (velocidade e/ou latência) e área da arquitetura reconfigurável. Os FPGAs podem ser classificados como mostrado na Figura 3.7, de acordo com a capacidade de reconfiguração. Cabe ressaltar que os tipos de reconfiguração estão relacionadas às principais famílias de FPGAs, com exemplos na Figura citada.

Figura 3.7 – Classificação de FPGAs (reconfigurabilidade).



Fonte: Adaptado de Kourfali (2019).

Os FPGAs reconfiguráveis são baseados em SRAM e pode-se obter os tipos de reconfiguração, segundo Kourfali (2019); Parobeck (2013).

- a) Reconfiguração global: troca a configuração do FPGA completamente, levando a uma alteração no estado interno do *hardware*; portanto, o FPGA deve reiniciar sua operação.
- b) Reconfiguração parcial: o usuário pode alterar a função de parte do FPGA enquanto outras seções permanecem operacionais. Esta é uma das opções mais utilizadas em FPGAs modernos, apresentando a

possibilidade de modificar o projeto parcialmente. Para implementar projetos de reconfiguração parcial em FPGAs é necessário o acesso à memória de configuração, sendo este procedimento realizado por interfaces de reconfiguração como JTAG (*Joint Test Action Group*), SelectMAP ou ICAP (*Internal Configuration Access Port*). A reconfiguração parcial pode ser realizada de forma estática ou dinâmica.

- c) Reconfiguração parcial dinâmica: como no caso anterior, somente partes de um sistema podem ser atualizadas, enquanto o restante pode continuar sua operação. Neste caso, é a atuação sobre uma parte dos blocos lógicos do FPGA, sendo a modificação da lógica obtida por *download* de fluxos de bits parciais. Há exemplos na literatura onde se divide uma aplicação em pequenos módulos chamados de Módulos Parciais Reconfiguráveis (PRM - *Partially Reconfigurable Module*), em que um controlador reconfigurável parcial foi projetado para supervisionar o processo de reconfiguração.
- d) Reconfiguração parametrizada: ocorre quando os parâmetros (entradas) mudam com pouca frequência em comparação com as outras entradas. A estratégia consiste em não implementar as entradas de parâmetro como entradas regulares. Assim, as entradas são implementadas como constantes e o *design* é otimizado para estas constantes. Quando os valores dos parâmetros mudam, o *design* é otimizado para os novos valores constantes, reconfigurando o FPGA.

Apesar de não ser uma técnica de reconfiguração propriamente dita, o *scrubbing* é uma técnica de mitigação que pode ter aplicações relevantes em FPGAs como técnica complementar. Segundo Kourfali (2019); Tamke (2019), o *scrubbing* também pode ter alguns subtipos, sendo descritos os principais.

- a) *Scrubbing* periódico sob demanda: a memória de configuração pode ser periodicamente “limpa” e verificada quanto a problemas com uma taxa de reescrita fixa. Um mecanismo de detecção de falhas também pode acionar o processo de *scrubbing*, sendo esta estratégia vantajosa em sistemas onde o *scrubbing* contínuo é indesejado.
- b) *Scrubbing* externo e interno: devem ser utilizadas interfaces de configuração como o SelectMAP (*scrubbing* externo) devido a suas altas taxas de transferência e ICAP, para o *scrubbing* interno (lógica do usuário). O *scrubbing* externo por intermédio da interface SelectMAP é comumente visto como a abordagem mais robusta e também é recomendada pela Xilinx. O *scrubbing* interno não requer controlador de configuração externo e uma memória para as “*golden copy*” do fluxo de bits, sendo classificado como uma solução de baixo orçamento.

O *scrubbing*, de acordo com Parobeck (2013), pode ser considerado uma das formas mais comuns e mais fáceis de proteger as memórias de configuração de um FPGA dos SEUs. Ele realiza o *reflashing* completo ou reprogramação do dispositivo em um intervalo especificado (atualização ou remapeamento). Este procedimento permite ao sistema reparar SEUs na memória de configuração sem interromper as operações. Quando um FPGA utiliza esta técnica, um oscilador externo gera um relógio de configuração que controla a ROM programável (PROM - *Programmable Read-Only Memory*) e o FPGA. Desse modo, novos dados estão disponíveis nos pinos de dados da PROM em cada ciclo de relógio. Este processo deve ser realizado localmente, em tempo real, de modo que a porção do FPGA com o erro devido ao *upset* seja reconfigurado enquanto outras seções continuem funcionando (reconfiguração parcial).

### **3.1.7 Duplicação (DUPL)**

Pelo exposto, verifica-se que há técnicas mais conhecidas e utilizadas, principalmente a TMR, Reconfiguração e EDAC. Conforme Kastensmidt et al. (2004a), se o projeto for inferior à metade do tamanho do total do dispositivo,

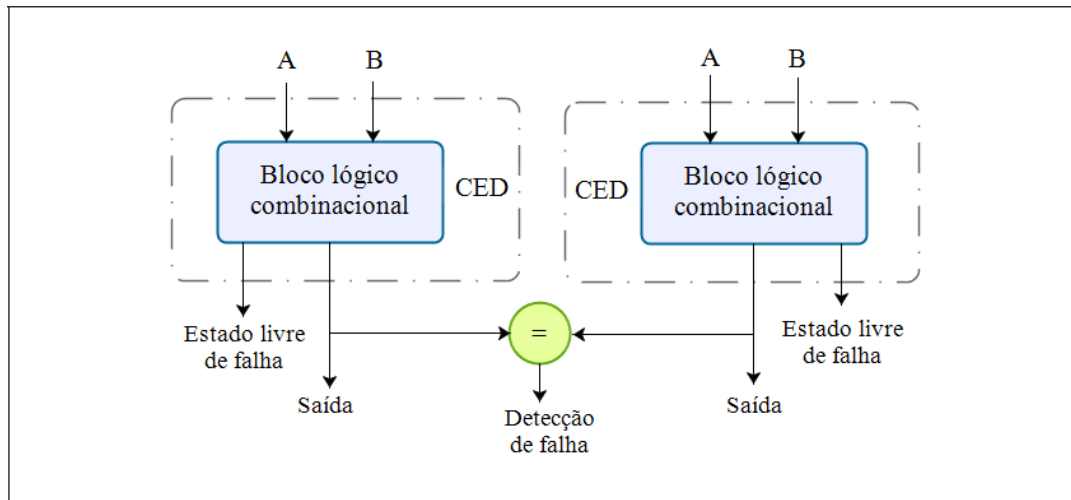


uma alternativa de particionamento lógico é a Redundância Modular Dupla (DMR- *Dual Modular Redundancy*), geralmente utilizada como complemento de outra técnica (inclusive da TMR). Também a própria Duplicação poderá ser complementada com outras estratégias, como a duplicação com comparação e redundância no tempo. Nesta estratégia a lógica é duplicada e as saídas são comparadas, sempre que um conjunto de saídas com um SEU/SEL for detectado. Se for detectado um *upset* em um determinado caminho, a saída será desativada. Dessa forma, o trajeto que não foi afetado continuará a transmitir o valor correto. Como não haverá necessidade de mitigação externa, esta pode ser considerada umas das vantagens deste método. No caso de falha em um dos circuitos, o redundante estará em operação. Como ocorre nas redundâncias em geral, a falha total dos circuitos deverá provocar uma interrupção momentânea do serviço.

Na Figura 3.8 verifica-se um exemplo que atua sobre efeitos de *upsets* permanentes, com redundância de *hardware* e tempo para proteger a lógica combinacional do circuito. Esta técnica é um tipo de auto verificação para os FPGAs, combinando duplicação com comparação (DWC - *Duplication With Compare*). A estratégia é complementada com uma detecção concomitante de erro (CED – *Concurrent Error Detection*) baseada em redundância de tempo, que funciona como o bloco de auto verificação. O DWC é responsável por detectar as falhas no sistema e o CED possui como objetivo detectar quais blocos são livres de falha.

A vantagem maior deste método é não incorrer em penalidades de alta performance quando não há nenhuma falha ou apenas uma falha. Uma característica importante do mesmo é que necessita de apenas um ciclo de relógio em uma operação de espera para detectar o módulo defeituoso. O bloco votador é adicionado com comparadores e também foi inserida uma máquina de estado para identificar o estado sem falhas da operação ou para sinalizar um erro.

Figura 3.8 – Exemplo de Duplicação. (DWC/CED).



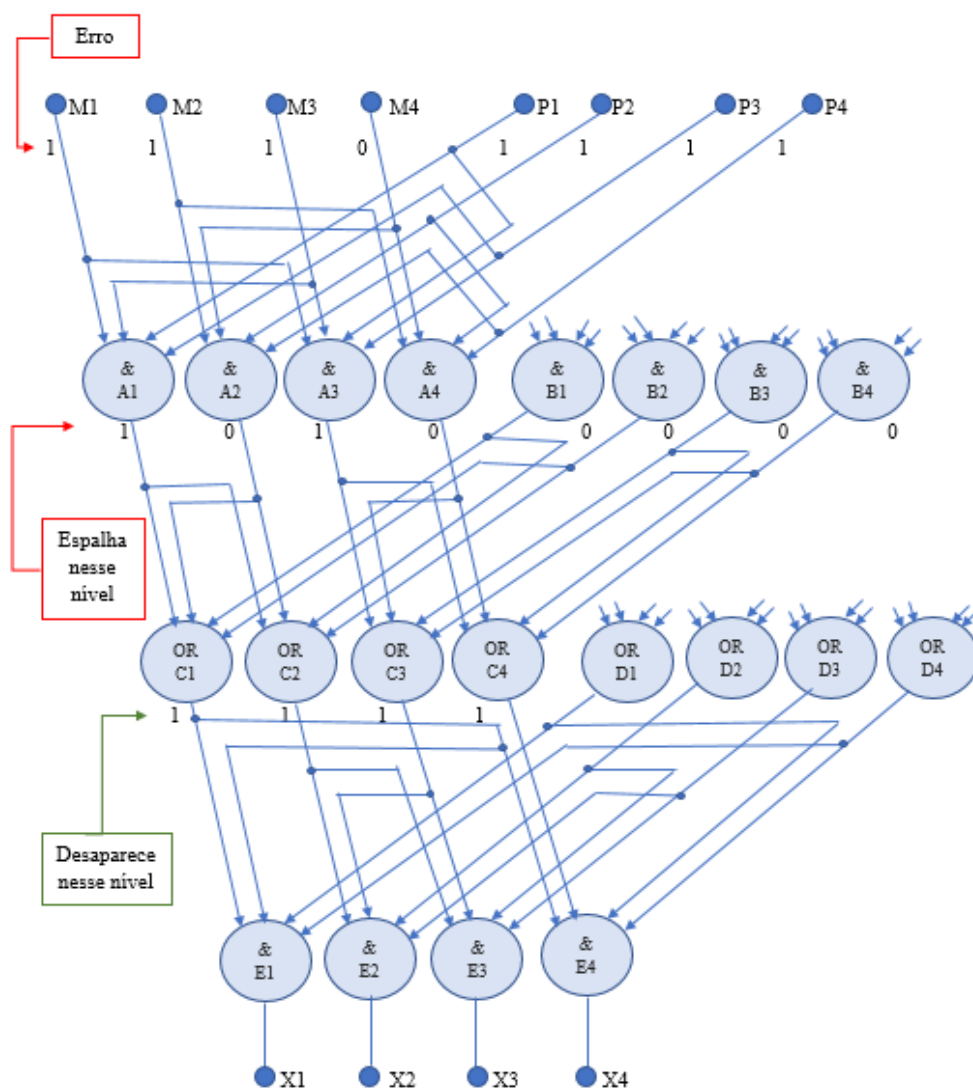
Fonte: Adaptado de Kastensmidt et al. (2004a).

### 3.1.8 Quadruplicação (QUAD)

Outros tipos de redundâncias podem ser utilizados que não sejam a TMR ou duplicação. Há vários circuitos mais elaborados que foram objeto de estudo e que podem ser implementados, segundo Parobeck (2013). Um exemplo é o circuito da *Quadded Logic* (Figura 3.9), no qual as portas envolvidas são replicadas quatro vezes. Diferentemente dos outros tipos de redundância, a *Quadded Logic* não utiliza votadores para identificar os erros e posição. Os erros são corrigidos logo após a sua ocorrência, baseado na estratégia de que valores corretos vizinhos corrigem valores defeituosos. A ausência dos votadores é justificada pelo fato de que os valores lógicos de saída devem possuir valores idênticos em cada fase. Esta técnica apresenta uma forma de “autocura” em que o próprio sistema de portas lógicas já é planejado para superar os erros. A estratégia utilizada difere dos tipos de redundância apresentados, sendo que os erros são mascarados por um padrão de interconexão particular das portas lógicas. Estes podem inicialmente passar através da primeira série de portas lógicas, mas seriam corrigidos na próxima fase do circuito. O único ponto de falha ocorreria se uma das portas lógicas da última etapa fornecesse saída com erro. Uma das desvantagens da técnica em pauta é a falta de um sinal de erro para acionar a reconfiguração, sendo que um *scrubbing* periódico é necessário.

Apesar da próxima técnica (TIR – *Triplicated Interwoven Redundancy*) ter o termo “triplicated” no título, esta foi inserida no item de técnicas de quadruplicação por ser derivada da TMR e *Quadded Logic*, como uma forma de redundância entrelaçada aleatória. Esta técnica combina alguns dos benefícios dos dispositivos entrelaçados da *Quadded Logic* com a natureza triplicada da TMR. Como característica diversa da *Quadded Logic* e semelhante à TMR, a TIR utiliza um votador nas saídas como um dispositivo restaurador. De forma resumida, a TIR é uma generalização de TMR para permitir interconexões aleatórias.

Figura 3.9 – Técnica de *Quadded logic*.



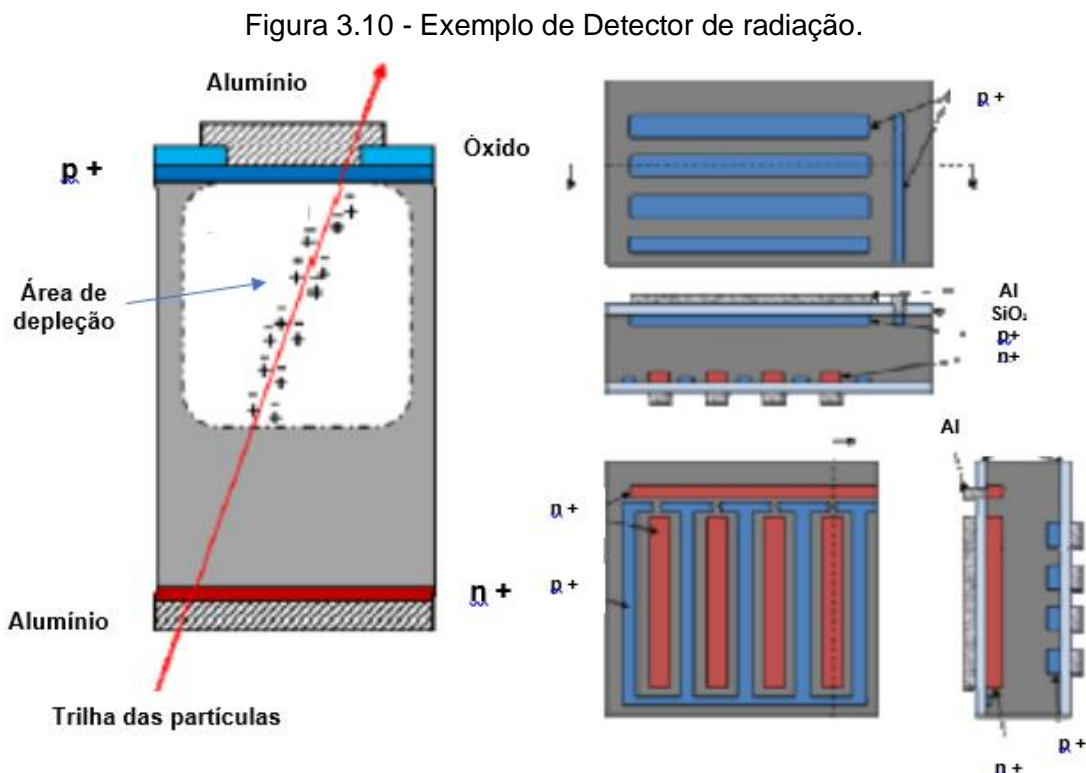
Fonte: Adaptado de Parobeck (2013).

O outro tipo de técnica relativo à quadruplicação é a Redundância decidida por força quádrupla (QFDR - *Quadruple Force Decide Redundancy*). Esta é diferenciada das duas outras expostas, pois utiliza as LUTs e FFs (*Flip-Flops*) presentes nos FPGAs. As diferenças entre *Quadded Logic* e QFDR estão na forma como esses recursos são alocados no FPGA mais eficientemente do que a alocação automática. Devido a este processo ser mais complexo, há algumas ferramentas de *software* para auxiliar nesta abordagem.

### **3.1.9 Detector de radiação (DERA)**

Uma das estratégias que podem ser utilizadas na minimização dos efeitos da radiação espacial é a sua detecção e processamento, para que os efeitos possam ser os menores possíveis, de acordo com Lameres et al. (2010). Há vários sensores de radiação projetados e implementados para outras finalidades, porém esta tese deverá abordar um sensor de radiação direcionado para os FPGAs inseridos nesse ambiente. Esta técnica também pode ser complementar a outras, como a TMR e EDAC. Este sensor de radiação explora a informação ambiental, de forma a utilizar a sensibilidade à posição para determinar as regiões dentro do FPGA que podem ter sido afetadas por radiação. Para que isto ocorra, deverá haver um circuito computadorizado (sensor) para a identificação dos locais onde possam ocorrer os impactos e posteriores efeitos da radiação. Um dos objetivos a ser perseguido em relação a circuitos é a redução da latência entre a detecção da falha e sua recuperação. Apesar de estar sendo classificada como uma técnica distinta, a mesma utiliza o sensor de radiação como forma de detecção e correção de falhas, proporcionando um nível adicional de confiabilidade. Esta técnica é diferenciada no sentido de que não utiliza uma abordagem sequencial, geralmente empregada em outras técnicas e em FPGAs baseadas em SRAM. O sensor projetado pode fornecer informações espaciais sobre as áreas do FPGA afetadas pela radiação. Para evitar e reparar estas áreas há a necessidade de uma arquitetura de computador redundante de muitos núcleos para explorar as informações espaciais do sensor. Neste caso, três dos *soft processors* são configurados em TMR, com o resto dos processadores

disponíveis como peças sobressalentes. Quando um dos votadores TMR detecta uma falha, os dois processadores não afetados concluem sua tarefa atual, preparando-se para um *reset*/ressincronização. Uma das maiores vantagens desta técnica é que os circuitos poderão ser utilizados normalmente após a detecção e reparação das falhas. A Figura 3.10 apresenta a seção transversal do sensor com a junção PN (detector de radiação).



Fonte: Adaptado de Lameres et al. (2010).

Como no caso dos eventos únicos, são gerados pares elétron-lacuna quando a radiação ionizante passa através do sensor. O campo elétrico intrínseco resultante da região de depleção que se forma atua sobre as cargas. Estas cargas são direcionadas para os seus eletrodos correspondentes, elétrons para o lado n+ do substrato e lacunas para o p+. A quantidade de carga coletada é determinada pela energia da radiação e dimensão do volume de depleção. Mais detalhadamente, é uma função do projeto do sensor, abrangendo os materiais utilizados e características do circuito, como tensão de polarização. Neste exemplo são utilizados detectores de dupla face, subdivididos em faixas

estreitas. Estas faixas são ortogonais entre si em ambos os lados do substrato, com a monitoração eletrônica em canais diferentes. A posição da intersecção das faixas que recebem os sinais do eletrodo frontal e traseiro fornece a localização da radiação ionizante (LAMERES et al., 2010).

Após a devida explanação, o Apêndice B apresenta uma tabela com a sumarização das principais técnicas de mitigação de falhas, assim como informações complementares. Baseado em uma pesquisa estatística de trabalhos científicos (Apêndice C), pode-se constatar uma amostragem dos mesmos no período de 2000 a 2019. Verifica-se que a maioria dos trabalhos pesquisados menciona mais de uma técnica, ressaltando que grande parte dos projetos utiliza uma técnica principal e outras complementares.

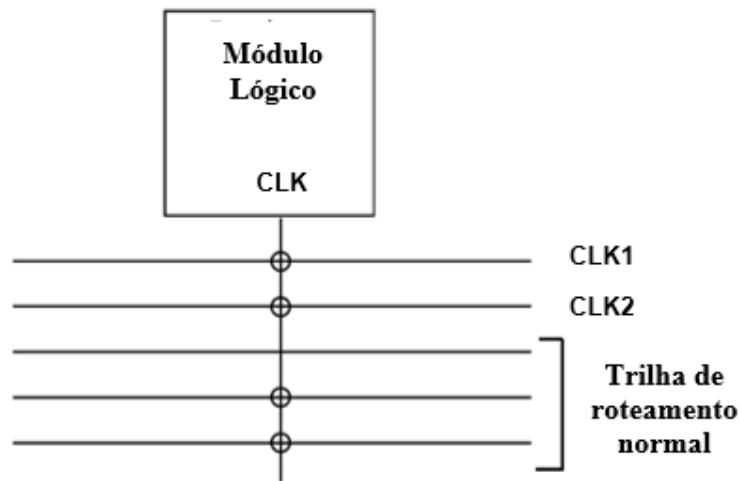
## **3.2 Efeitos adversos das técnicas de mitigação**

### **3.2.1 Árvore de *clock* e velocidade de processamento**

Conforme Zhu e Wong (1997), no interior dos FPGAs os recursos de roteamento são estabelecidos após a fabricação do *chip*. Para reduzir os atrasos de interconexão a quantidade e a distribuição de comutadores programáveis são geralmente restritos. O padrão geométrico das estruturas de árvores de *clock* em muitos FPGAs comerciais difere das tecnologias ASIC tradicionais. Estas estruturas mencionadas geralmente são fixas e não podem ser alteradas para diferentes projetos de circuitos.

Nos FPGAs, interruptores programáveis conectam os pinos do *clock* à *clock tree*, conforme Figura 3.11. Esta figura ilustra uma arquitetura de conexões dos pinos do *clock* (CLK) em um módulo lógico para registrar árvores em um FPGA. Há dois sinais de *clock* (CLK1 e CLK2) e os círculos representam as chaves programáveis. O pino do *clock* do módulo lógico pode ser conectado a qualquer um destes dois sinais de relógio, bem como em trilhas de roteamento normais. Estas implementações dependem das características de fabricação do FPGA e do *design*.

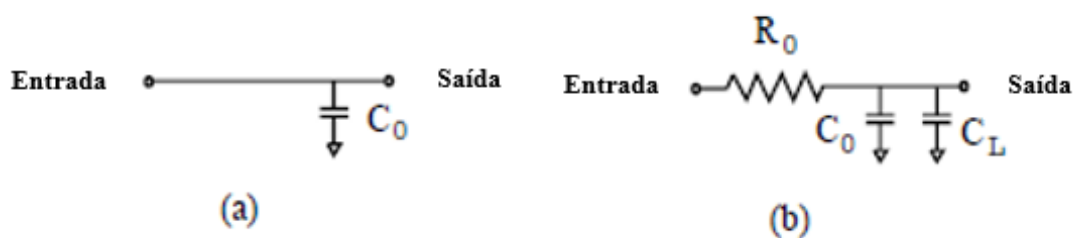
Figura 3.11 – Arquitetura de conexão da árvore de *clock*.



Fonte: Adaptado de Zhu e Wong (1997).

Após essas informações, pode-se definir o número total e distribuição de módulos lógicos conectados a uma rede de sinais de *clock* particular com *clocks* multifásicos. O projetista deve permitir que cada módulo de lógica individual possa ser conectado ao sinal do relógio apropriado. A utilização e distribuição de módulos lógicos no projeto do circuito estão relacionadas com as capacitâncias de carga das árvores de *clock*, conforme a Figura 3.12.

Figura 3.12 – Circuito equivalente para o nó da árvore de *clock*.



a) Pino conectado e b) Pino desconectado.  
 Fonte: Adaptado de Zhu e Wong (1997).

As técnicas de mitigação, principalmente a TMR, são muito dependentes da atuação do sistema de *clock*. Um dos efeitos que podem ser gerados é que a carga das capacitâncias de uma árvore de *clock* podem ser alteradas, de acordo com utilização e distribuição dos módulos lógicos em um FPGA. A *clock skew* é

definida como a diferença máxima dos atrasos da fonte do relógio para os pinos de *clock* dos *latches* (circuitos sequenciais) em uma árvore de *clock*. Como a *clock skew* pode afetar o desempenho do sistema e até causar falhas no sistema, deve-se reduzir este efeito. Pode-se minimizar a *clock skew* com técnicas específicas, como a distribuição das capacitâncias de carga ou módulos lógicos usados de acordo com o *design* do circuito.

Além do fator de *clock skew*, com as técnicas de mitigação de falhas pode-se afetar também a velocidade com que o FPGA processa os dados. Conforme Schmidt (2011), a adição da técnica de EDAC aos módulos BRAM (*Block RAM*) da malha FPGA resulta em restrições na velocidade com que a rede de *clock* pode operar. Considerando projetos que exigem armazenamento em memória interna como a deste exemplo, a proteção da memória do usuário é essencial para a operação confiável do *design*. Uma das diferenças entre a célula de configuração e as BRAM é que a primeira deve permanecer estática durante a maioria das operações e a segunda alternar rapidamente entre os estados durante a operação. Desse modo, as BRAM são mais suscetíveis aos SEUs do que as células de configuração. Embora a técnica de EDAC (com ECC) seja bastante eficaz em proteger as células BRAM dos SEUs, implementá-las tem um custo, como restrições da frequência máxima do *clock* de um *design*.

Como mostra a Tabela 3.1, 260 MHz é a frequência máxima na qual o projeto analisado pode usar o BRAM no modo ECC (SCHMIDT, 2011). Se o modo *writeback* (reescrita) do ECC estiver ativado, a frequência máxima para o BRAM diminui ainda mais para 180 MHz. Comparando as frequências máximas disponíveis no dispositivo em foco e considerando a utilização da ECC com BRAM, a frequência pode ser reduzida até pela metade, alterando significativamente a velocidade máxima de projeto disponível.

Deve-se ainda ressaltar que um projetista possa empregar um DCM (*Digital Clock Manager*) para gerar uma multiplicação ou divisão da frequência do *clock* de entrada. As partículas carregadas, oriundas da radiação, podem induzir uma alteração na memória de configuração que controla o DCM, sendo que os efeitos podem ser graves.



Tabela 3.1 – Máxima frequência de operação (Virtex 5QV).

<b>Casos de uso de BRAM</b>	<b>Máxima frequência do Virtex-5QV (MHz)</b>
<i>Block RAM em todos os modos</i>	360
<i>Block RAM no modo Cascade</i>	320
<i>FIFO* em todos os modos</i>	360
<i>Block RAM no modo ECC</i>	260
<i>Block RAM no modo ECC e Writeback enable</i>	180

Obs.: \* FIFO: *First In, First Out*

Fonte: Schmidt (2011).

Se o DCM alterar a frequência de saída para um valor menor daquela que foi projetada, o circuito pode ter um desempenho inferior. Alguns exemplos de consequências podem ser citados, segundo Schmidt (2011).

- a) A redução da funcionalidade da carga útil e/ou taxas de comunicação internas (sistema de satélites) ou externas (controle de solo) degradadas.
- b) Uma diminuição significativa na velocidade do *clock* pode causar uma falha catastrófica na capacidade do sistema de controlar a posição e orientação da sonda de um sistema de controle de atitude.
- c) Com relação à carga, se a frequência do *clock* que controla a interface do satélite primária é alterada, pode resultar na incapacidade da carga útil de se comunicar com o satélite, prejudicando a produção de dados de carga útil e a possibilidade de diagnosticar questões do solo.

Conforme Rollins et al. (2004), pode-se citar também o exemplo de outra técnica muito abordada em trabalhos científicos, como a TMR. No entanto, esta apresenta algumas penalidades de área, velocidade, potência e outros parâmetros/métricas. A tecnologia dos FPGAs baseados em SRAM e a reprogramação dos mesmos exige mais transistores que ASICs, levando a uma maior corrente de fuga e consumo de potência. As características relacionadas à potência afetam a densidade, o desempenho, confiabilidade e custo de um dispositivo. A Tabela 3.2 apresenta um estudo com uma determinada família

de FPGAs e suas respectivas tecnologias e a penalidade de área e velocidade de processamento.

Tabela 3.2 – Custo da TMR (área e velocidade).

		<b>Demodulador QPSK</b>	<b>CPU Hitachi</b>
Virtex	Custo de área	3,03 x	3,01 x
	Custo de velocidade	4,8%	29,9%
Virtex 2	Custo de área	3,03 x	3,00 x
	Custo de velocidade	15,4%	0,0%
Virtex 2Pro	Custo de área	3,03 x	3,00 x
	Custo de velocidade	18,1%	19,2%
Spartan 3	Custo de área	3,02 x	3,00 x
	Custo de velocidade	2,8%	13,0%

Obs.: QPSK- *Quadrature Phase Shift Keying*

Fonte: Rollins et al. (2004).

Este exemplo ressalta que outros fatores que devem ser analisados ao adotar técnicas adicionais de mitigação são as limitações nos espaços de *design* para sistemas em FPGAs baseados em SRAM. Entretanto, deve-se observar que sua implementação é fundamental para projetar sistemas embarcados de alta confiabilidade em projetos espaciais. Um projetista de sistemas deve avaliar as técnicas de mitigação pesquisadas, assim como as vantagens e desvantagens de cada uma em relação à confiabilidade exigida do sistema baseado em FPGA. Além disso, deve verificar o contexto de seu projeto, incluindo sistema, subsistemas e os recursos disponíveis para cada caso. No caso específico utilizado como exemplo e no contexto desta tese, o projetista deve considerar o espaçamento necessário, a redução da frequência máxima e outros efeitos associados como a confiabilidade. Este e outros trabalhos pesquisados na literatura podem servir como base para a adoção das técnicas de mitigação como a EDAC e TMR em projetos semelhantes (ROLLINS et al., 2004; SCHMIDT, 2011).

### 3.2.2 Balanços de massa e potência

Conforme Bogossian (2015), na área de projetos de satélites deve-se observar determinadas restrições e parâmetros, sendo este conceito denominado de balanço (*budget*). Mais especificamente, o balanço técnico (*technical budget*) pode ser definido como a decomposição de um valor global atribuído a cada produto ou fonte de erro.

Como exemplo de restrição pode-se citar a massa de um satélite, a qual está diretamente relacionada com o veículo lançador. Este sistema possui um limite de massa que pode colocar na órbita alvo, o qual deve ser atribuído aos diversos componentes do satélite, conforme o conceito de balanço. Se cada um dos produtos ou dispositivos observarem esta restrição, o limite global será cumprido. Uma faixa deve ser reservada para possíveis desvios de massa, após a soma dos valores atribuídos a cada componente do satélite. Deve-se também respeitar os critérios apropriados a cada caso para o estabelecimento desta margem e considerar que há uma tendência de aumento. Geralmente a dimensão (*size*) e massa (*weight*) crescem com as demandas associadas às cargas úteis e/ou à vida do satélite. Para o exemplo da massa o total de equipamentos, somado a esta margem, deve ser igual ou inferior à capacidade do veículo lançador. Para a potência o mesmo princípio deve ser observado, no qual se atribui a cada equipamento um valor específico. Neste caso, o total dos equipamentos somado à citada margem deve ser igual ou inferior à capacidade de geração em fim de vida útil, observando-se também a tendência de aumento. A potência requerida cresce com as demandas das cargas úteis e é limitada por fatores como peso e dimensão (BOGOSSIAN, 2015; SOUZA, 2002).

Com a identificação das principais técnicas verifica-se que estas apresentam vantagens, mas estão sujeitas a desvantagens e efeitos adversos. As técnicas de mitigação afetam diretamente o espaçamento físico, potência e confiabilidade. Também provocam efeitos adversos em relação à árvore de *clock*, velocidade de processamento e balanços de massa e potência. Devido a essas considerações as técnicas geralmente são analisadas de acordo com determinados critérios (parâmetros e métricas). Conforme a definição dos termos

(item 1.3) o parâmetro envolve a análise mais abrangente (conjunto de propriedades) que pode resultar em uma medida, obtida por intermédio de cálculos ou de conclusões sobre dados fornecidos (comportamento). A métrica geralmente envolve um padrão de medição, obtido por intermédio de cálculos ou análises quantitativas precisas. Esses critérios foram essenciais na pesquisa de estruturas de seleção do estado da arte, metodologia proposta e no estudo de caso (próximos capítulos).

## 4 EXEMPLOS DE ESTRUTURAS DE SELEÇÃO

Como foram realizadas várias tentativas de confecção de estruturas (algoritmos) envolvendo técnicas de mitigação, o presente capítulo analisa quatro exemplos. Estes foram considerados os mais relevantes (escolha racional). Na oportunidade em que foram pesquisadas as técnicas de mitigação, em um período mais recente (2014 a 2019). Dessa forma, são apresentadas as respectivas estruturas com a finalidade principal de identificar as oportunidades de aperfeiçoamentos (*gaps*). Com a análise dos exemplos de estruturas atuais utilizadas para a mitigação dos efeitos da radiação, o intuito deste capítulo é também realizar uma discussão mais detalhada sobre o tema. Para isso, são apresentados os principais *gaps* identificados, os aperfeiçoamentos que foram viáveis nesta tese e as novas oportunidades. Também são justificadas a utilidade, originalidade e generalidade da metodologia de mitigação da tese, ressaltando a contribuição do trabalho para a área espacial e científica, em geral.

Os projetos espaciais dependem muito do objetivo da missão, restrições e um *trade-off* entre parâmetros e métricas definidos por sistemas específicos, conforme definições do item 1.3. As soluções consideradas viáveis são abordadas e/ou detalhadas em cada trabalho existente sobre o tema. Qualquer dispositivo eletrônico que necessite utilizar FPGAs deve funcionar adequadamente com as aplicações da missão e superar as adversidades do espaço, principalmente relacionadas com o efeito da radiação. (SIEGLE et al., 2015).

Um projeto de um sistema de processamento embarcado deve atender ou exceder todas as restrições das missões como uso máximo de potência, taxa máxima de falha e tempo de vida mínimo necessário. Como estas restrições de missão são diferentes e frequentemente conflitantes, há a possibilidade de diversas soluções. Todavia, as mesmas podem ser definidas sem estabelecer um padrão de procedimentos que facilitem o processo de decisão. A escolha do melhor projeto é uma tarefa complexa, mas a experiência dos engenheiros eletroeletrônicos em determinadas soluções é decisiva. Geralmente, estes optam por utilizar dispositivos e técnicas familiares e as restrições de tempo de

desenvolvimento, assim como de recursos financeiros, podem limitar o escopo de novas soluções que atendam melhor o objetivo da missão (WULF et al., 2016).

Com o propósito de contextualizar os procedimentos atuais, para a pesquisa do estado da arte foram utilizadas as palavras-chave (em inglês e português), de 2014 a 2019: *top-level hierarchy*, *decision tree*, *decision flow*, *flowchart* e *framework* associadas com a sigla COTS e FPGA COTS. Analisando todos os trabalhos científicos pesquisados para a identificação do estado da arte, este capítulo apresenta estudos sobre quatro exemplos de estruturas com procedimentos mais relevantes. Estas estruturas aproximaram-se parcialmente dos procedimentos necessários para ajudar no trabalho dos engenheiros eletroeletrônicos, sendo relativos a FPGA COTS ou dispositivos eletrônicos COTS. A ordem utilizada nos estudos considerou a lógica de planejamento da metodologia proposta. A *top-level hierarchy* foi utilizada como referência de uma visão geral do tema, as *decision tree* e *decision flow* como exemplos de processos de decisão e a *flowchart*, como exemplo da aplicação de métricas. Para avaliar as estruturas pesquisadas no período citado, foram consideradas neste trabalho as seguintes informações:

- a) identificação do(s) FPGA(s) utilizado(s);
- b) tipos de efeitos de radiação e técnicas de mitigação utilizados;
- c) parâmetros e métricas para seleção das técnicas;
- d) abrangência da estrutura;
- e) testes, simulações e estudos de caso; e
- f) referências de dados e período.

## **4.1 Estruturas de seleção**

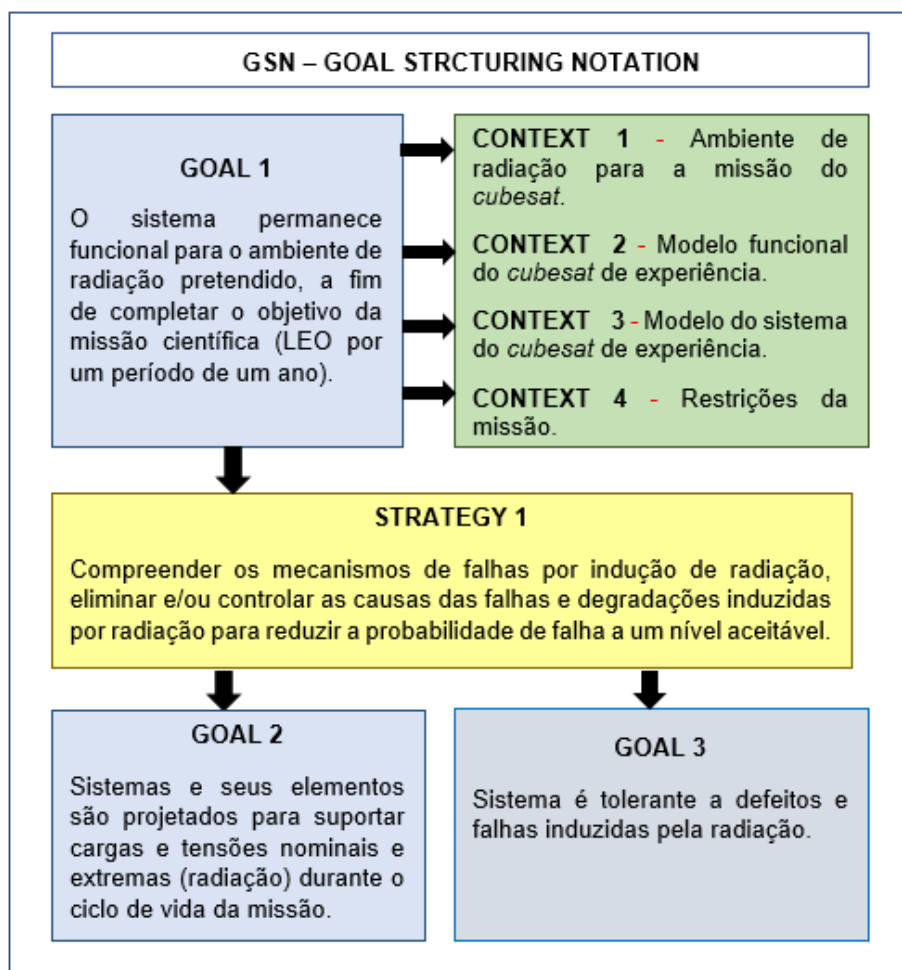
### **4.1.1 Estrutura 1 (*Top-level hierarchy*)**

A primeira estrutura a ser analisada é um exemplo de *top-level hierarchy* para componentes COTS, segundo Austin et al. (2017), em um estudo que demonstra como os principais efeitos da radiação para os circuitos podem ser abordados

conjuntamente. Esta referência é baseada em um artigo sobre *Reliability & Maintainability* (R&M) da NASA, que utiliza como estudo de caso um nanossatélite.

Neste caso, a abordagem para mitigar os efeitos da radiação é expressa usando notação de estrutura em metas (GSN - *Goal Structuring Notation*), onde são analisados dois tipos de efeitos da radiação para semicondutores: TID e SEE. Objetivos (*goals*), estratégias (*strategies*) e soluções (*solutions*) compõem a base da estrutura do GSN, sendo que os objetivos e estratégias são alternadamente refinados até que o objetivo seja específico e suficiente para ser apoiado por um elemento de solução como testes de peças, testes de sistema, simulações e análises, revisão de literatura e outros (Figura 4.1).

Figura 4.1 - Exemplo de *Top-level hierarchy*.



Fonte: Adaptado de Austin et al. (2017).

A estratégia geral deverá desenvolver-se pela compreensão dos mecanismos de falha induzidos por radiação, restritos a TID e SEE (SEL e SEFIs) neste exemplo. A estratégia geral subdivide-se em dois objetivos usados para mitigar esses mecanismos de falha. O objetivo (*goal*) 3 apresenta mitigação ao nível de sistema de falhas induzidas por radiação em componentes COTS.

O estudo de caso deve operar dentro de um determinado ambiente, com o caminho inicial considerando um elemento de contexto (*context*), que fornece informações sobre como um objetivo ou estratégia deve ser interpretado. Verifica-se que estas estruturas de *top-level hierarchy* são bem apropriadas para estabelecer as bases para uma análise mais conceitual, onde podem ser definidos principalmente os objetivos e estratégias. Quanto às técnicas de mitigação, o estudo de caso menciona somente circuito de proteção e *careful* COTS no texto do artigo.

#### **4.1.2 Estrutura 2 (*Decision tree*)**

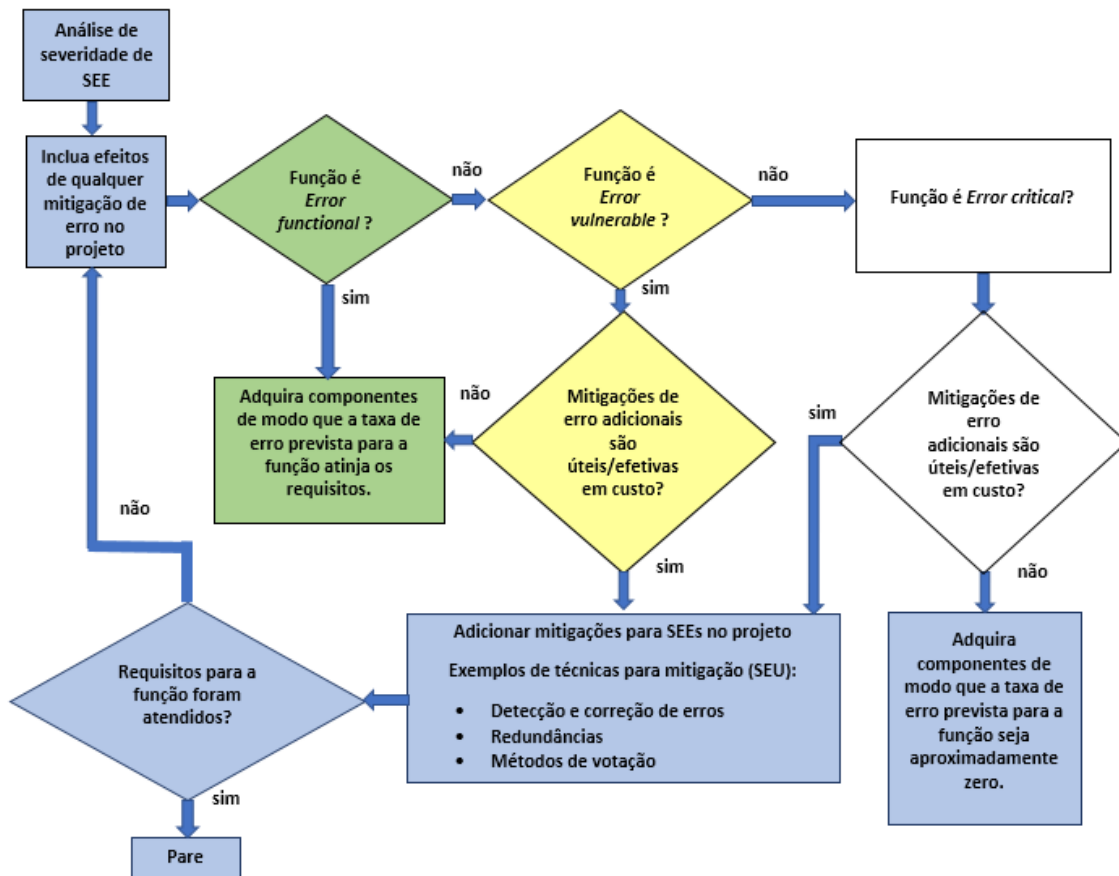
A segunda estrutura se refere a uma *decision tree* relativa a componentes eletrônicos COTS, conforme Machado (2014), com enfoque em SEE e embasamento em norma da NASA. A Figura 4.2 apresenta a *decision tree* para análise de criticalidade, descrevendo uma estrutura representativa e níveis de risco ou requisitos de tolerância correspondentes.

Este estudo ressalta a determinação da criticalidade, ou seja, o impacto de SEE nas funções executadas por um dispositivo (nível operacional). As classes de criticalidade representam as diferentes gravidades da ocorrência de SEE. Após essa análise é possível determinar se as necessidades de tolerância e os esquemas de mitigação são adequados para proteger o sistema dos impactos. Nesta *decision tree*, há um índice de criticalidade para as funções executadas pelos sistemas com três grupos: *error functional* (alta probabilidade de SEE pode ser aceita), *error vulnerable* (baixa probabilidade de SEE pode ser aceita) e *error critical* (funções não podem ser afetadas por SEE). Sob o aspecto de estrutura, esta *decision tree* é mais próxima de um processo de seleção de técnicas, pois apresenta possibilidade de decisões baseadas em um parâmetro bem definido



de criticalidade. Também menciona algumas possibilidades de técnicas de mitigação de falhas como EDAC, redundância e métodos de votação (subtipo de redundância). Apesar desta estrutura ser mais operacional, é bem específica para um parâmetro.

Figura 4.2 – Exemplo de *Decision tree*.



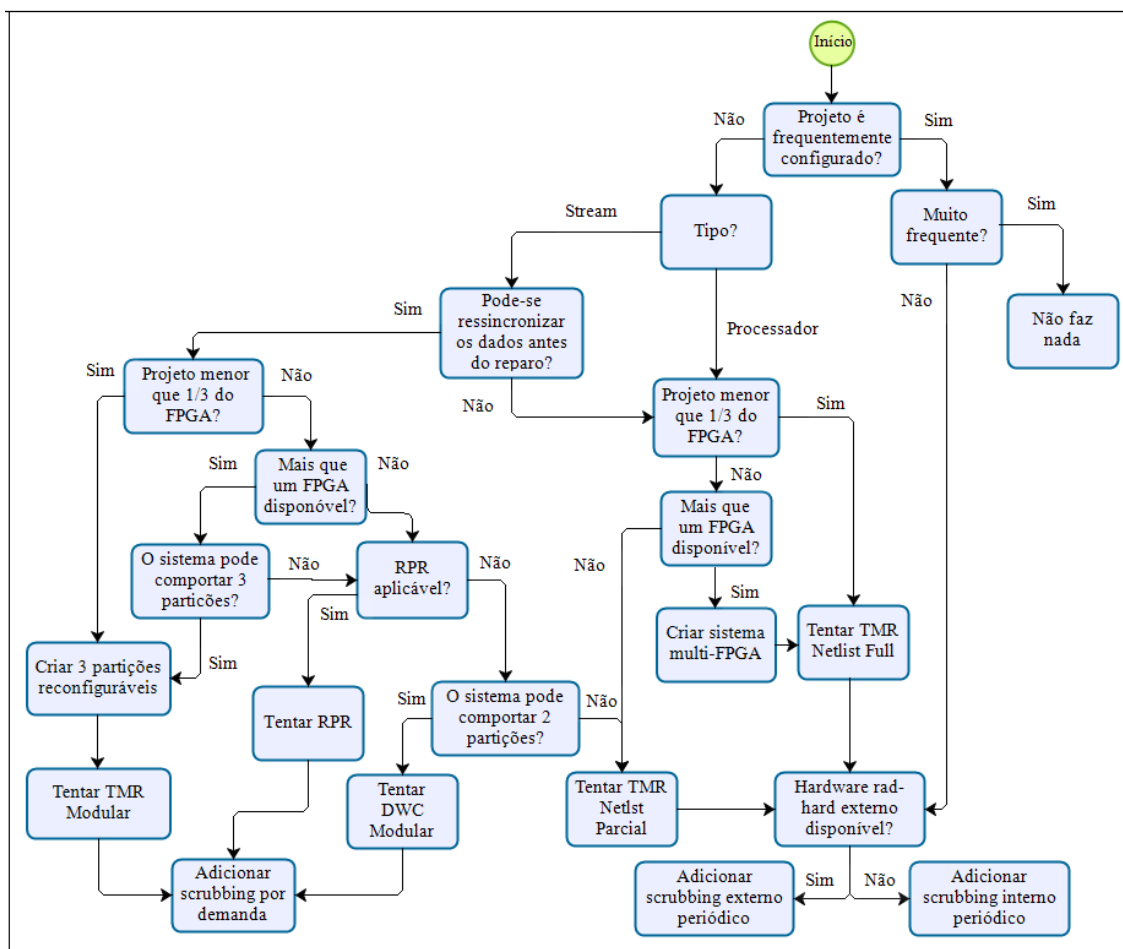
Fonte: Adaptado de Machado (2014).

#### 4.1.3 Estrutura 3 (*Decision flow*)

A terceira estrutura, de Siegle et al. (2015), apresenta informações sobre FPGAs de determinados fabricantes (Xilinx/Microsemi), os principais efeitos da radiação (SEE/TID) e algumas técnicas de tolerância a falhas: TMR e RPR (subtipo de TMR), EDAC, Reconfiguração e Duplicação (DWC). As informações no artigo foram obtidas de uma revisão bibliográfica com um período total de dez anos, não sendo especificado. Este artigo apresenta detalhadamente (com *decision*

flow) os circuitos de alguns exemplos de técnicas e suas aplicações. O mesmo é baseado no parâmetro de espaço disponível no FPGA ou na utilização de mais de um FPGA. No decorrer da explanação ressalta-se a importância de simular a operação do dispositivo e das técnicas de mitigação com injeção de falhas. A Figura 4.3 apresenta o *decision flow* da terceira estrutura, abordando algumas técnicas de mitigação citadas.

Figura 4.3 – Exemplo de *Decision flow*.



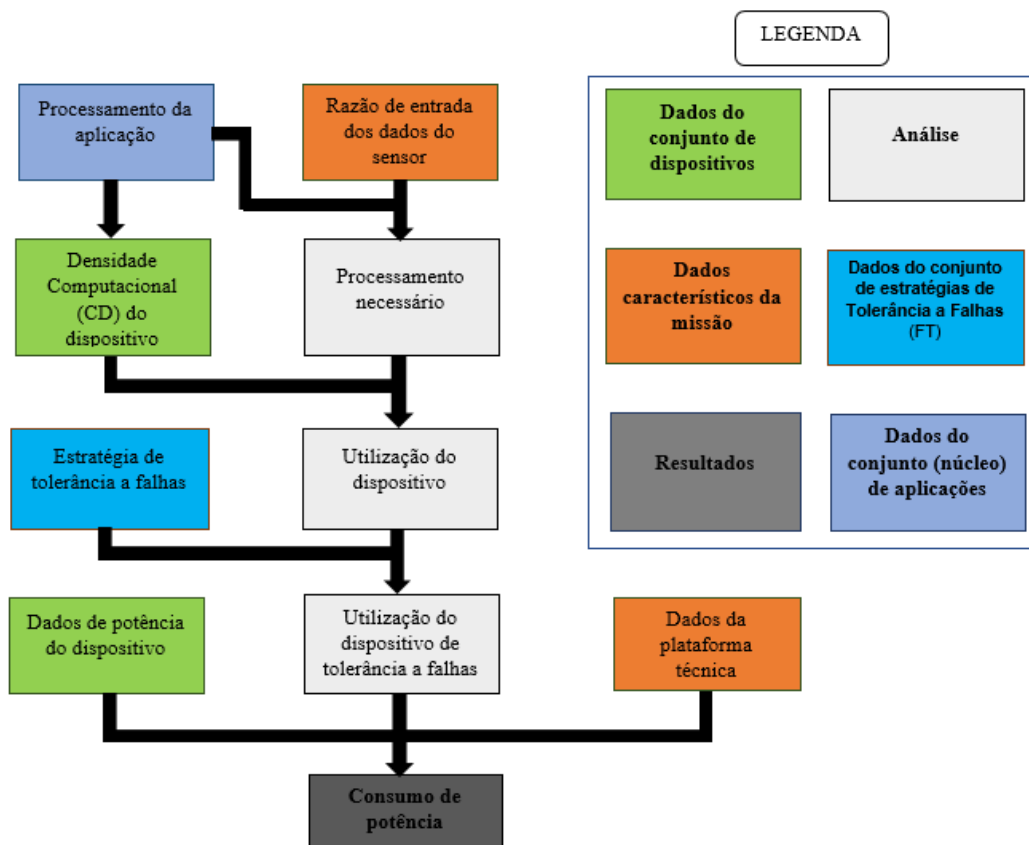
Fonte: Adaptado de Siegle et al. (2015).

#### 4.1.4 Estrutura 4 (Flowchart)

A quarta estrutura, de Wulf et al. (2016), possui como objetivo avaliar e otimizar a utilização de FPGAs na área espacial e não se configurar como uma estrutura sequencial para a seleção de técnicas. O artigo apresenta como estudo de caso

FPGAs da Xilinx (aplicação em nanossatélite), menciona os principais efeitos da radiação (SEE/TID) e algumas técnicas de tolerância a falhas, principalmente relacionadas a TMR, EDAC e Reconfiguração. Há informações de que utiliza banco de dados obtido da literatura, porém não há detalhes sobre o período de coleta de dados e nem sobre esta fonte de informações. Os *flowcharts* da quarta estrutura apresentam informações sobre a utilização de métricas e uma metodologia de seleção (Pareto-ótimo). Estes são separados por métricas e há cálculos específicos das mesmas: potência, confiabilidade e vida útil. A Figura 4.4 apresenta um *flowchart* parcial deste artigo, utilizando como exemplo a métrica de potência.

Figura 4.4 - Exemplo de *Flowchart*.



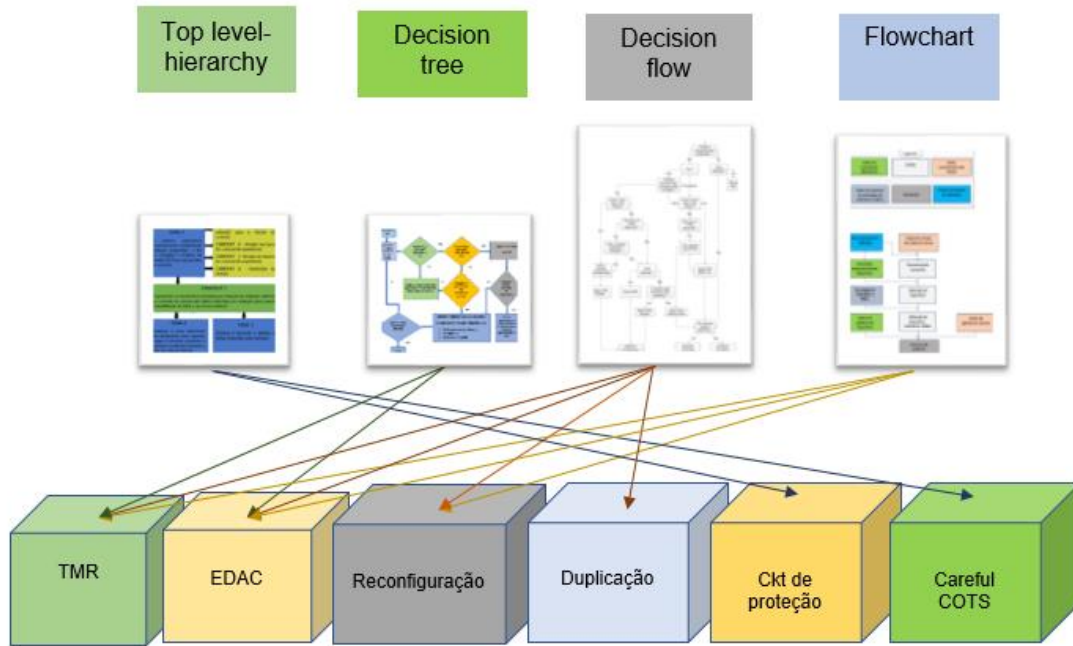
Fonte: Adaptado de Wulf et al. (2016).

Há uma ênfase no estudo de TID, caracterizando melhor a métrica relacionada com o tempo de vida útil. Somente mencionada a possibilidade de injeção de falhas para testes, não fornecendo mais detalhes sobre o assunto.

### 4.1.5 Sumarização das estruturas

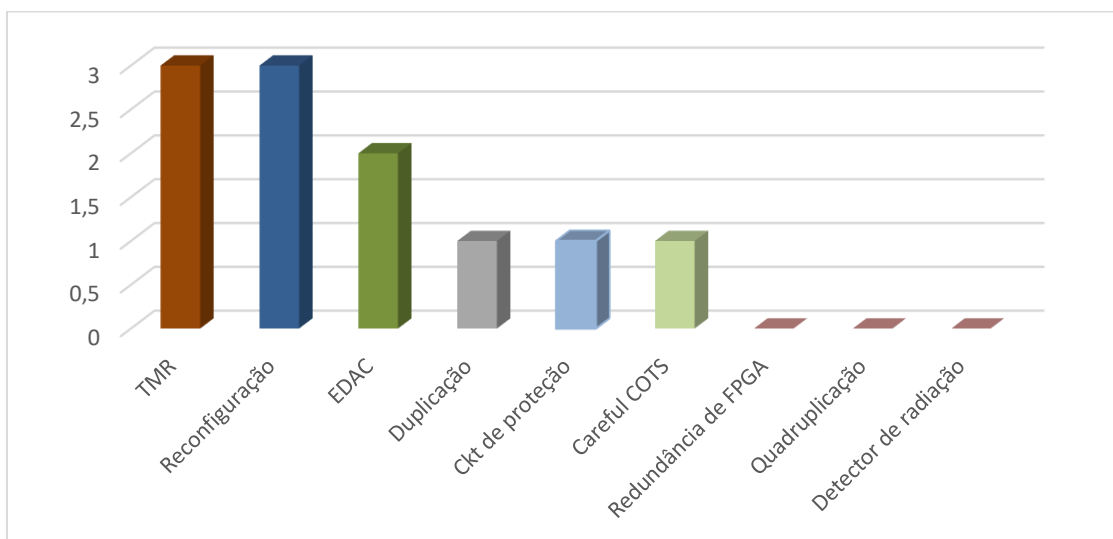
As Figuras 4.5 e 4.6 demonstram um resumo do estudo realizado, ressaltando que estas quatro estruturas foram utilizadas como exemplos para o estado da arte.

Figura 4.5 – Técnicas de mitigação (exemplos de estruturas).



Fonte: Produção do autor.

Figura 4.6 - Amostragem estatística (frequência de técnicas de mitigação).



Fonte: Produção do autor.

A Figura 4.5 demonstra sinteticamente algumas das principais técnicas de mitigação que foram abordadas nas quatro estruturas demonstradas no estado da arte. A Figura 4.6 apresenta uma pequena amostragem estatística de abordagem de cada uma das técnicas.

Após a apresentação dos exemplos de estruturas que abordam as técnicas de mitigação, pode-se realizar uma discussão sobre a pesquisa realizada, incluindo aperfeiçoamentos.

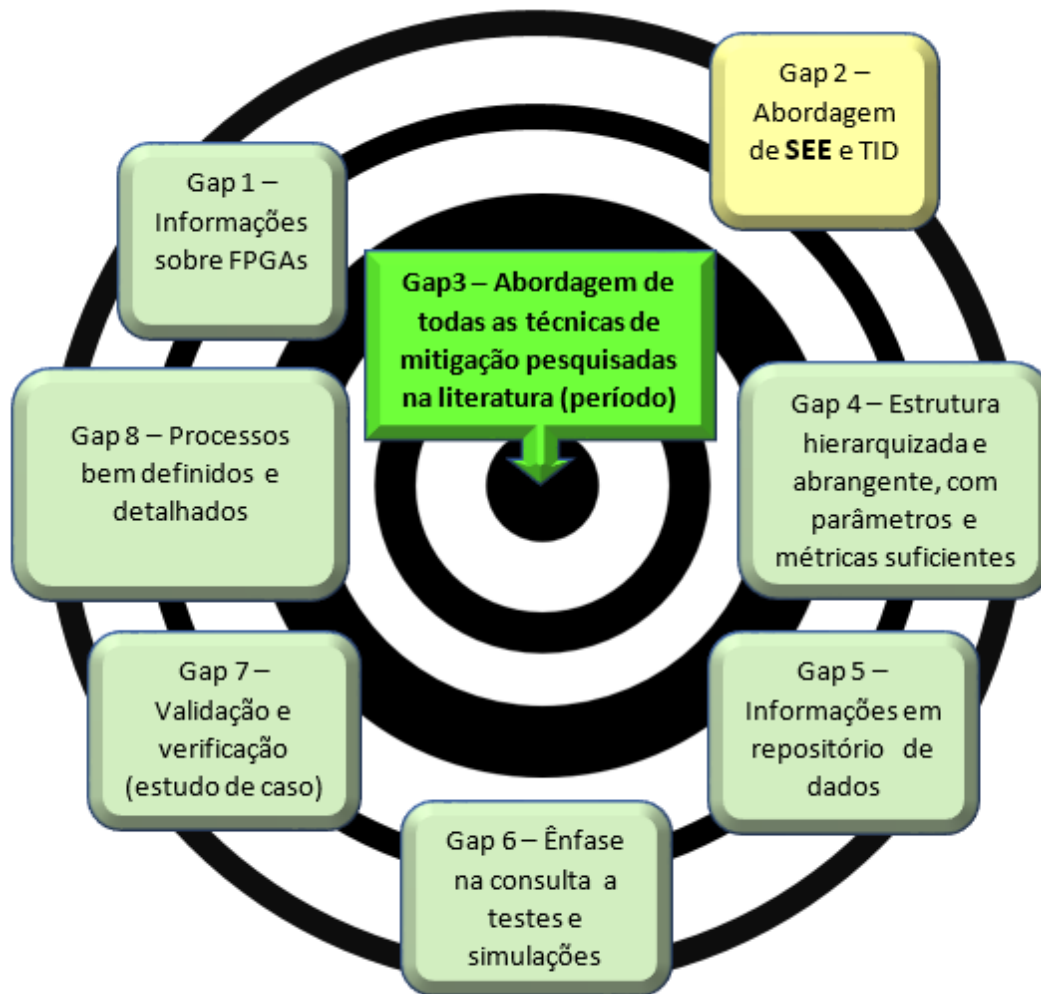
## **4.2 Discussão sobre as estruturas**

Uma análise das estruturas apresentadas nos trabalhos científicos do estado da arte demonstrou resultados parciais de apoio aos engenheiros eletroeletrônicos quanto à mitigação de falhas em FPGAs COTS, causadas pela radiação espacial. Conforme o exposto nesta fase, o engenheiro ainda não possui uma metodologia o mais completa possível que indique todos os procedimentos necessários para a escolha dessas técnicas, compatíveis com a aplicação e missão.

### **4.2.1 Gaps, aperfeiçoamentos e novas oportunidades**

A Figura 4.7 sintetiza as limitações atuais (*gaps*) com o objetivo de esclarecer a necessidade de uma nova metodologia. As limitações atuais foram embasadas nas seguintes referências, na sequência das estruturas apresentadas: Austin et al., 2017; Machado, 2014; Siegle et al., 2015; Wulf et al., 2016. Ao enfatizar o *gap 3* (alvo), outros foram superados com graus variados de intensidade, representados pela maior ou menor proximidade com o alvo. Para o desenvolvimento da tese foram analisados os *gaps* mais relevantes das estruturas de seleção do item 4.1 (estado da arte), conforme a Tabela 4.1. Na tabela mencionada também são relatados os aperfeiçoamentos realizados durante o desenvolvimento desta tese e as oportunidades de trabalhos e projetos futuros.

Figura 4.7 – Resultados da nova metodologia (superação dos *gaps*).



Fonte: Produção do autor.

Tabela 4.1 – Limitações atuais (*gaps*), aperfeiçoamentos e oportunidades.

Limitações atuais ( <i>gaps</i> )	Aperfeiçoamentos realizados	Oportunidades de trabalhos futuros
<p>1. Informações limitadas sobre FPGAs, principalmente os dados técnicos necessários para a metodologia.</p> <p>2. As pesquisas geralmente abordam os efeitos de SEE e TID, mas apresentam ênfase em apenas um dos casos. Somente um artigo analisado (AUSTIN et al.; 2017) realiza as duas abordagens (alto nível).</p>	<p>Estudo sobre o histórico dos FPGAs, principais tipos e fabricantes, dados técnicos importantes para a metodologia, de modo a contextualizar melhor o processo de seleção de técnicas de mitigação para FPGAs COTS.</p> <p>Devido à limitação do escopo foi realizada a abordagem de SEE com estruturas de alto nível, níveis intermediários e operacionais para o efeito mencionado. Este nível de detalhamento não foi observado nas estruturas do estado da arte.</p>	<p>Aumento da contextualização, caso seja pertinente.</p> <p>Inclusão da análise de TID.</p>

(Continua)

Tabela 4.1 – Continuação.

Limitações atuais ( <i>gaps</i> )	Aperfeiçoamento realizados	Oportunidades de trabalhos futuros
<p>3. As pesquisas geralmente abordam várias técnicas de mitigação, porém as estruturas de seleção do item 4.1 são incompletas, mencionando apenas algumas delas (geralmente em torno de 22,22 a 66,67% das pesquisadas na literatura).</p>	<p>Consideração do maior número possível de técnicas de mitigação estudadas durante um determinado período. Algumas não são tão conhecidas, mas podem ser importantes para uma determinada aplicação. O período de pesquisa foi suficiente para caracterizar estatisticamente a utilização das diversas técnicas.</p>	<p>Pesquisa de novas técnicas ou subtipos das pesquisadas. Aumento do período de pesquisa, caso seja necessário.</p>
<p>4. As estruturas de seleção (item 4.1) apresentam parâmetros diversificados de análise, como criticalidade, capacidade (espaçamento físico interno e externo) e métricas (potência e confiabilidade).</p>	<p>Utilização de estrutura hierarquizada e abrangente (alto nível, níveis intermediários e operacionais) em todos os procedimentos propostos nesta tese. Estabelecimento de parâmetros e métricas bem definidos, justificando a importância de cada um deles para cada técnica. Inclusão de mais cinco parâmetros (viabilidade, balanço de massa/potência e resposta de <i>clock</i>/velocidade de processamento) e mais duas métricas (pesquisa e gerenciamento de projeto).</p>	<p>Inclusão de mais parâmetros e métricas. Por exemplo, podem ser citados cálculos mais específicos sobre os efeitos térmicos e outros relacionados com a eficiência (além dos balanços de massa/potência e resposta de <i>clock</i>/velocidade de processamento).</p>
<p>5. Informações limitadas sobre referências de dados, inclusive sobre o período de coleta de dados, sendo que apenas um artigo (SIEGLE et al., 2015) menciona o período de cerca de dez anos.</p>	<p>Estudos mais detalhados sobre um repositório de documentos ou informações, selecionando-os em um período de 2000 a 2019, partindo-se da hipótese de que as técnicas mais abordadas pelos pesquisadores temporalmente podem servir de referência para a seleção. Esses estudos contêm muitas informações sobre a técnica utilizada, as simulações e os testes necessários. A metodologia demonstrou como o repositório foi organizado e quais as informações utilizadas nos procedimentos. As informações desse repositório foram referenciadas na literatura (apêndices).</p>	<p>Organização de um banco de dados.</p>
<p>6. Apenas dois artigos (SIEGLE et al., 2015; WULF et al., 2016) ressaltam a necessidade de testes e simulações (injeções de falhas).</p>	<p>Inserção de procedimentos que incentivem o engenheiro eletroeletrônico a verificar testes e simulações no repositório ou realizá-los, caso seja pertinente.</p>	<p>Aumento da quantidade de testes e simulações que poderão ser consultados.</p>
<p>7. Apenas dois artigos (WULF et al., 2016; AUSTIN et al., 2017) apresentam validação com estudo de caso (nanossatélites).</p>	<p>Validação da metodologia com estudo de caso e verificação, comparando a técnica de mitigação escolhida com outras (mesmo FPGA ou similares).</p>	<p>Validação e verificação com outros estudos de caso ou outras comparações.</p>

(Continua)

Tabela 4.1 – Conclusão.

Limitações atuais ( <i>gaps</i> )	Aperfeiçoamento realizados	Oportunidades de trabalhos futuros
8. As estruturas não apresentam detalhes suficientes para tornar o processo bem definido, pois grande parte das informações ainda permanece nos textos explicativos.	Emprego de estruturas como <i>top-level hierarchy, decision tree, decision flow, flowchart</i> e outras que possam facilitar a compreensão e futura automação da metodologia. Todos os procedimentos e técnicas utilizados foram representados na estrutura e não apenas mencionadas nos textos explicativos.	Automação do resultado desta tese ou de outras metodologias, verificando a viabilidade do emprego da inteligência artificial.

Fonte: Produção do autor.

#### 4.2.2 Utilidade, originalidade e generalidade de uma nova metodologia

Com foco na sua utilidade, um projeto de sucesso de um sistema de processamento embarcado deve atender ou exceder todos os requisitos das missões, como potência, confiabilidade e outros. O principal desafio de projeto é a seleção de estratégia de tolerância a falhas no dispositivo devido ao efeito da radiação e à diversidade de técnicas existentes (BRANKE et al., 2008).

A metodologia proposta deve contribuir de forma relevante para esse sucesso, na medida em que se apresenta de forma hierarquizada e abrangente: com estruturas de alto nível, níveis intermediários e operacionais. Os procedimentos são embasados por parâmetros e métricas bem definidos (item 1.3), com as justificativas da importância de cada um deles para cada técnica.

Esta metodologia é original e evolutiva, propondo aperfeiçoamentos e oportunidades de trabalhos futuros para todas as limitações analisadas, inclusive para o *gap* 3. Este *gap* (número de técnicas selecionadas) está relacionado ao fato de que as pesquisas geralmente abordam várias técnicas de mitigação, porém as estruturas mais relevantes analisadas (quatro) não são abrangentes. Estas mencionam até 22,22% das técnicas em um único trabalho científico, atingindo 66,67% se forem somados os resultados de todas as estruturas do estado da arte (seis técnicas). A tese abrangeu um levantamento da aplicação de todas as técnicas pesquisadas em diversos projetos no período de 2000 a 2019, totalizando 186 trabalhos científicos e 9 técnicas (Apêndices C e D). Como



estruturas originais da tese são propostas: uma de alto nível, cinco de fluxo de dados e dez algoritmos (fluxo de dados e decisão).

A originalidade da metodologia pode ser observada também nos outros aperfeiçoamentos realizados. Foram inseridos novos parâmetros (cinco) e métricas (duas), correspondendo a 58% de todos os parâmetros e métricas da metodologia proposta. Um modelo de ranqueamento original foi utilizado com métrica de pesquisa (estatística) e métrica de projeto (método de decisão). As estruturas de seleção sempre são referenciadas por um repositório de documentos, apresentando as informações quantitativas necessárias ao projeto como: estatística de trabalhos científicos (com gráficos), método de decisão, dados e recursos utilizados (Apêndices A a I). Finalmente, as estruturas estimulam a realização e/ou consulta a testes e simulações (Apêndice C).

A metodologia é genérica, podendo ser aplicada em diferentes missões de curta duração, até três anos (MANEA, 2018). Mesmo sendo conceitual pode ser automatizada para a utilização de uma forma rápida e eficiente (algoritmos). Também pode ser considerada evolutiva, permitindo a sua expansão e adaptação para outros efeitos da radiação e componentes eletroeletrônicos. A validação da metodologia foi realizada por estudo de caso, com nanossatélite. A verificação foi embasada na comparação da técnica escolhida com outras, em exemplos específicos de FPGAs, de acordo com observações da pesquisa realizada.

- a) A literatura contém muitos exemplos de estruturas parciais que foram desenvolvidas para o atendimento de determinadas aplicações, em uma missão específica (metodologia parcial). Os detalhes e resultados obtidos destas técnicas fazem parte do repositório de documentos ou informações.
- b) Os trabalhos científicos do estado da arte e pesquisa bibliográfica são exemplos relevantes de estruturas que podem ser utilizados como referência. Como as técnicas da metodologia proposta são coincidentes com as mencionadas nesses trabalhos científicos, foram extraídos dados e informações para validação e comparações de resultados relativos a diferentes técnicas (verificação).

## 5 METODOLOGIA DE MITIGAÇÃO DE FALHAS BASEADA EM PARÂMETROS E MÉTRICAS (MFPM)

Neste capítulo, inicia-se o desenvolvimento da metodologia e são descritas as ferramentas para a seleção das técnicas, tornando-a menos subjetiva possível. A primeira consiste em determinar a relevância de cada técnica no meio científico ao realizar uma pesquisa estatística das mesmas considerando o período de 2000 a 2019. A segunda explora um dos métodos multicritérios mais utilizados para o gerenciamento de projetos. Com a soma de ambas as contribuições é estabelecido um ranqueamento original das técnicas, o que é um fato importante para início dos procedimentos em um algoritmo geral de seleção. Posteriormente, a metodologia é apresentada por intermédio de diversas estruturas, com os aperfeiçoamentos necessários em relação ao estado da arte. Primeiramente é utilizada uma estrutura de alto nível em que são especificados os objetivos, estratégias, contextos, hipóteses e processos da metodologia. As estruturas de nível intermediário apontam todo o trajeto para o desenvolvimento da metodologia e complementos como a contextualização, dados, critérios, procedimentos e comparação de resultados. Para que o nível intermediário possa ser viável são desenvolvidos os algoritmos, ou seja, os procedimentos necessários para que a seleção possa ser efetuada.

O FPGA COTS deve funcionar bem conforme requisitos exigidos pela missão e ser capaz de operar de forma eficaz no meio ambiente espacial, com uma estratégia apropriada para garantir a operação correta sem sobrecarga excessiva de recursos. Foram observadas diversas contribuições a respeito desse assunto na literatura, porém há alguns *gaps* que podem ser explorados para que esta metodologia possa cumprir o seu propósito, conforme a Tabela 4.1. A metodologia denomina-se **Metodologia de Mitigação de Falhas baseada em Parâmetros e Métricas (MFPM)** e possui algumas principais características.

- a) Apresenta forma hierarquizada com alto nível, níveis intermediários e operacionais (algoritmos) para os procedimentos pertinentes,

estabelecendo parâmetros e métricas bem definidos, de acordo com a literatura sobre o tema.

- b) Como ocorreu a expansão do número de fabricantes de FPGAs no final da década de 90, a pesquisa sobre técnicas de mitigação considerou os anos de 2000 a 2019, abrangendo um período de 20 anos, com um levantamento da aplicação das técnicas nos diversos projetos.
- c) Esta proposta é apoiada por um repositório de documentos, sendo estes selecionados no período citado. Deve-se considerar a hipótese de que as técnicas mais abordadas pelos pesquisadores podem servir de referência para a seleção. As informações (do repositório) são organizadas e referenciadas nos níveis operacionais da estrutura metodológica, na ordem em que os procedimentos são executados.

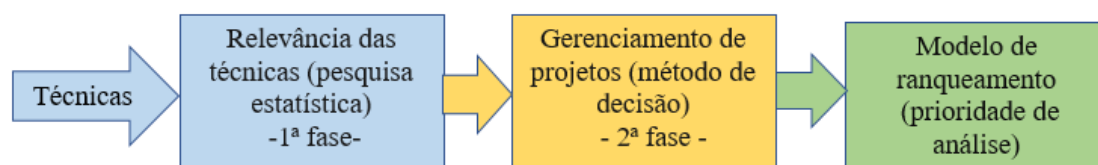
O *gap* 3 da Tabela 4.1 (número de técnicas selecionadas) indica que as estruturas atuais analisadas mencionam 66,67% das técnicas, no máximo (estado da arte). Conforme os dados estatísticos do Apêndice C, o trabalho científico mais abrangente também aborda isoladamente 66,67% das técnicas. Nesse caso se ressalta a hipótese do item c (MFPM), baseada na disponibilidade do maior número de técnicas de mitigação abordadas, aumentando a probabilidade de sucesso da metodologia. Algumas dessas técnicas são fortemente empregadas na bibliografia, enquanto outras não são tão conhecidas. Entretanto, como as aplicações e seus requisitos são variáveis conforme os projetos relacionados aos diferentes FPGAs, as menos conhecidas podem ser importantes em determinadas implementações.

### **5.1 Modelo de ranqueamento**

Um dos passos mais importantes na MFPM é o modelo de ranqueamento, reforçando a originalidade da tese. Na literatura há diversas formas para a obtenção de um *ranking*, ou seja, a sequência dos conceitos mais relevantes para um determinado assunto. No caso da tese, este *ranking* foi essencial para

definir a prioridade em que foram analisados os conceitos de projeto, que são as técnicas de mitigação. Esta prioridade geralmente é estabelecida por opiniões de especialistas de forma subjetiva ou adotando métodos numéricos e de decisão. Há casos em que são adotadas mais de uma forma, com a soma dos resultados numéricos obtidos. No caso da presente tese foi adotado um modelo de ranqueamento próprio constituído de pesquisa estatística e método de decisão. A pesquisa estatística mostra a relevância científica das técnicas de mitigação no aspecto quantitativo, verificando o número de trabalhos publicados entre os anos de 2000 a 2019. Considera-se a hipótese de que uma técnica é mais relevante na medida em que é citada nesses trabalhos, mesmo que para efetuar comparações. Assim, não é o conteúdo ou abrangência (aspecto qualitativo) do assunto que está sendo avaliado, mas o cômputo das técnicas abordadas. Esses trabalhos constituem o núcleo do repertório de documentos ou informações, cabendo ao engenheiro realizar uma análise mais detalhada quando julgar pertinente para apoiar o processo de decisão. Todavia, mesmo que uma técnica seja avaliada como relevante pela estatística, pode ocorrer o caso de a mesma não ser tão vantajosa em gerenciamento de projetos, principalmente nos critérios de custo e implementação. Devido a essas considerações, o modelo de ranqueamento da tese baseou-se na relevância das técnicas (pesquisa estatística) e conceitos de gerenciamento de projetos (método de decisão). Embora seja comum nesses métodos a atribuição de pesos, no modelo adotado este fato não ocorreu. Cada uma das partes do modelo contribuiu com 50% dos procedimentos, conforme a Figura 5.1. Para avaliar a área de gerenciamento foram distribuídos questionários a especialistas em componentes COTS que possuem atividades relacionadas aos projetos do INPE.

Figura 5.1 – Modelo de ranqueamento da MFPM.



Fonte: Produção do autor.

## 5.2 Relevância científica das técnicas de mitigação

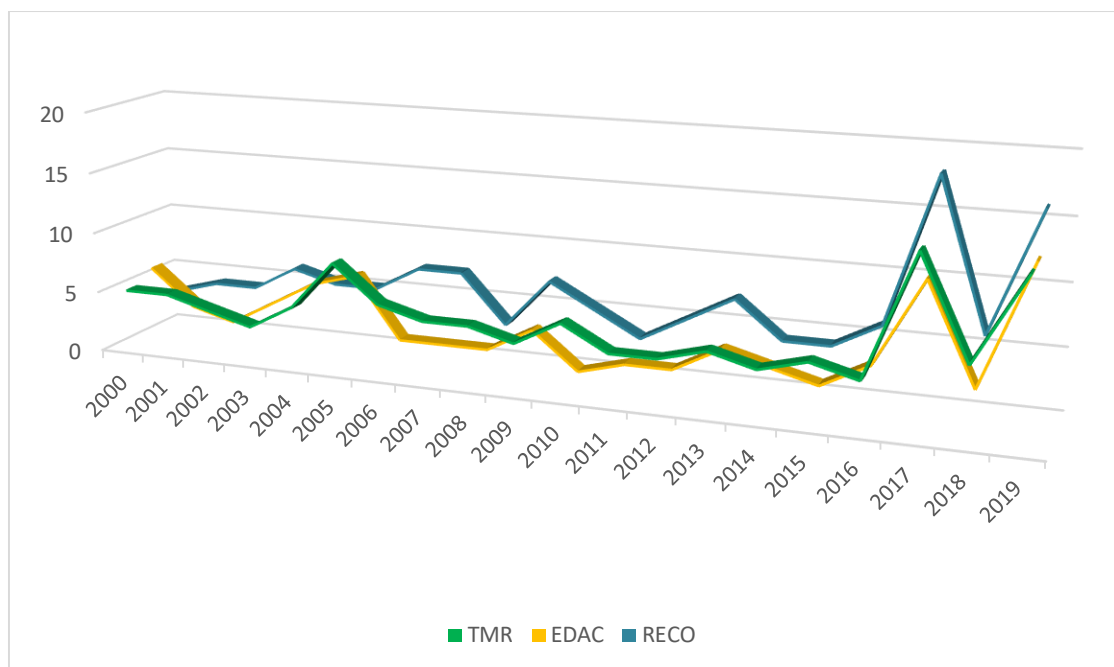
Conforme o histórico dos FPGAs apresentado no Capítulo 2, o lançamento dos FPGAs no mercado iniciou-se na década de 1980. No entanto, somente na década de 1990 ocorreu a expansão do número de fabricantes, principalmente no período final. Com o objetivo de realizar um estudo abrangente sobre a utilização das técnicas de mitigação, as pesquisas de trabalhos científicos sobre o tema iniciaram-se no ano de 2000, evitando dados muito antigos. Esta pesquisa prosseguiu até o ano de 2019, consistindo-se em uma amostragem mais atualizada desses trabalhos.

Para o cômputo da relevância científica foram verificadas as técnicas abordadas em cada trabalho. O número de trabalhos amostrados foi variável, com uma frequência menor nos anos próximos a 2000, mas com um aumento nos anos mais próximos a 2019. A estatística completa pode ser visualizada nos Apêndices C e D, com as respectivas referências. Pelo comportamento dos gráficos (Figuras D.1 e D.2) pode-se constatar que estes seguem a tendência do trabalho estatístico das estruturas do estado da arte, com relação à abordagem quantitativa das técnicas (Figura 4.6). A maioria dos trabalhos pesquisados adota a possibilidade de complementar a técnica principal com outras por diversos motivos que são apresentados no conteúdo. Com a finalidade de facilitar a compreensão dos gráficos e pesquisa na literatura, foram adotadas duas formas de abreviaturas, conforme a Tabela B.1 e Apêndices C e D: D1 (CKPR), D2 (CACT), D3 (TMR), D4 (REFP), D5 (EDAC), D6 (RECO), D7 (DUPL), D8 (QUAD) e D9 (DERA).

Para analisar estes resultados foram confeccionados mais três gráficos derivados do principal, separando-os por comportamento das técnicas de mitigação. O primeiro grupo é o das técnicas de mitigação que apresentaram mais referências no período analisado, com uma maior variação das mesmas (Figura 5.2). O segundo grupo é das técnicas de mitigação que apresentam um número médio de referências no período analisado, com uma variação menor (Figura 5.3). O terceiro e último grupo é o das técnicas de mitigação que

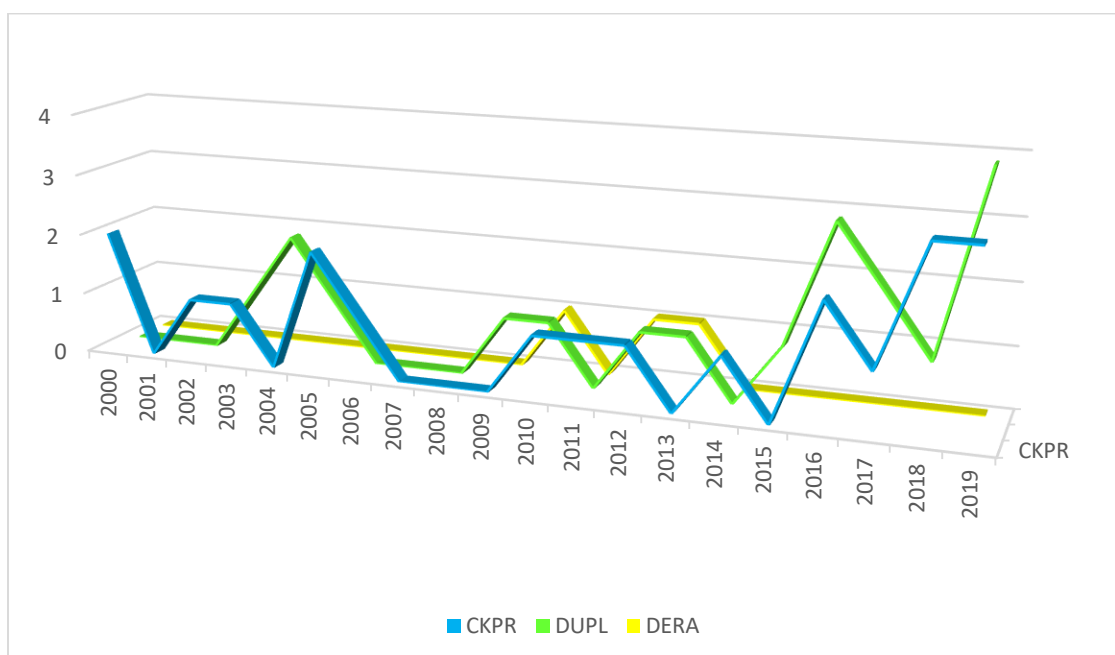
apresentaram um número reduzido de referências no período analisado, com variações mínimas (Figura 5.4).

Figura 5.2 – Pesquisa estatística das técnicas (TMR, EDAC e RECO).



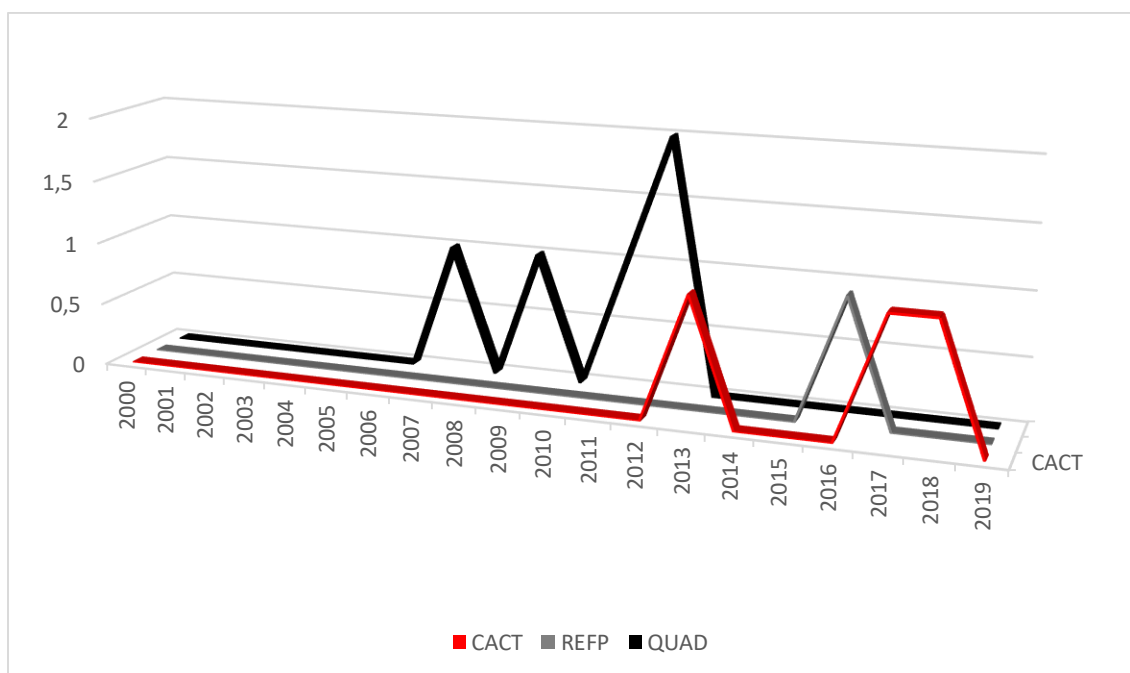
Fonte: Produção do autor.

Figura 5.3 – Pesquisa estatística das técnicas (CKPR, DUPL e DERA).



Fonte: Produção do autor.

Figura 5.4 – Pesquisa estatística das técnicas (CACT, REFP e QUAD).



Fonte: Produção do autor.

Como complemento da análise efetuada verifica-se que o primeiro e segundo grupos demonstram um aumento da pesquisa nos últimos anos (2015 a 2019), devido (em tese) ao interesse pelo uso de COTS e das técnicas do estudo.

### 5.3 Método de decisão

Na tomada de decisões em diversas áreas são utilizados vários métodos, conforme Pugh (1991); Bambace (2013), desde os mais simples até os mais complexos e informatizados. Para esta metodologia, foi definido um método de decisão multicritério com o intuito de tornar o procedimento mais técnico e menos subjetivo. Um dos aspectos essenciais que necessita ser definido é o critério ou critérios que deverão ser utilizados. Geralmente, quando o problema é mais elaborado, há a necessidade de analisar vários critérios. Na área de gerenciamento de projetos alguns critérios são primordiais como custo, tempo e qualidade. No caso da escolha de técnicas de mitigação, a utilização de um método de decisão multicritério é muito importante para a definição de um

ranqueamento das mesmas, para que sejam priorizadas as que são mais pontuadas de acordo com alguns critérios de projetos.

Considera-se que o método de decisão multicritério mais antigo que se conhece é o de atribuir um peso a cada critério de acordo com a sua relevância. Após atribuir uma nota relativa ao desempenho de uma solução em cada critério, pode-se efetuar o cálculo da nota da opção como a soma dos produtos dos pesos de cada critério. No entanto, com a evolução desse assunto surgiram muitos outros métodos mais elaborados como o AHP (*Analytic Hierarchy Process*), ANP (*Analytic Network Process*), MAUT (*Multiple Attribute Utility Theory*), e outros. Os métodos variam com relação às suas características, podendo envolver notas (quantitativos) ou ser de exclusão sucessiva (*out ranking*).

A matriz de Pugh foi desenvolvida pelo professor Stuart Pugh da Universidade de *Strathclyde*, em *Glasgow* (Escócia) na década de 90. Este método surgiu como um método híbrido, de exclusão sucessiva ou notas. Na literatura pode ser pesquisado com outros nomes como método de Pugh, análise de Pugh, método de matriz de decisão e outros. Pode ser usado em diversas áreas, como a área financeira, mas em decisões relativas a projetos é uma ferramenta muito apropriada e atual. Este método evoluiu para uma seleção com muitos ciclos, de forma a comparar uma solução de referência com todas as outras, eliminando paulatinamente a possibilidade de combinar uma opção fraca com outras semelhantes. A matriz de Pugh geralmente é utilizado em trabalho de equipe ou de consulta a especialistas (assessorias), de forma presencial ou à distância (*home-office*). Mesmo com um trabalho sistemático e detalhado, leva menos tempo e é mais barato em comparação com as consequências de solução errada em um projeto.

O método ressalta dois fatores críticos na seleção multicritério: o levantamento dos atributos importantes antes do início da seleção e a identificação de todas as soluções interessantes ao problema, antes do início das comparações. O método é descrito em dez passos principais com as observações relativas a MFPM, conforme a Tabela 5.1.



Tabela 5.1 – Passos da matriz de Pugh.

Passos	Descrição
1	Desenvolver um conjunto de critérios baseados em desejos e necessidades do cliente. <b>MFPM:</b> critérios de gerenciamento de projetos.
2	Melhorar estes critérios, incluindo qualquer item de natureza funcional.
3	Desenvolver um grupo de conceitos de <i>design</i> que são destinados a satisfazer os critérios. <b>MFPM:</b> técnicas de mitigação de falhas.
4	Usar uma matriz com lista de critérios à esquerda e os conceitos na parte superior à direita. Deve ser iniciado com um dado número de critérios e um número de opções maior que o de critérios.
5	Selecionar um dos conceitos como linha de base ( <i>Datum</i> ) e realizar comparações.
6	Avaliar cada conceito em relação a cada um dos critérios. Determinar se é melhor (+), neutro (0) ou pior (-) do que a linha de base. A referência ( <i>Datum</i> ) ideal é aquela em que a diferença do número de itens marcados com (+) e (-) seja a mais perto de zero possível. <b>Obs.:</b> Alternativamente, pode-se atribuir um -1, 0, 1 com base em como cada escolha se comportaria em relação a um conjunto de critérios relacionados. Pode-se atribuir a cada um deles um peso e obter o resultado composto da pontuação do critério, para determinar a melhor alternativa. <b>MFPM:</b> opção por valores numéricos (-1, 0, +1) e não atribuição de pesos.
7	Gravar as decisões na matriz.
8	Para cada coluna, determinar o número total de vantagens, desvantagens e neutros. Na prática, uma vez feita a avaliação de cada conceito em relação ao conceito de referência, faz-se a contagem do número total de sinais (+) e (-). Quantos mais sinais (+) tiver o conceito, melhor ou mais competitivo é o produto, ou proposta de solução. <b>Obs.:</b> Se houver pesos, verificar a soma da pontuação multiplicada pelo peso do critério; se não, a soma é realizada diretamente. <b>MFPM:</b> soma realizada diretamente, pois não houve atribuição de pesos.
9	Para o método completo, trabalhar para melhorar esses conceitos que mais pontuaram, incorporando ideias criativas de outros conceitos. Em outras palavras, tentar gerar novas soluções que eliminem os pontos fracos de uma solução, sem deteriorar seus pontos fortes. <b>MFPM:</b> não houve continuidade, já que o método foi utilizado como complemento da pesquisa estatística.
10	Continuar o processo de sintetizar conceitos. Quando já houve um aumento e melhorias no conjunto de opções, é pouco provável que se achem mais opções. Quando houver um número suficiente de possibilidades, eliminam-se as soluções mais fracas. <b>MFPM:</b> mesmo comentário do item 9.

Fonte: Pugh (1991); Bambace (2013).

A implementação da matriz de Pugh foi realizada por consulta a quatro pesquisadores do INPE que atuam na área de dispositivos eletrônicos COTS. A

formação destes profissionais é a seguinte: um engenheiro (mestrando), um mestre e dois doutores. Foram avaliados cinco critérios geralmente utilizados em gerenciamento de projetos: custo, tempo, implementação, complexidade e flexibilidade. As consultas foram individuais (questionário), solicitando aos colaboradores que efetuassem ranqueamentos próprios baseados no conhecimento, experiência e percepção. Para cada critério foi solicitado um ranqueamento das nove técnicas mencionadas nesta tese. Por exemplo, para o critério de custo, os colaboradores deveriam enumerar as técnicas de um a nove (de menor para a de maior custo) de acordo com sua análise. Da mesma forma este procedimento foi realizado para todos os critérios selecionados, considerando as técnicas pesquisadas. Após estes procedimentos, foi extraída uma média das pontuações dos ranqueamentos. Estas médias foram utilizadas para as comparações, par a par, entre os diversos critérios.

A Tabela 5.2 apresenta um exemplo de avaliação das técnicas pelo critério de custo, com a média simples das avaliações dos quatro especialistas pesquisados. O Apêndice E demonstra as médias obtidas para os demais critérios. Neste apêndice também são encontradas mais informações sobre os especialistas e suas respectivas avaliações e siglas (B, J, M e F).

Tabela 5.2 – Aplicação da matriz de Pugh (análise de custo).

Técnicas de mitigação	Custo				Total
	B	J	M	F	
CKPR	8	2	3	1	3,5
CACT	9	5	9	8	7,75
TMR	3	7	2	7	4,75
REFP	2	9	5	3	4,75
EDAC	7	3	1	5	4
RECO	4	6	7	4	5,25
DUPL	1	4	4	6	3,75
QUAD	5	8	8	9	7,5
DERA	6	1	6	2	3,75

Fonte: Produção do autor.

A Tabela 5.3 apresenta um exemplo da comparação par a par das técnicas de mitigação, tendo como referência de DATUM a técnica de TMR. O Apêndice E demonstra a comparação das outras técnicas, consideradas DATUM.

Tabela 5.3 – Aplicação da matriz de Pugh (comparações par a par).

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	-1	D	0	1	-1	1	-1	1
Tempo	1	-1	A	1	-1	-1	1	-1	-1
Implementação	1	-1	T	0	-1	-1	1	-1	1
Complexidade	1	-1	U	-1	-1	-1	1	-1	-1
Flexibilidade	1	1	M	1	1	1	-1	-1	1
Total (+)	5	1		2	2	1	4	0	3
Total (-)	0	-4		-1	-3	-4	-1	-5	-2
<b>Total</b>	5	-3	0	1	-1	-3	3	-5	1

Fonte: Produção do autor.

Como a técnica de TMR é uma das mais citadas nas estatísticas de abordagem dos trabalhos científicos, esta é uma opção importante para comparações, conforme apresentado na Tabela 5.3, onde é utilizada como referência (DATUM). Uma primeira conclusão sobre esta análise é que as técnicas apresentam critérios com uma avaliação melhor (1) ou pior (-1) em relação à TMR, de acordo com o parecer dos especialistas (Tabela 5.3). Por exemplo, no critério de custo a técnica de CKPR apresenta vantagem em relação à TMR, pois foram comparadas as médias de 3,5 (menor percepção de custo) e 4,75 (maior percepção de custo). O total demonstra que a técnica de CKPR apresenta maior vantagem em relação à TMR de acordo com todos os critérios selecionados (5), a de QUAD menores vantagens (-5). As demais apresentam valores intermediários como CACT (-3) e DUPL (3). Nas análises com outras referências (DATUM) podem ocorrer mais valores positivos ou negativos, dependendo das comparações efetuadas. No caso de maior quantidade de valores negativos, as técnicas foram consideradas mais fracas nos diversos critérios e vice-versa. A Tabela 5.4 demonstra o resultado da pesquisa estatística associada com a Matriz de Pugh.

Tabela 5.4 – Resultado (pesquisa estatística e Matriz de Pugh).

	D1	D2	D3	D4	D5	D6	D7	D8	D9
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Nº PUBL.	20	3	116	1	83	125	19	5	3
MAT. PUGH	35	-23	2	8	-1	-16	15	-32	12
TOTAL	55	-20	118	9	82	109	34	-27	15

Fonte: Produção do autor.

Apesar de poder ser utilizada para reduzir o número de opções, no caso desta tese a Matriz de Pugh foi utilizada para investigar de forma adicional. Assim, foi obtido um ranqueamento para que o projetista pudesse realizar procedimentos iniciais de análise, utilizando técnicas classificadas como mais relevantes de acordo com a metodologia.

#### 5.4 Processos e estruturas da MFPM

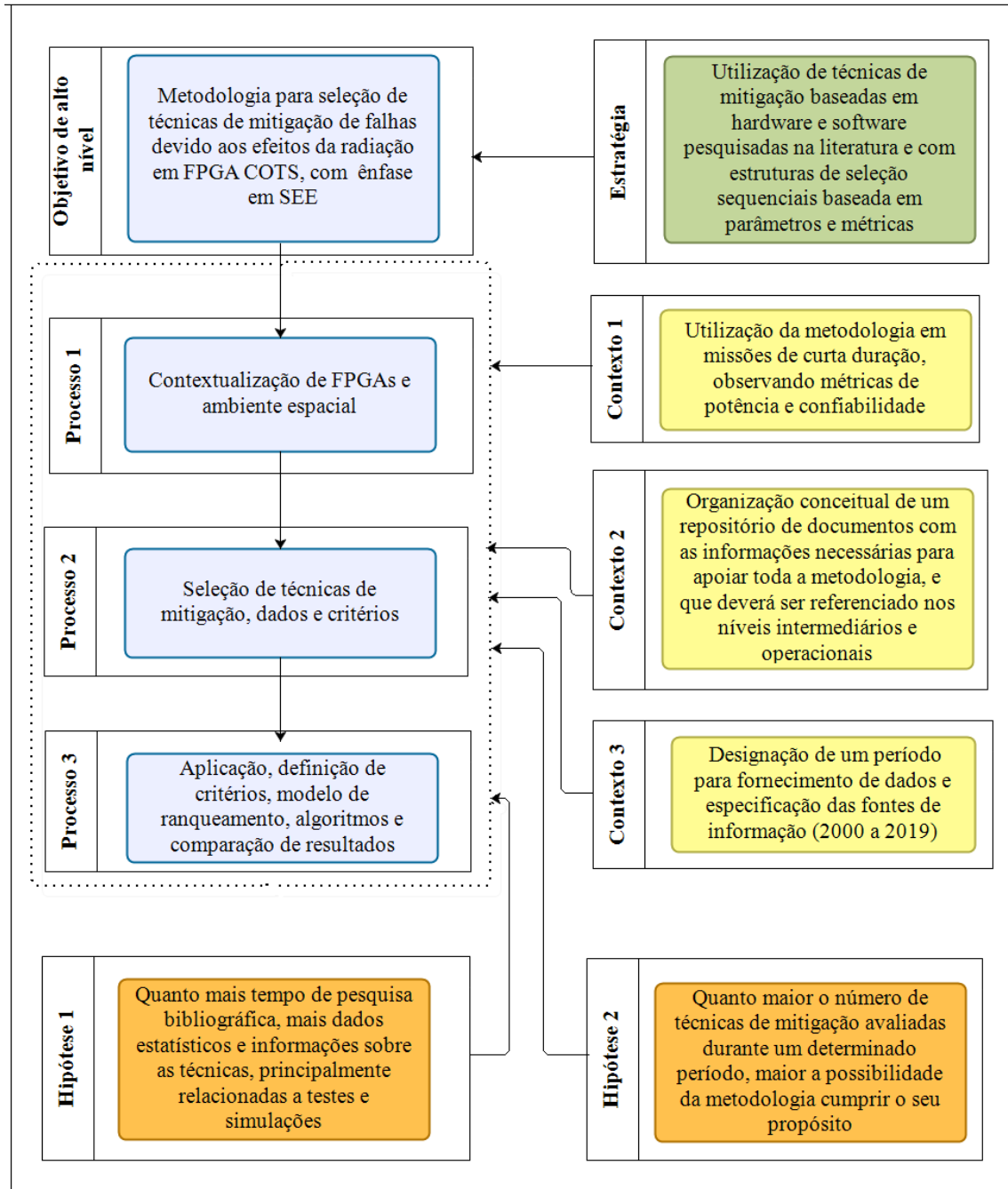
A Figura 5.5 apresenta o objetivo, estratégia, contextos, processos e hipóteses da tese, representando os procedimentos de alto nível. A Figura 5.6 apresenta os procedimentos de nível intermediário da MFPM, constando-se de um maior detalhamento dos procedimentos de alto nível. Os aspectos de alto nível da metodologia são:

- a) objetivo de alto nível e estratégia; e
- b) processos, contextos e hipóteses.

Os aspectos de nível intermediário da metodologia são relativos aos processos.

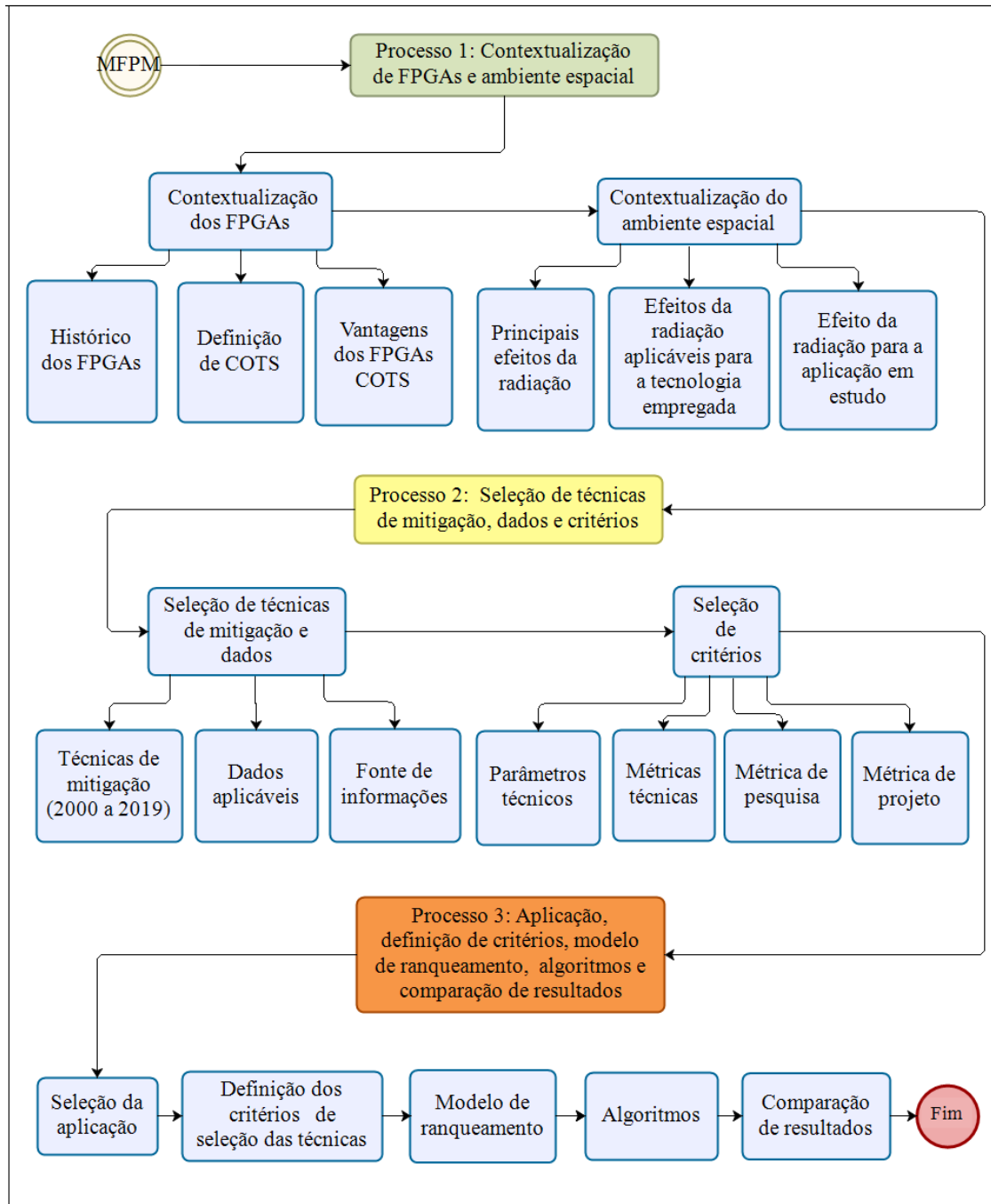
- a) Processo 1: contextualização de FPGAs e ambiente espacial;
- b) Processo 2: seleção de técnicas de mitigação, dados e critérios; e
- c) Processo 3: aplicação, definição de critérios, modelo de ranqueamento, algoritmos e comparação de resultados.

Figura 5.5 – Metodologia (alto nível).



Fonte: Produção do autor.

Figura 5.6 – Metodologia (nível intermediário).



Fonte: Produção do autor.

### 5.4.1 Processo 1

O Processo 1 deste procedimento intermediário trata da contextualização de FPGAs e ambiente espacial conforme a Tabela 5.5.

Tabela 5.5 – Nível intermediário da metodologia (Processo 1).

<b>Contextualização dos FPGAs (Capítulo 2)</b>	
FPGAs	Item 2.1
Histórico dos FPGAs	Item 2.1.1
Tecnologia dos FPGAs	Item 2.1.2
<b>Contextualização do ambiente espacial (Capítulo 2)</b>	
Radiação espacial	Item 2.2
Classificação geral dos efeitos da radiação	Item 2.2.1
Classificação dos SEE	Item 2.2.2

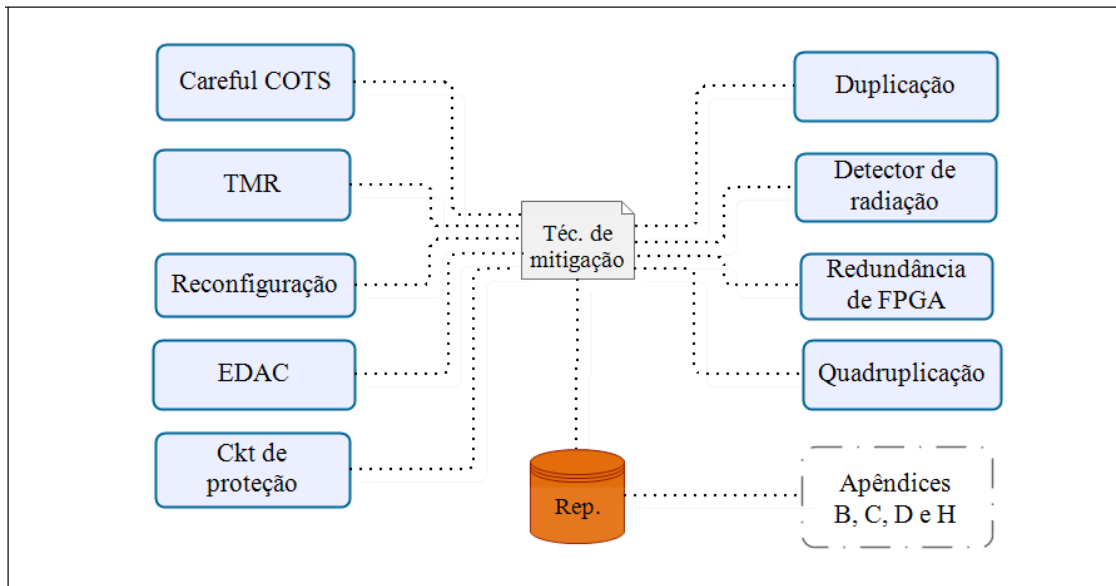
Fonte: Produção do autor.

#### 5.4.2 Processo 2

O Processo 2 aborda a seleção de técnicas de mitigação, dados e critérios, os quais foram delineados nas Figuras 5.7 e 5.8. A Figura 5.7 apresenta como a metodologia aborda as técnicas pesquisadas no período de 2000 a 2019 (Apêndices B, C, D e H). A principal contribuição inédita ocorre com o levantamento dessas técnicas, tendo sido consideradas outras que são derivadas das principais. Também há a probabilidade de a metodologia não ter conseguido abordar todas as técnicas possíveis devido à limitação do processo. Assim, estes procedimentos são dinâmicos e deve-se sempre verificar a publicação de trabalhos científicos posteriores a esta tese sobre o tema em pauta.

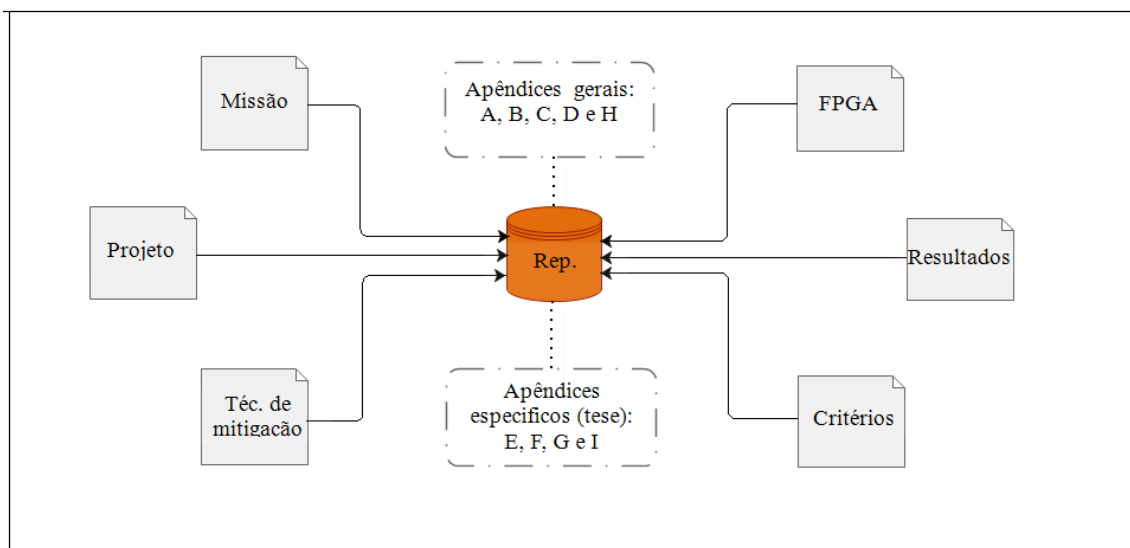
A Figura 5.8 apresenta os tópicos dos principais grupos de informações necessários para proporcionar o suporte à metodologia. O repositório contém as principais informações necessárias para a metodologia como: missão, projeto, FPGA, técnicas de mitigação, critérios e resultados. As informações dos apêndices são consideradas esse repositório de documentos e poderão dar origem a um banco de dados acessível aos pesquisadores. Os Apêndices de A a D, e H possuem informações quantitativas que podem ser úteis para projetos diversos, inclusive aqueles não relacionados com a tese. Os Apêndices E, F, G e I são mais específicos para o estudo de caso (tese).

Figura 5.7 – Técnicas de mitigação de falhas (Processo 2).



Fonte: Produção do autor.

Figura 5.8 – Repositório de documentos ou informações (Processo 2).



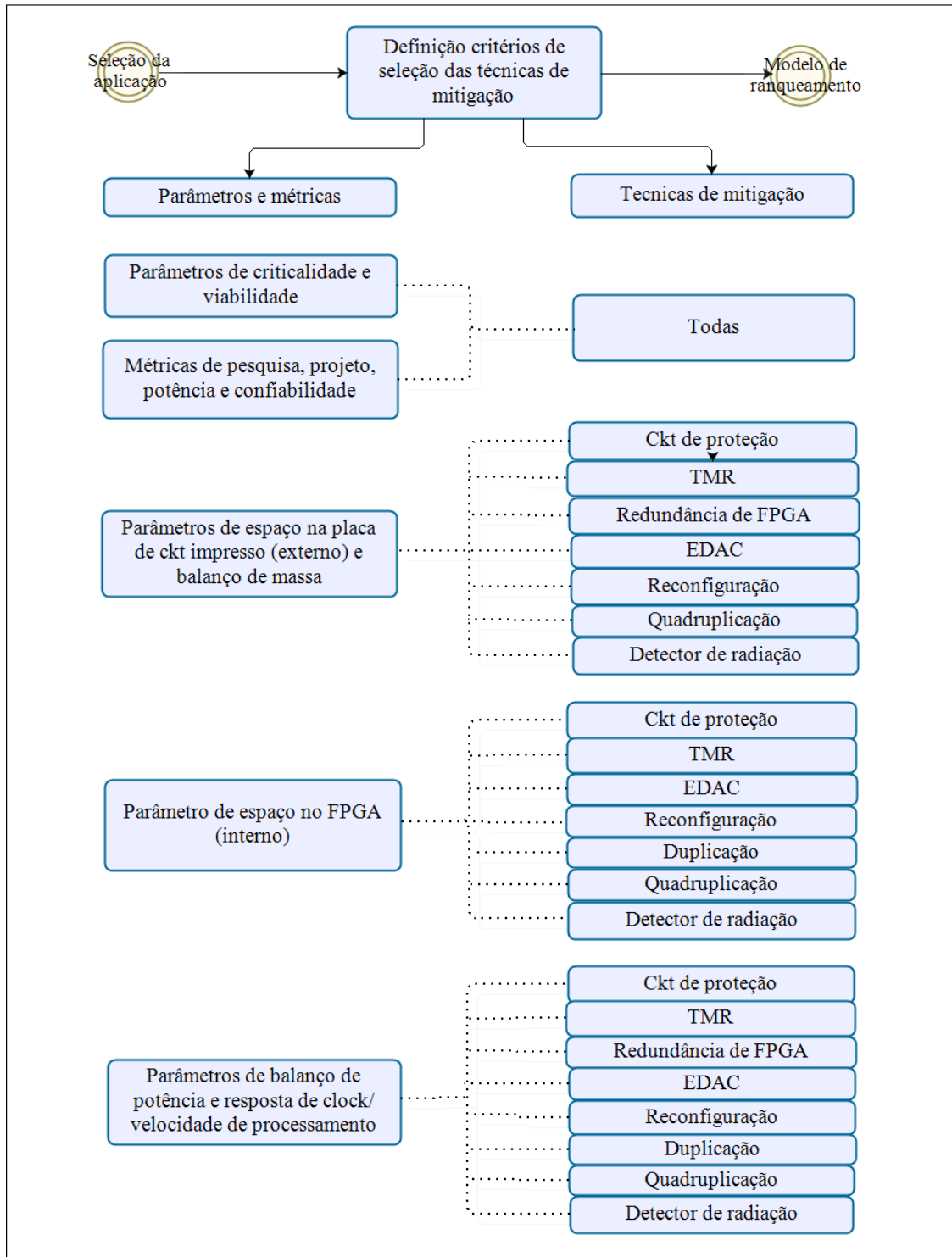
Fonte: Produção do autor.

A Figura 5.8 representa os dados de entrada para um futuro banco de dados, derivado do repositório. As informações poderão ser extraídas das fontes de pesquisa dos apêndices informados. As saídas serão as informações e dados requeridos pelos algoritmos no decorrer dos procedimentos.



A definição dos critérios de seleção das técnicas do Processo 2 pode ser observada na Figura 5.9. Esta figura demonstra os critérios que são comuns a todas as técnicas e os que são específicos para determinadas técnicas.

Figura 5.9 – Definição dos critérios de seleção (Processo 2).



Fonte: Produção do autor.

Ressalta-se que os parâmetros de criticalidade e viabilidade foram aplicados às técnicas pesquisadas, pois são essenciais para a implementação das mesmas. A criticalidade depende das características do projeto e está relacionada à quantidade de radiação que o dispositivo poderá estar sujeito, sem prejudicar o seu funcionamento. Esta criticalidade geralmente é especificada pelo nível de radiação suportado ou faixas específicas para determinados efeitos (item 1.3). Como exemplo de uma especificação mais geral, os componentes tolerantes à radiação resistem a níveis de 30 Krad de radiação ionizante, considerados adequados para órbitas de cerca de 700 km com duração de missão de três anos. Nos extremos, os componentes comerciais (COTS) são susceptíveis a baixíssimos níveis de radiação (menor que 2 Krad), enquanto os resistentes (*rad-hard*) resistem a níveis acima de 100 Krad (MANEA, 2018). O parâmetro de viabilidade visa certificar-se de que todo o consumo de recursos utilizado no projeto justifica a economia efetuada na aquisição dos FPGAs COTS.

Considerando que a utilização da metodologia apresenta ênfase para aplicação em missões de curta duração, foram abordados os parâmetros de espaço na placa de circuito impresso (externo) e no FPGA (interno). Como geralmente estas missões são executadas por pequenos satélites, o espaço disponível é bem limitado. Assim, deverá ser bem dimensionado para acomodar diversas cargas úteis, sistemas e subsistemas. Nos satélites destas missões a métrica de potência deve ser muito bem analisada, pois os valores são bem menores que das outras categorias de satélites e devem ser suficientes para atender aos sistemas e subsistemas. Os balanços de massa e potência (parâmetros) são efeitos da implementação das técnicas que se enquadram nas análises de espaço e potência. Outros parâmetros (efeitos adversos) relacionam-se as respostas de *clock* e velocidade de processamento, cuja verificação deve ser realizada com a operacionalidade dos circuitos. A confiabilidade também é muito relevante para esses sistemas de satélites, já que os equipamentos embarcados possuem limitações para a sua manutenção. Finalmente, para estabelecer um ranqueamento entre as técnicas foram adotadas métricas de pesquisa e de projeto, que serão explanadas mais detalhadamente nos itens posteriores.

### 5.4.3 Processo 3

O Processo 3 é o processo final e consta da aplicação, definição de critérios, modelo de ranqueamento, algoritmos e comparação dos resultados. Há muitos projetos com missões de curta duração que poderiam ser analisados, principalmente com a tendência de crescimento da tecnologia de nanosatélites. Após a seleção do estudo de caso ou aplicação serão necessários dados diversificados, conforme a Tabela 5.6.

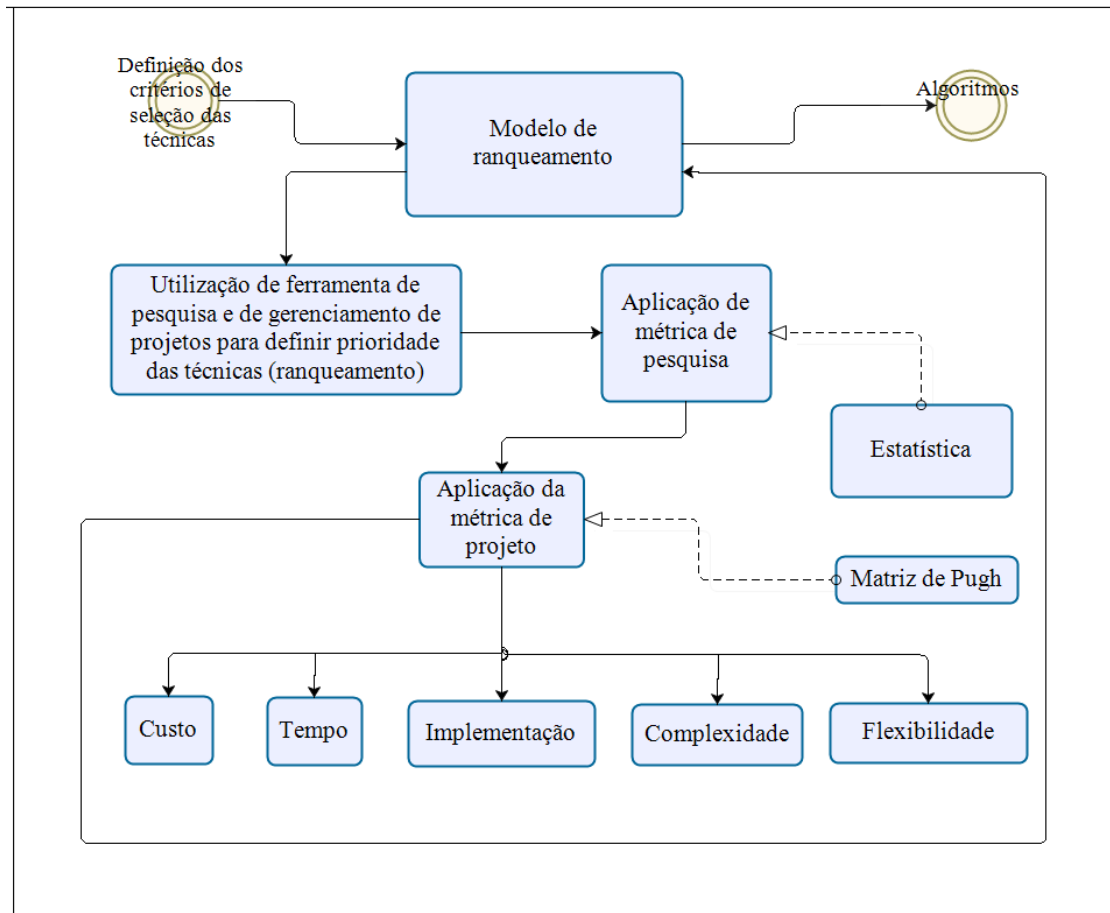
Tabela 5.6 – Seleção do estudo de caso ou aplicação (Processo 3).

<b>Aplicação</b>	
Instituição	Contextualização
Missão	Contextualização, informações e dados sobre ambiente e órbita
Satélite	Dados de temperatura e de balanços de massa e potência
Projeto	Dados de equipamento, circuito e FPGA
Equipamento	Dados técnicos como requisitos eletrônicos ou relativos à temperatura
FPGA	Dados técnicos como especificação (família), frequência de operação, dados de temperatura, imunidades prévias e recursos lógicos

Fonte: Produção do autor.

Apesar de a aplicação ter sido inserida neste ponto para efeito de metodologia, esse fato não altera o restante dos procedimentos, sendo importante para o fornecimento das informações necessárias. O modelo de ranqueamento (Figura 5.10) e algoritmos são as partes principais da metodologia, pois contém os passos práticos para a operacionalização da mesma. Foram utilizadas métricas relacionadas à pesquisa (estatística) e projeto (método de decisão) para estabelecer uma prioridade entre as técnicas de mitigação. Para isto, foram consultados engenheiros especializados em componentes COTS para que a aplicação da métrica de projeto fosse realizada, utilizando a matriz da Pugh (método de decisão). Com a aplicação do modelo de ranqueamento obteve-se o sequenciamento das técnicas de acordo com a pontuação obtida pelo método, somando-se a contribuição das duas métricas, conforme a Tabela 5.7.

Figura 5.10 – Modelo de ranqueamento (Processo 3).



Fonte: Produção do autor.

Tabela 5.7 – Ranqueamento das técnicas de mitigação.

Posição	Técnica
1 <sup>o</sup>	Redundância Modular Tripla (TMR)
2 <sup>o</sup>	Reconfiguração
3 <sup>o</sup>	Detecção e Correção de Erros (EDAC)
4 <sup>o</sup>	Circuito de proteção
5 <sup>o</sup>	Duplicação
6 <sup>o</sup>	Detector de radiação
7 <sup>o</sup>	Redundância de FPGA
8 <sup>o</sup>	Careful COTS
9 <sup>a</sup>	Quadruplicação

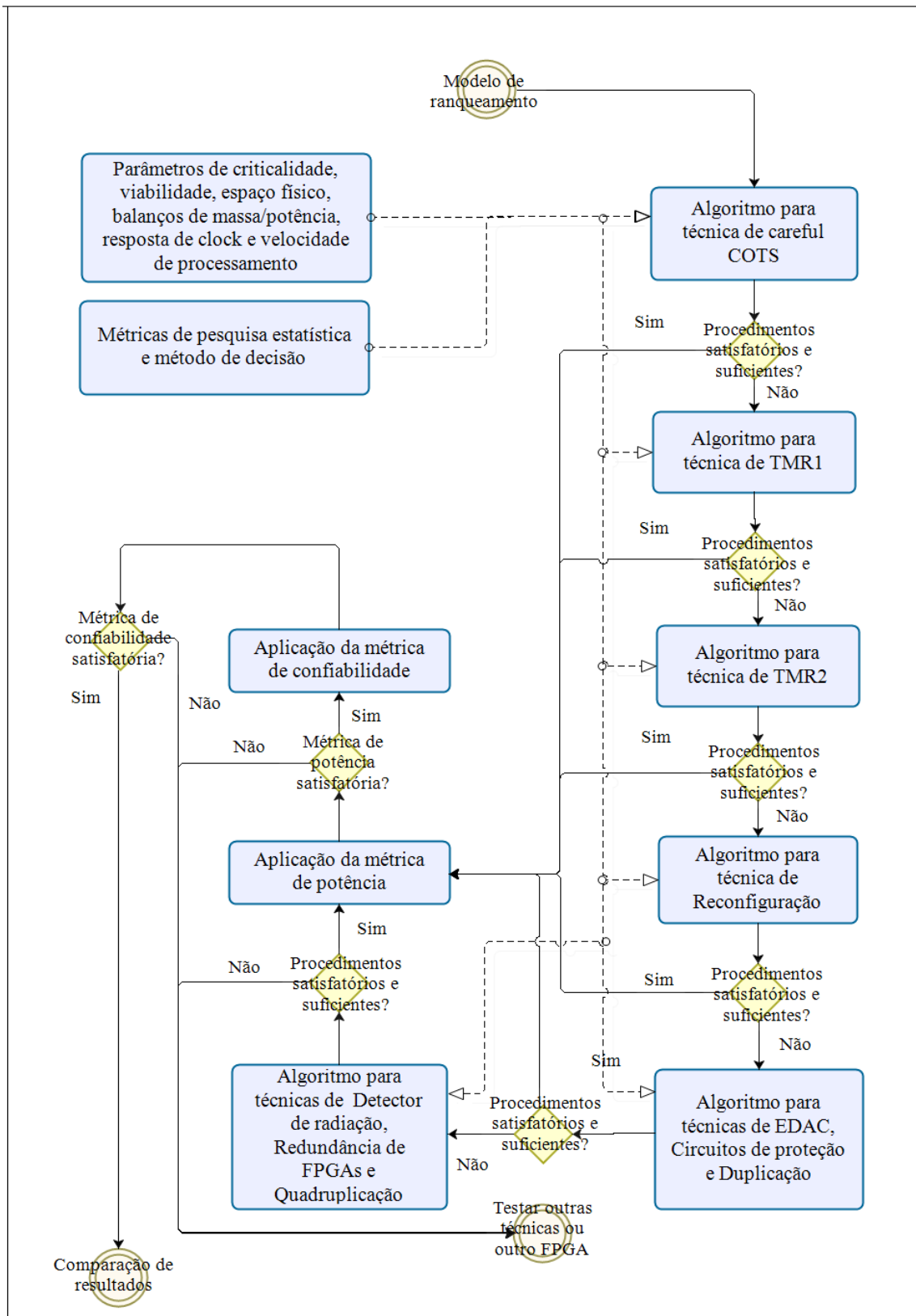
Fonte: Produção do autor.

Na tabela citada (5.7) verifica-se que a técnica de *Careful COTS* não foi bem pontuada pelo método (8.<sup>a</sup> posição). Para evitar o dispêndio de recursos com

técnicas que necessitem de implementações é recomendável iniciar por esta técnica. A mesma consiste em testar o FPGA, verificando se esse componente já não atende aos requisitos necessários de criticalidade para o projeto e respectiva missão. Esse fato pode ocorrer devido aos processos de fabricação, onde há a probabilidade de alguns dispositivos possuírem uma certa dose de tolerância à radiação espacial, considerando a blindagem do dispositivo. Assim, foi realizado um ajuste no ranqueamento por essas questões práticas, colocando a técnica de *Careful COTS* como a primeira a ser analisada. A Figura 5.11 apresenta o ranqueamento obtido pelo modelo, dando origem a um algoritmo geral que sintetiza todos os outros algoritmos específicos, observando o estado da prática.

A metodologia sequencial permite realizar todos os procedimentos necessários até o término de todo o processo (Figuras 5.12 a 5.20). Se já foram realizadas algumas etapas, localiza-se com mais facilidade na estrutura da metodologia. Se for identificada uma solução no início do processo, o procedimento da estrutura encaminhará para as métricas finais. Caso contrário, percorrerá todos os procedimentos relativos aos parâmetros e métricas, podendo retornar ao estágio inicial com a tentativa da utilização de outras técnicas não mencionadas ou outro FPGA. Quando a viabilidade ou resultados de *Careful COTS*, ou de outra técnica subsequente não forem satisfatórios deve-se seguir os procedimentos de todas as técnicas pesquisadas. Segundo a metodologia, as técnicas de TMR e Reconfiguração foram consideradas muito relevantes cientificamente e obtiveram alta pontuação nas métricas de pesquisa e projeto. Devido a esse fato foram também classificadas como prioritárias e houve a necessidade de confecção de algoritmos específicos. Como a TMR abrange diversos subtipos foram confeccionados dois algoritmos complementares para esta técnica. Os algoritmos das outras técnicas foram confeccionados de forma a agrupá-las, facilitando a compreensão e acompanhamento da metodologia.

Figura 5.11 – Algoritmo geral da MFPM (Processo 3).

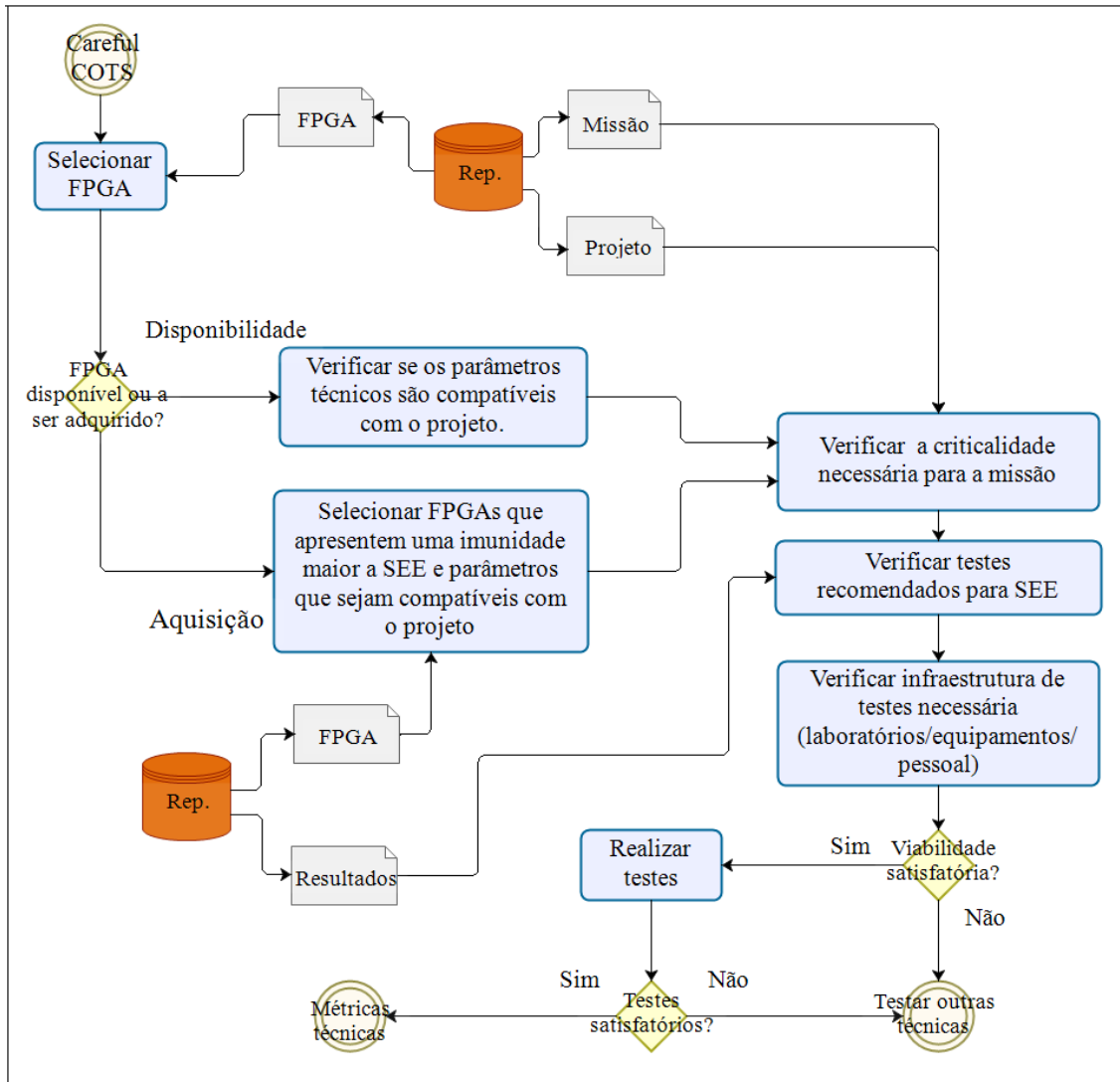


Fonte: Produção do autor.

Cabe ressaltar também que esta metodologia contém várias recomendações, porém a responsabilidade final pelo processo de seleção é do projetista. A metodologia é uma ferramenta que será fundamental para diminuir o grau de subjetividade e proporcionar uma maior probabilidade de sucesso. Mesmo que alguma técnica seja satisfatória, pode também ocorrer o caso de que se queira testar algumas técnicas, podendo utilizar as mencionadas nesta tese, alguma outra de trabalho não abordado ou, ainda, uma técnica nova. Assim, nas diversas situações, este trabalho deve servir como uma base sólida, onde muitos aspectos sobre o assunto foram explanados e amplamente referenciados. Após a seleção de uma das técnicas com resultados satisfatórios, esta deverá ser submetida às métricas técnicas de potência e confiabilidade, conforme as Figuras 5.18 e 5.19. Os cálculos destes algoritmos não são baseados nas fórmulas mais tradicionais, mas são específicos para FPGAs. Utilizam conceitos aplicados nesses dispositivos e são demonstrados em detalhes no estudo de caso.

Os últimos procedimentos da metodologia referem-se à comparação de resultados, conforme o item 4.2.2 (utilidade, originalidade e generalidade) da Metodologia e Figura 5.20. A validação da metodologia poderá ser realizada por estudo de caso e a verificação, comparando a técnica escolhida com outras, conforme efetuado neste trabalho (Capítulo 6). As informações e dados necessários estão disponíveis no repositório de documentos (apêndices), constando de projetos que utilizaram a técnica selecionada ou outras mencionadas. A partir deste ponto da estrutura deverão ser realizadas as análises dos algoritmos específicos previstos para cada técnica de seleção (pela prioridade).

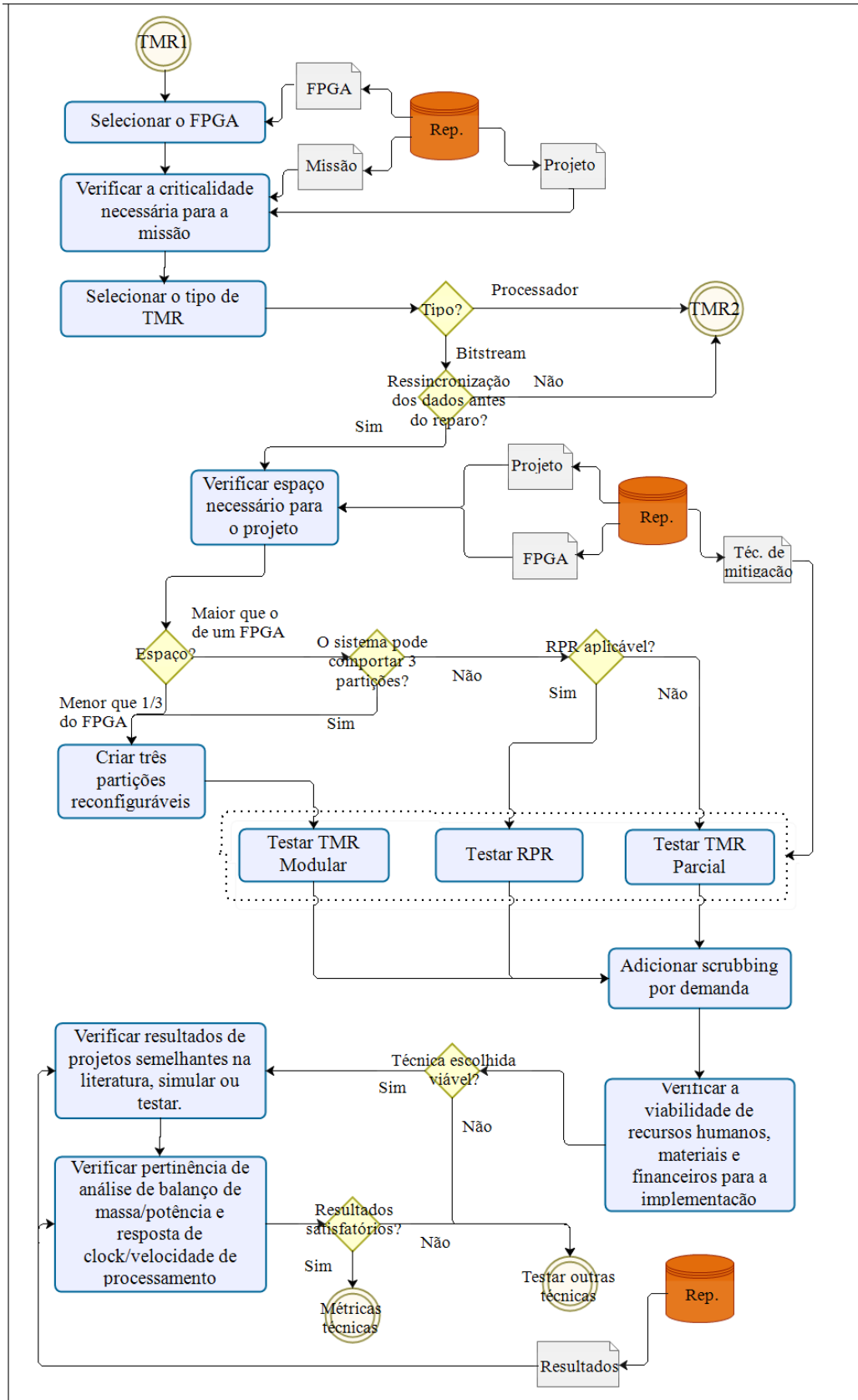
Figura 5.12 – Algoritmo para *Careful COTS* (Processo 3).



Fonte: Produção do autor.

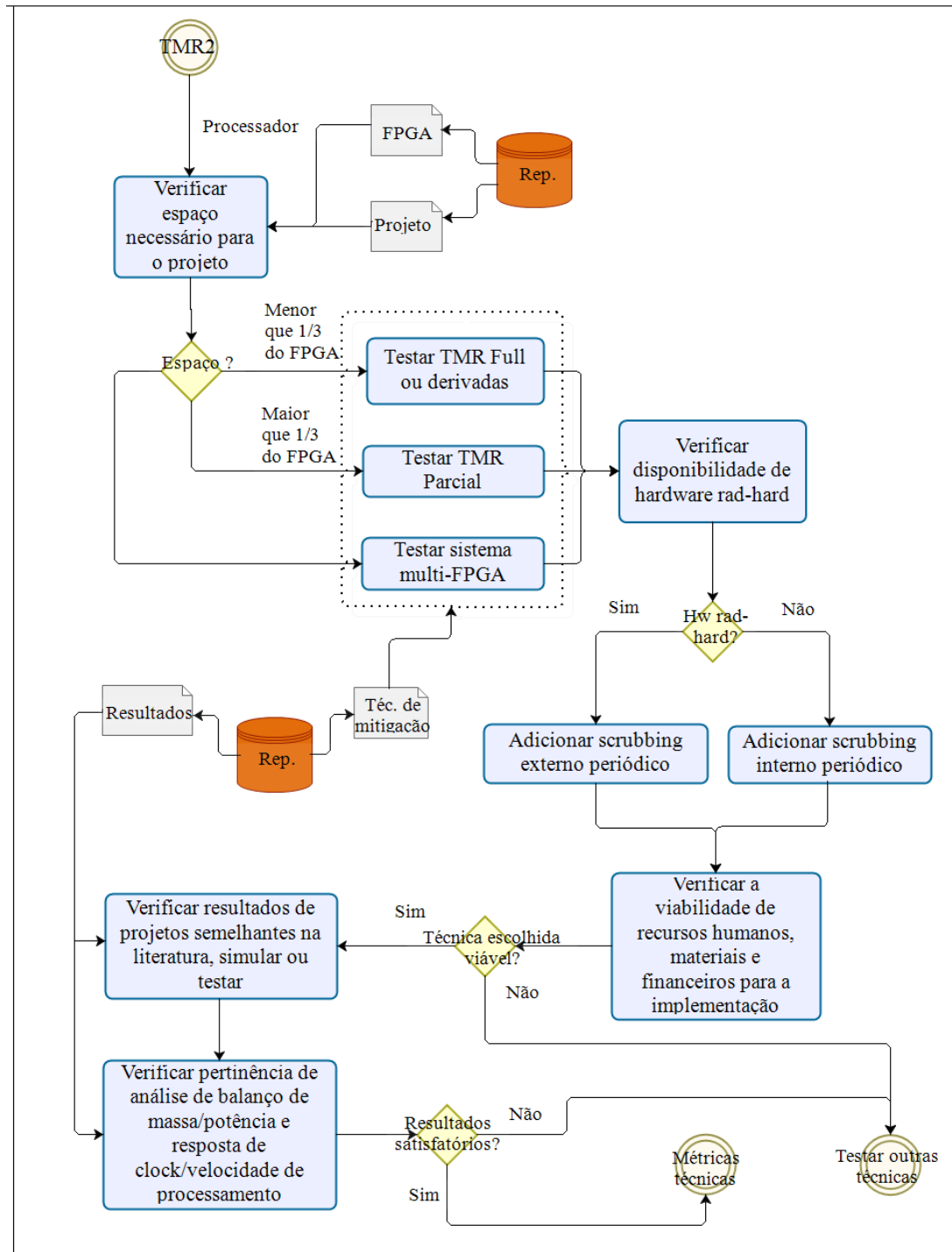


Figura 5.13 – Algoritmo para TMR1 (Processo 3).



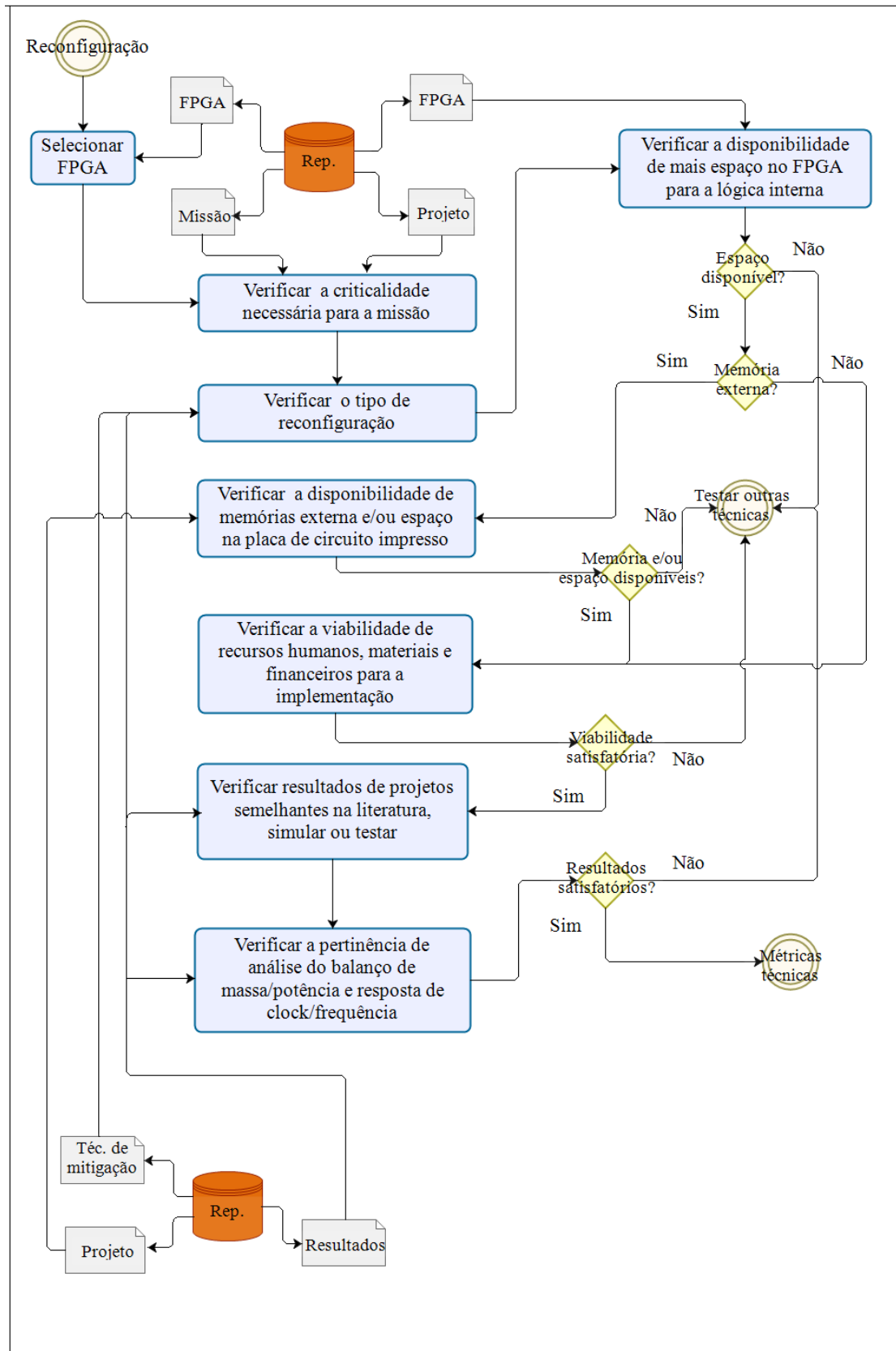
Fonte: Produção do autor.

Figura 5.14 – Algoritmo para TMR2 (Processo 3).



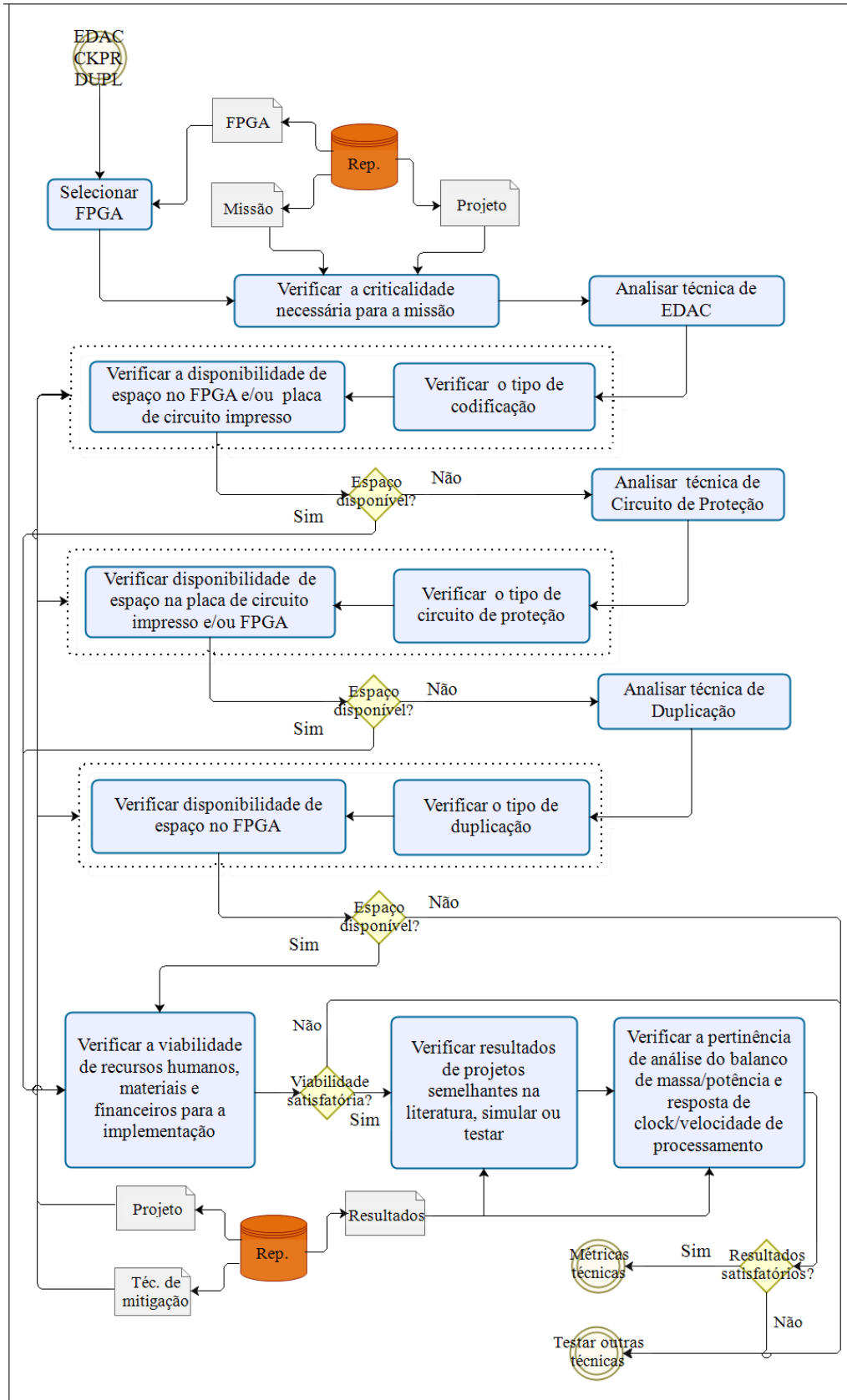
Fonte: Produção do autor.

Figura 5.15 – Algoritmo para Reconfiguração (Processo 3).



Fonte: Produção do autor.

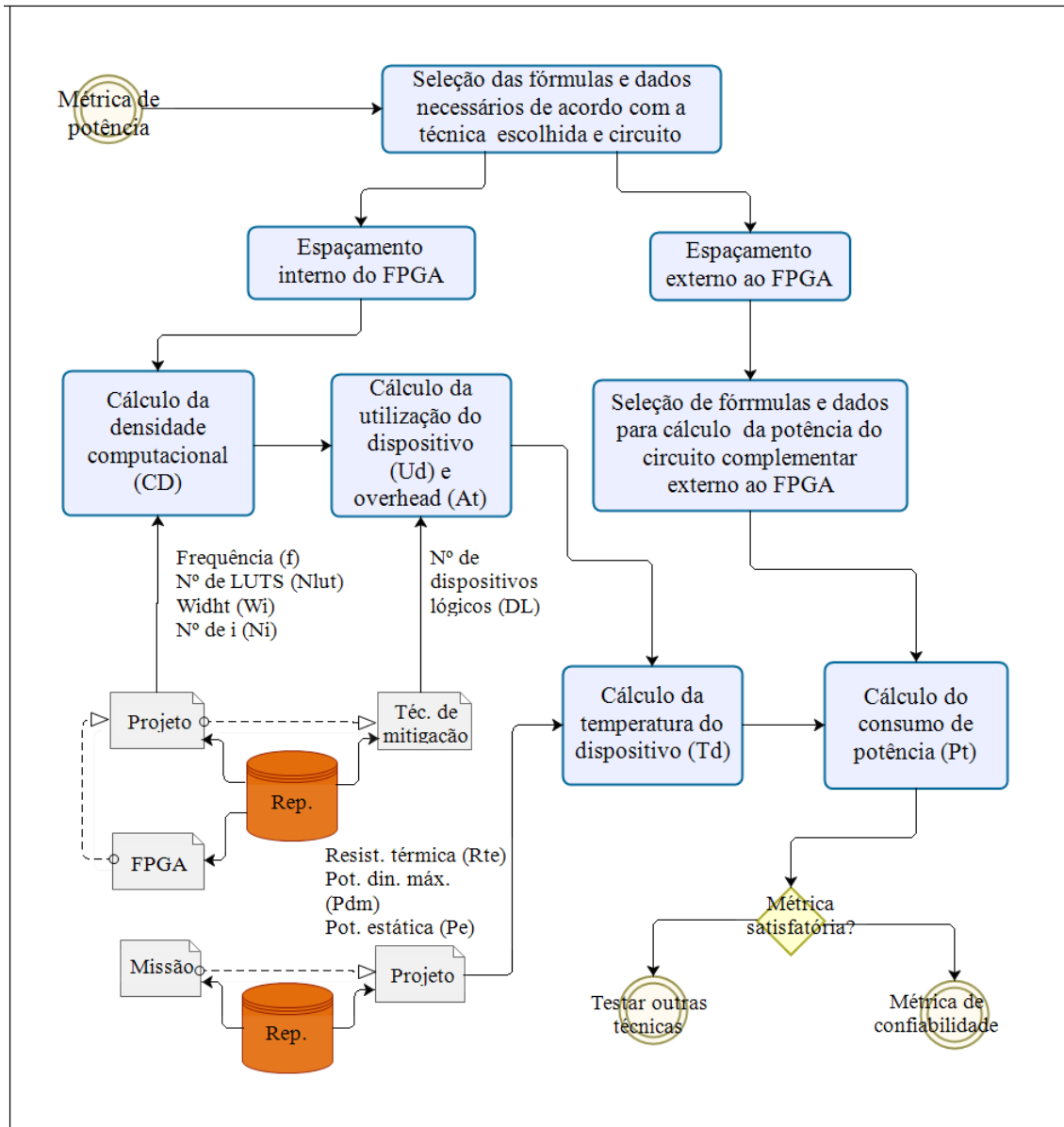
Figura 5.16 – Algoritmo para EDAC, CKPR e DUPL (Processo 3).



Fonte: Produção do autor.

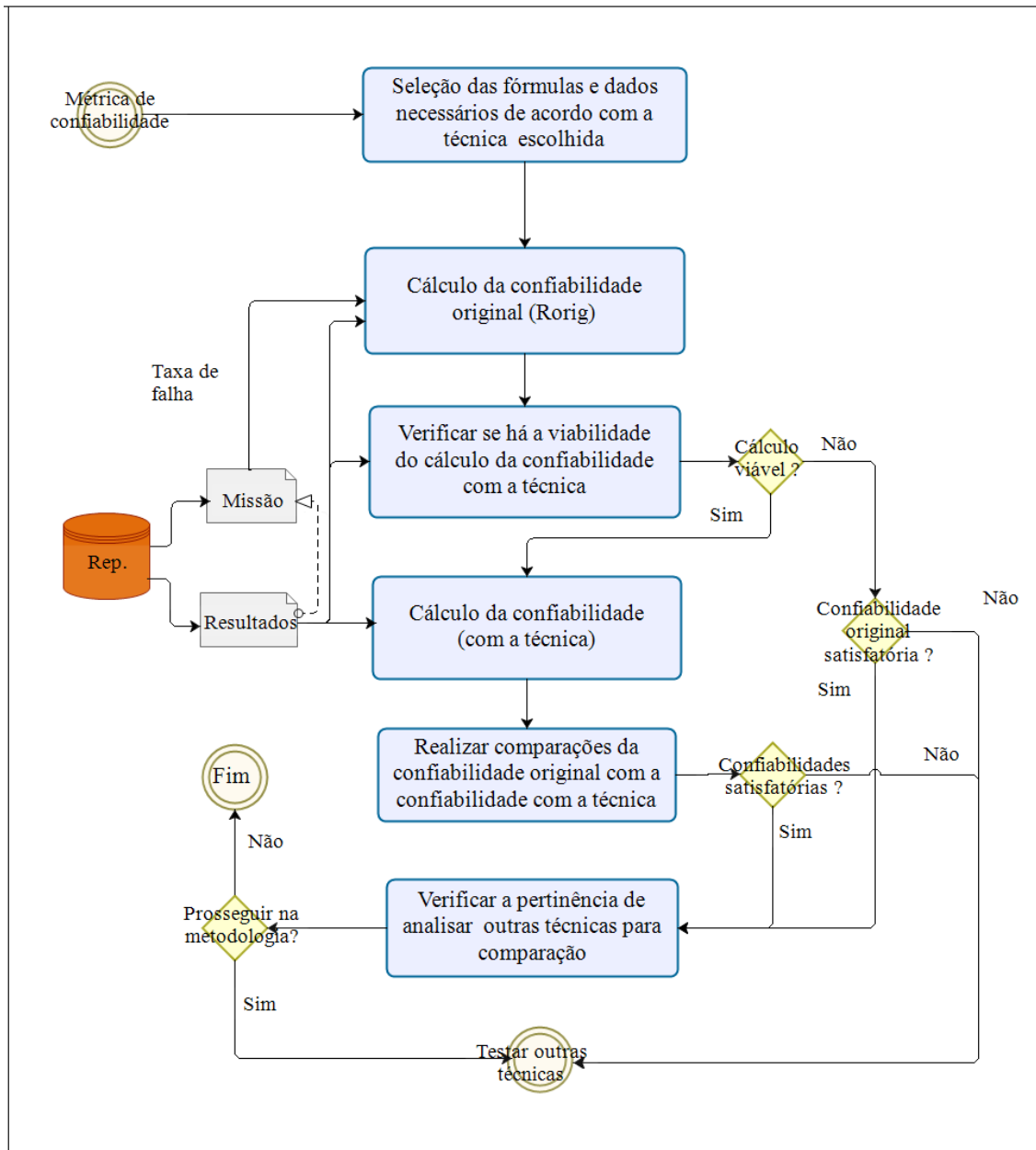


Figura 5.18 – Algoritmo para métrica de potência (Processo 3).



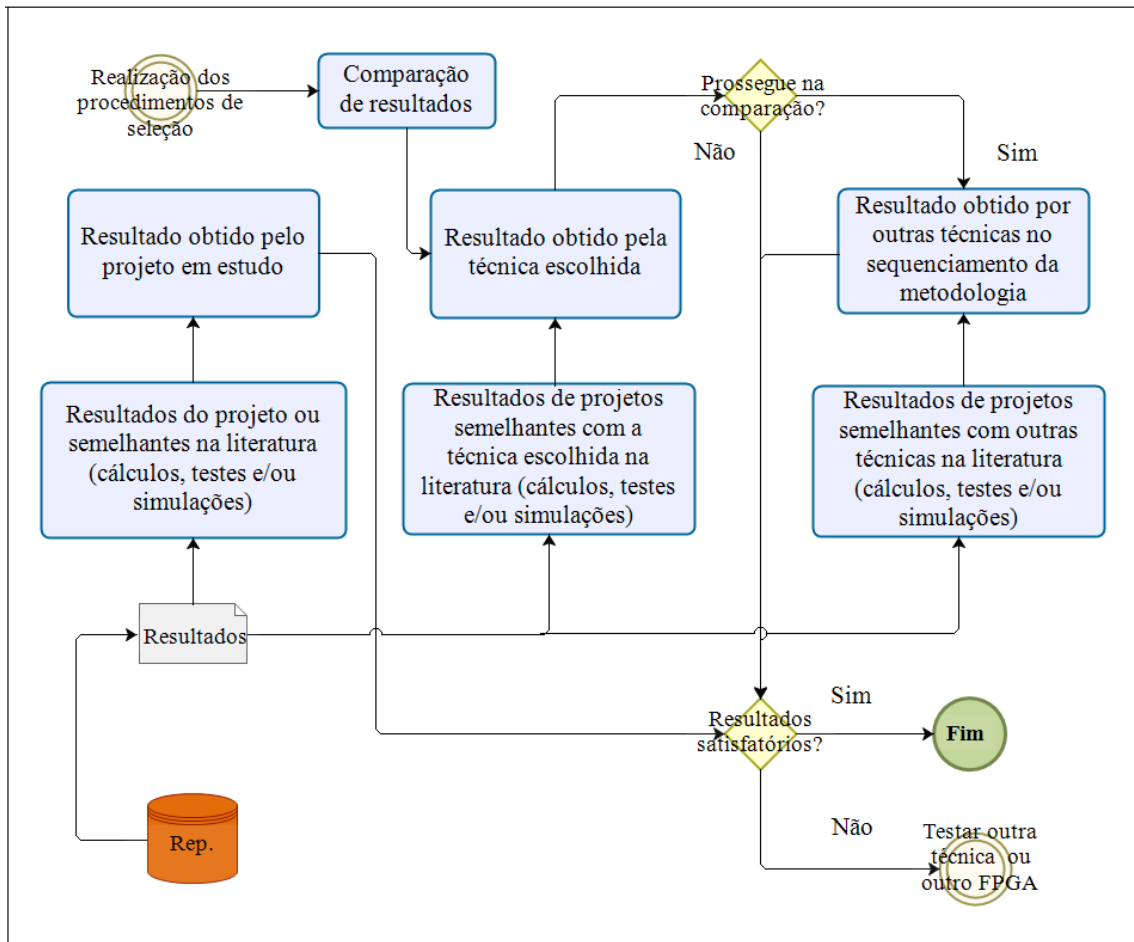
Fonte: Produção do autor.

Figura 5.19 – Algoritmo para métrica de confiabilidade (Processo 3).



Fonte: Produção do autor.

Figura 5.20 – Algoritmo para comparação de resultados.



Fonte: Produção do autor.

Se nenhuma das técnicas for satisfatória, a recomendação é pesquisar outras técnicas ou trocar o FPGA por outro que possa ter mais probabilidade de sucesso. A literatura possui muitos exemplos de famílias de FPGAs que foram utilizados em projetos anteriores e que podem ser utilizados como exemplos. Se ocorrer o fato desses FPGAs serem considerados obsoletos ou não ser possível a sua aquisição, poderão ser utilizados outros da mesma família, mais atualizados. Para a compreensão e validação da metodologia, principalmente dos algoritmos, o estudo de caso é um recurso muito pertinente.



## **6 ESTUDO DE CASO**

Neste capítulo a metodologia (MFPM) é aplicada para o estudo de caso com nanossatélite. O projeto selecionado relaciona-se ao Sistema Brasileiro de Coleta de Dados Ambientais (SBCDA) e Constelação de Nanossatélites para Coleta de Dados Ambientais (CONASAT). Os primeiros passos deste estudo de caso são as informações necessárias relativas à missão, projeto e FPGA, os quais foram detalhados. Para isso, foi planejado o repositório de documentos, que é a ferramenta utilizada pela metodologia para colher as informações necessárias para a aplicação da mesma. Posteriormente, são especificados todos os passos operacionais (algoritmos) para que a seleção possa ser realizada. Desse modo, as partes necessárias das estruturas do Capítulo 5 são ressaltadas e comentadas. Com isso é possível acompanhar todos os passos dos procedimentos, justificando cada decisão tomada com as informações disponíveis no repositório. O resultado das métricas finais é sintetizado em tabelas, nas quais é possível realizar a comparação de resultados.

### **6.1 Dados necessários**

#### **6.1.1 Missão**

Para a contextualização do SBCDA é necessário compreender resumidamente o histórico dos Satélites de Coleta de Dados (SCDs). Conforme Carvalho et al. (2013); Queiroz et al. (2018), os SCDs foram desenvolvidos a partir de 1980 no INPE (São José dos Campos), passando a operar um sistema de monitoramento ambiental por satélites. Eles surgiram pelo desdobramento da Missão Espacial Completa Brasileira (MECB), a qual utilizou as tecnologias disponíveis na época. Como foram os primeiros satélites projetados, construídos e operados no país, representam o pioneirismo da engenharia espacial brasileira. O SCD-1 foi lançado em 1993 e ainda está em operação, apesar de algumas limitações. O SCD-2 foi lançado em 1997, permanecendo com sua operação normal até os dias atuais. Apesar de terem sido lançados na década de 90 com uma previsão

de vida útil perto de um e dois anos, respectivamente, superaram as expectativas de operação.

Segundo Carvalho et al. (2013), estes satélites são de órbita equatorial inclinada, que é a mais adequada para a posição geográfica do país. Estes SCDs visavam apoiar um sistema de monitoramento ambiental por satélites com o objetivo de prover o país com dados para aplicações relacionadas com o clima, atmosfera, bacias hidrográficas e energias renováveis. Mais detalhadamente, pode-se citar algumas aplicações de destaque:

- a) previsão meteorológica e climática;
- b) previsão e mitigação de catástrofes,
- c) controle da poluição e estudo da química da atmosfera;
- b) estudo de correntes oceânicas, e monitoramento de bacias hidrográficas; e
- d) avaliação do potencial de energias renováveis como a eólica e a solar.

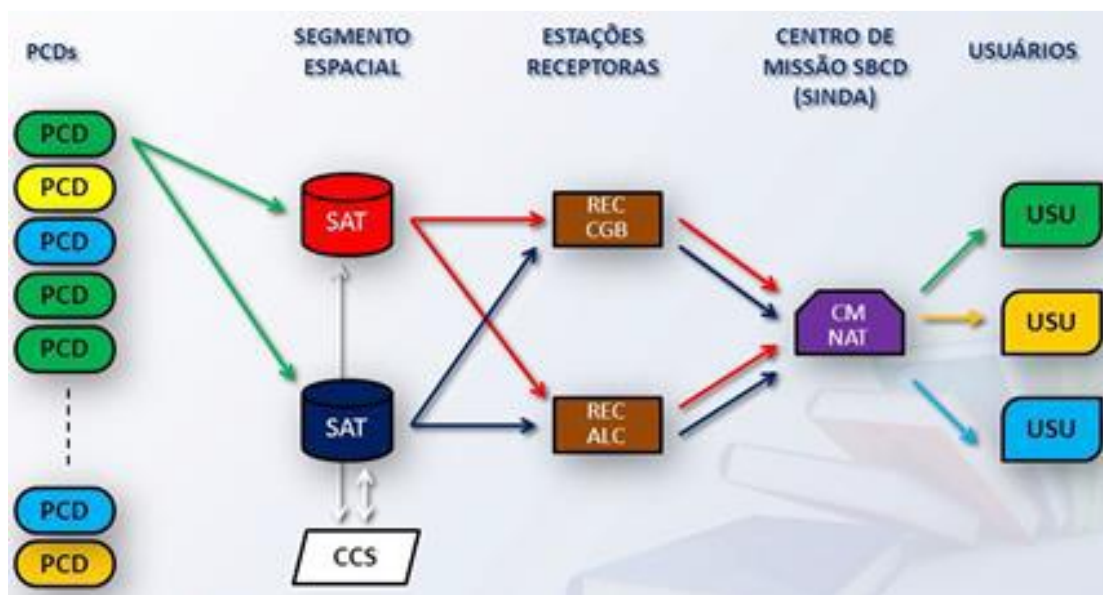
Após as informações sobre SCDs 1 e 2, pode-se passar para a compreensão de alguns tópicos importantes sobre o SBCDA. Conforme Carvalho et al. (2013); Queiroz et al. (2018), o SBCDA tem o objetivo de disponibilizar uma estrutura capaz de coletar dados enviados por Plataformas de Coleta de Dados (PCDs), localizadas em qualquer ponto do território nacional e da sua plataforma marítima. Estes dados deverão ser disponibilizados no Centro de Missão (CM) do Sistema Integrado de Dados Ambientais (SINDA) em Natal, Rio Grande do Norte (NAT/RN), para utilização pelos diversos usuários (USU). O sistema é composto por dois principais segmentos (Figura 6.1).

- a) **Segmento de Solo.** Composto por cerca de 900 plataformas automáticas de coleta de dados ambientais (PCDs ativas e inativas) e boias oceanográficas espalhadas em todo território nacional e no mar, estações de controle e recepção. As duas estações receptoras (REC) estão situadas em Cuiabá/ Mato Grosso (CGB/MT) e em Alcântara/ Maranhão (ALC/MA). As mesmas captam os dados, enviando-os para centro de controle da missão (SINDA). No SINDA estes dados deverão

ser concentrados e disponibilizados para os usuários, após o devido tratamento.

- b) **Segmento espacial (SAT).** Satélites SCDs-1 e 2, de órbita equatorial inclinada, que garante uma alta taxa de passagem sobre o território nacional. Também é composto pelo satélite CBERS - 4 (*China-Brazil Earth Resources Satellite*), que apresenta uma órbita heliossíncrona. No entanto, esta órbita apresenta maiores vantagens para imageamento da Terra. Como é uma órbita quase polar, a mesma não é a mais indicada para a aplicação de coleta de dados no território brasileiro, por implicar em uma menor taxa de passagem sobre este território.

Figura 6.1 - Topologia do SBCDA.



Fonte: Adaptado de Carvalho (2019).

Resumidamente, os SCDs (SAT) fornecem os dados necessários ao SINDA e o CCS (Centro de Controle de Satélites) fornece o apoio de solo aos satélites. O SINDA é responsável pelo processamento, armazenamento e disseminação para instituições governamentais e do setor privado, dos dados coletados remotamente pelas PCDs. O desempenho global do sistema em relação à taxa de erros, considerando as estações de recepção, é definido basicamente pelo

enlace ascendente (PCD até o satélite). Pode-se avaliar a qualidade de recepção de uma mensagem transmitida por uma PCD, o qual está relacionada a alguns parâmetros, incluindo o desempenho do processador de coleta de dados da estação, após o enlace descendente (SANTOS et al., 2013; QUEIROZ et al., 2018).

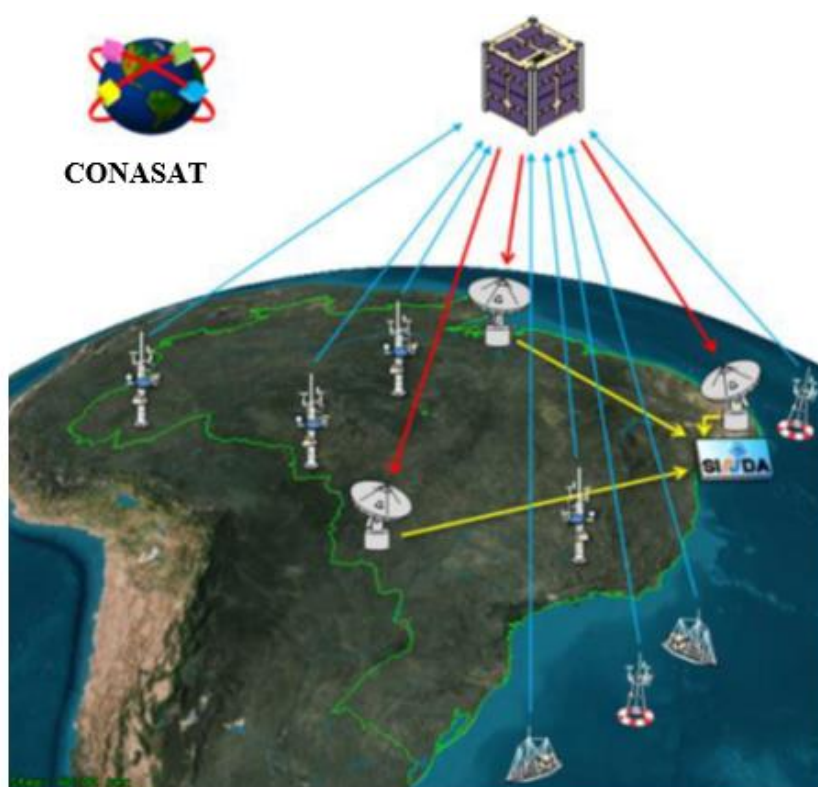
### **6.1.2 Projeto**

Uma das constantes demandas do INPE e uma das áreas mais críticas é a do monitoramento ambiental, inclusive com repercussões nacionais e internacionais. Por isso, o INPE procura desenvolver projetos que possam melhorar o desempenho dos sistemas e fornecer novos serviços, principalmente relacionados ao SBCDA. Apesar de os SCDs apresentarem a sua importância no cenário nacional, como primeiros satélites a cumprir a missão especificada, há a necessidade de desenvolvimento e lançamento de novos satélites. Estes satélites têm como alvo garantir a continuidade da operação do SBCDA e atender às demandas do INPE e do país (CARVALHO et al., 2013).

Como o fator custo também é um dos critérios essenciais na área de gerenciamento de projetos, o CONASAT objetiva oferecer uma opção tecnologicamente mais avançada e a custos reduzidos para o SBCDA (Figura 6.2). A utilização de uma constelação de nanossatélites (padrão *cubesat*) deverá melhorar a qualidade do serviço, no que diz respeito à capacidade, abrangência geográfica e tempos de revisita. Este padrão (1 a 10 kg) foi desenvolvido inicialmente por universidades americanas e passou a ser utilizado em projetos universitários, tanto nos EUA quanto em outros países como o Brasil. Os *cubesats* geralmente utilizam COTS em sua concepção, superando as desvantagens dos componentes de qualificação espacial, os quais são mais caros e difíceis de se obter. Além de apresentar um custo relativamente baixo em relação aos satélites maiores, apresenta a vantagem de possuir custo de lançamento menor. Esse fato considera que a plataforma pode ser utilizada como carga secundária em lançadores comerciais. Este projeto está sendo

desenvolvido pelo INPE em parceria com UFRN (Universidade Federal do Rio Grande do Norte) e AEB (CARVALHO et al., 2013; QUEIROZ et al., 2018). Conforme Carvalho et al. (2013), a comunicação entre as plataformas de coleta de dados e as estações receptoras do CONASAT deverá ser realizada por um *transponder* digital de comunicação, o TCD (*Transponder* de Coleta de Dados). Este foi desenvolvido no INPE (CRN – Centro Regional de Natal), com recepção de dados em banda UHF (*Ultra-High Frequency*) e transmissão em banda S (2 a 4 GHz).

Figura 6.2 - Arquitetura do CONASAT.



Fonte: Adaptado de Carvalho et al. (2013).

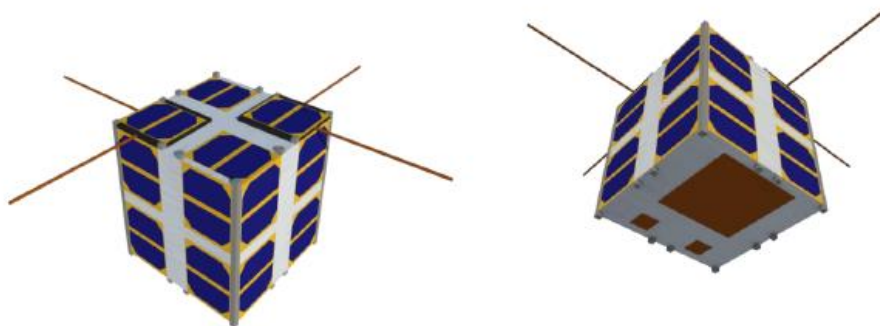
A seguir, serão descritas algumas peculiaridades do projeto para o sistema de nanossatélites.

- a) **Estrutura física.** *Cubesat* de tamanho 8U, com um cubo de arestas de 20 cm (Figura 6.3). Este tamanho visa propiciar uma área de painéis solares capazes de gerar a energia elétrica necessária para atender à

demanda da carga útil e dispor de espaço físico suficiente para abrigar os subsistemas em redundância.

- b) **Órbita.** Órbita terrestre baixa (*LEO - Low Earth Orbit*), entre 400 km e 1000 km de altitude. Considerando um tempo de missão de 24 meses para o satélite, pode ser utilizada uma altitude máxima de órbita de cerca de 625 km, com inclinação de 30 graus em relação ao equador.
- c) **Constelação e tempo de revisita.** Utilização de uma constelação composta por 6 satélites, distribuídos em três planos orbitais. O tempo de revisita foi avaliado em 60 minutos (máximo) em 95% dos casos (mínimo).

Figura 6.3 – Modelo ilustrativo da plataforma 8U (*Cubesat*).

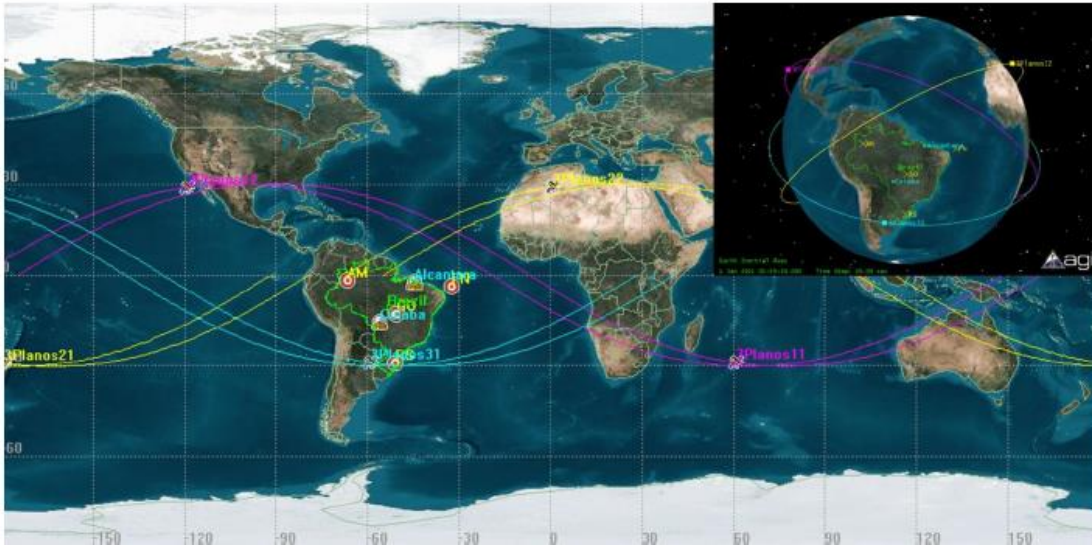


Fonte: Carvalho et al. (2013).

Foram realizados estudos para a determinação do número de satélites e planos orbitais. A Figura 6.4 mostra o cenário que foi classificado como a melhor solução para o projeto, consistindo de três planos orbitais contendo dois satélites em cada plano (ilustrações em 2D e 3D).

Segundo Messias et al. (2020), o EDC (*Environmental Data Collector*) Core possui a função de implementar múltiplos canais de demodulação com posição de frequência ajustável, permitindo demodular vários sinais das PCDs. Esse circuito decodifica as mensagens das PCDs e as fornece ao computador de bordo (OBC – *On-Board Computer*), o qual envia as mensagens para uma estação receptora, multiplexando os dados no canal de telemetria do satélite (Figura 6.5).

Figura 6.4 – Planos orbitais e satélites do CONASAT.



Fonte: Carvalho et al. (2013).

Figura 6.5 – *Environmental Data Collector* (EDC/CONASAT).



Fonte: Messias et al. (2020).

### 6.1.3 FPGA

Conforme Apêndice G, para o EDC estão sendo considerados os FPGAs M2S025/50/90 – FGG 484I baseado em memória *flash* com um microcontrolador embarcado, que atende aos requisitos. Uma das vantagens deste FPGA é a utilização de microcontrolador endurecido com várias proteções contra SEU como memória com SECDED (*Single-Error Correction and Double-Error*



*Detection*) EDAC e baixo consumo. Dessa forma, o FPGA poderá ser o M2S025, com menos recursos disponíveis ou os M2S050 e M2S090, com mais recursos. Segundo ESA (2008); Wulf et al. (2016), os MOSFETs de potência e BJTs (*Bipolar Junction Transistor*) são mais suscetíveis a SEB e SGR, raramente afetando dispositivos CMOS. Este é um dado relevante, pois a imunidade a SEE destrutivos pode garantir o sucesso da missão. Para os dispositivos CMOS deve-se abordar principalmente o SEL, que é o efeito destrutivo mais comum para esses dispositivos, seguindo-se o SEU e SEFI (Tabela 2.4).

A Tabela 6.1 menciona imunidades prévias do FPGA a ser utilizado no estudo de caso, pelos dados de projeto e literatura. No caso do CONASAT, estão sendo considerados para o projeto os FPGAs Microsemi (Microchip), porém podem ser submetidos à metodologia (MFPM) quaisquer FPGAs. Adota-se a hipótese de ocorrer maior possibilidade de sucesso pela metodologia com as técnicas mais abordadas nas pesquisas, devido ao maior número de informações. Essas informações estão relacionadas principalmente com o ambiente de radiação, testes efetuados e parâmetros técnicos de interesse. A Tabela 6.1 sintetiza os principais dados necessários para a aplicação da metodologia.

Tabela 6.1 - Dados da aplicação necessários para a metodologia.

<b>Estudo de caso</b>	
Instituição	INPE
Missão	SBCDA (LEO)
Satélites	Nanossatélites para o CONASAT com dados técnicos do projeto em execução
Projeto	Coleta de dados das PCDs, decodificação e transmissão para o computador de bordo.
Equipamento	EDC ( <i>Environmental Data Collector</i> ) com múltiplos canais de demodulação com posição de frequência ajustável; dados de temperatura ( <i>Datasheet</i> ).
FPGA	Microsemi (Microchip) M2S025, 50 ou 90 Frequência de operação: 30 MHz Dados de temperatura: <i>Datasheet</i> Imunidade a SEU devido à tecnologia de projeto do <i>chip</i> para o microcontrolador (Apêndice G); imunidade a SEB e SGR relativa à tecnologia de fabricação do MOSFET; recursos lógicos ( <i>Datasheet</i> ).

Fonte: Messias et al. (2020).



A metodologia deve ser aplicada nas fases iniciais do ciclo de vida do projeto (até definição detalhada) para maior probabilidade de êxito. Entretanto, o estudo utilizou um projeto em execução (modelo de bancada) para avaliar a técnica ou técnicas por intermédio de dados do equipamento mais próximos da implementação real, com o objetivo de aplicar em revisões ou projetos futuros. As premissas e considerações são informadas no decorrer dos procedimentos da metodologia.

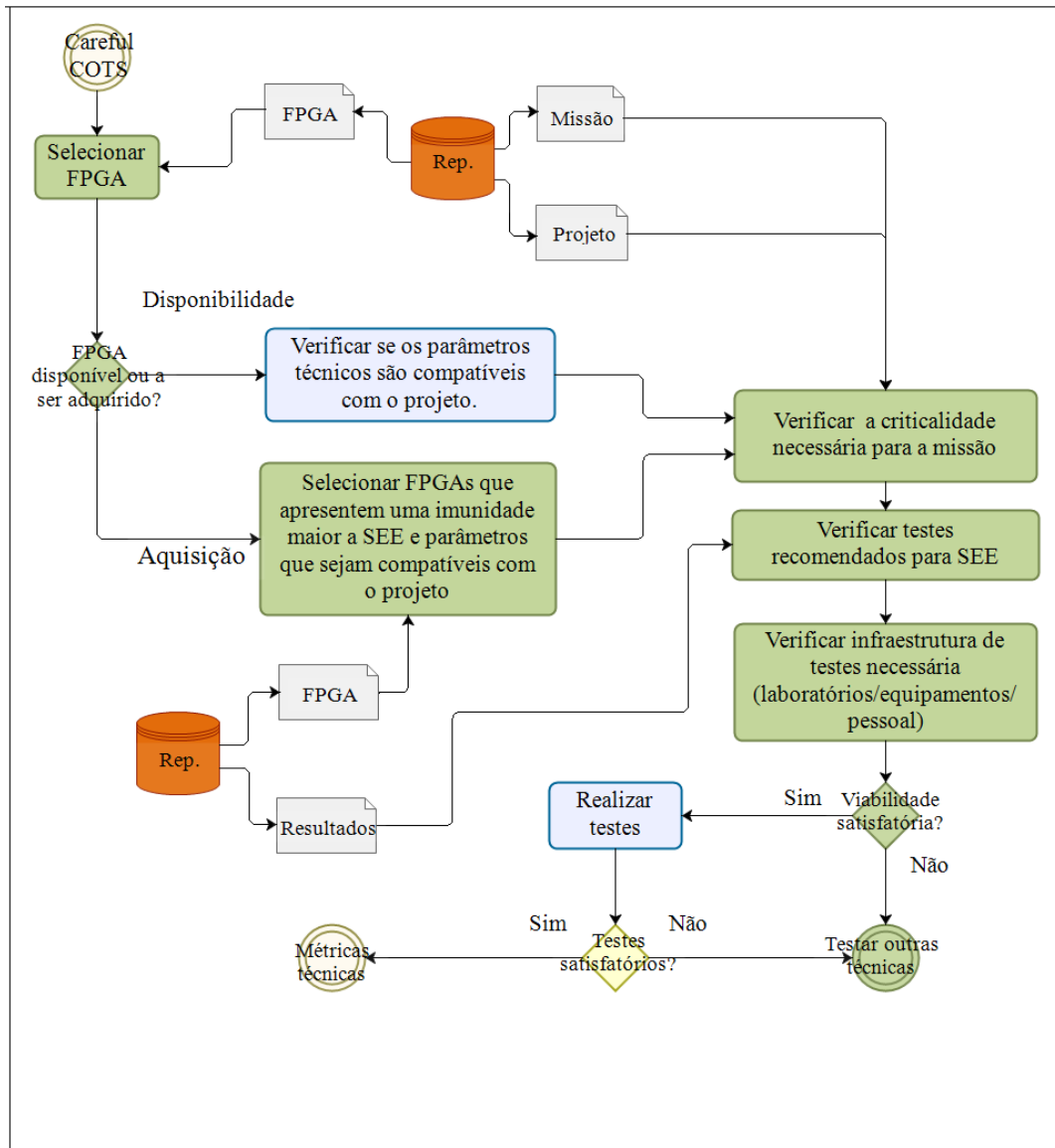
## 6.2 Resultados

### 6.2.1 Aplicação da metodologia (*Careful COTS*)

Apesar das imunidades informadas, a metodologia proposta (MFPM) foi aplicada ao FPGA do estudo de caso para aperfeiçoá-las e proporcionar imunidades a outros tipos de SEE. Após a verificação das informações necessárias, pode-se iniciar o processo da metodologia, conforme o algoritmo geral da MFPM (Figura 5.11) do Processo 3. Conforme a metodologia, uma das primeiras técnicas a ser verificada é a *Careful COTS* (Figura 5.12), com o destaque das análises na Figura 6.6. Os questionamentos foram respondidos segundo as informações do presente capítulo e repositório de documentos (principalmente o Apêndice G). Seguindo os procedimentos de *Careful COTS* obtêm-se as seguintes informações e decisões.

- a) Selecionar **FPGA**. FPGAs MS025, 50 ou 90 – FGG 484I da Microsemi (Microchip).
- b) FPGA **disponível** ou a ser **adquirido**? Aquisição.
- c) Selecionar FPGAs que apresentem uma **imunidade** maior a SEE e parâmetros que sejam compatíveis com o projeto. Seleção efetuada pelos especialistas do CONASAT considerando a utilização de memória *flash* com um microcontrolador embarcado. O microcontrolador é endurecido com várias proteções contra SEU, como memória com SECDED EDAC.

Figura 6.6 - Algoritmo para *Careful COTS* (estudo de caso).



Fonte: Produção do autor.

- d) Verificar a **criticalidade** necessária para a missão. Não ocorreu esta especificação, pois deveria ser no Apêndice G, de acordo com os requisitos do projeto. Para fins da metodologia, é adotada a especificação geral de um sistema tolerante a falhas que resiste a níveis de 30 Krad de radiação ionizante, com órbita de cerca de 700 km com duração de missão de três anos (premissa).
- e) Verificar **testes recomendados** para SEE. Foram realizados apenas testes funcionais (Apêndice G). O teste principal consistiu em emular

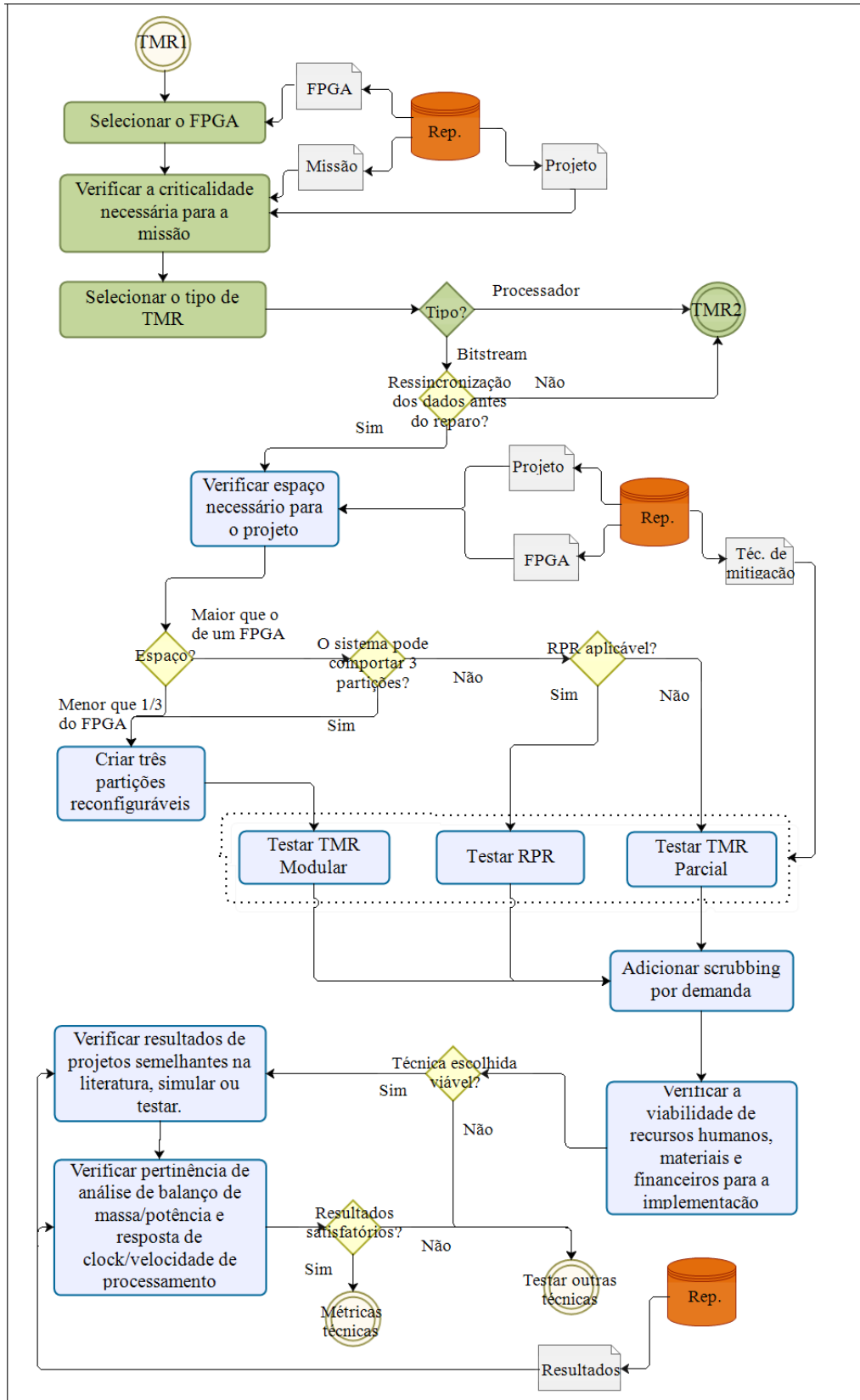
continuamente a transmissão de sinais de PCDs para estimular o sistema e, com isso, verificar se este consegue entregar as mensagens decodificadas e fornecer suas telemetrias de *housekeeping*, que são informações sobre o estado de saúde do sistema.

- f) Verificar **infraestrutura** de testes necessária (laboratórios/equipamentos/pessoal). O problema constatado pela equipe responsável pelo projeto nos testes foi a contratação de serviços especializados. Seriam necessários pelo menos mais dois engenheiros trabalhando em tempo integral no projeto durante a fase de implementação e testes para que outros testes pudessem ser realizados. Para os testes funcionais, o projeto não demanda ferramentas de *software* caras para seu desenvolvimento. O laboratório de eletrônica da instituição responsável já possui todos os equipamentos necessários para testar o sistema em relação à funcionalidade (Apêndice G).
- g) **Viabilidade** satisfatória? Não. Não foram constatados os requisitos para a caracterização da técnica de *Careful* COTS, pois inicialmente não havia um lote de dispositivos disponíveis para testes. A aquisição deste lote seria mais dispendiosa do que a adoção de outras técnicas apontadas por esta metodologia. Também não foram realizados os testes de imunidade a SEE (teste de prótons e íons pesados) que são recomendados pela literatura, conforme item anterior.
- h) Testar **outras técnicas**. A próxima será a de TMR.

### 6.2.2 Aplicação da metodologia (TMR)

Prosseguindo na metodologia, o próximo passo é o algoritmo de TMR1, conforme a Figura 5.13. A Figura 6.7 mostra o sequenciamento deste algoritmo com as análises relativas à aplicação.

Figura 6.7 - Algoritmo para TMR1 (estudo de caso).



Fonte: Produção do autor.

Seguindo o algoritmo de TMR1 obtêm-se as seguintes informações e decisões.

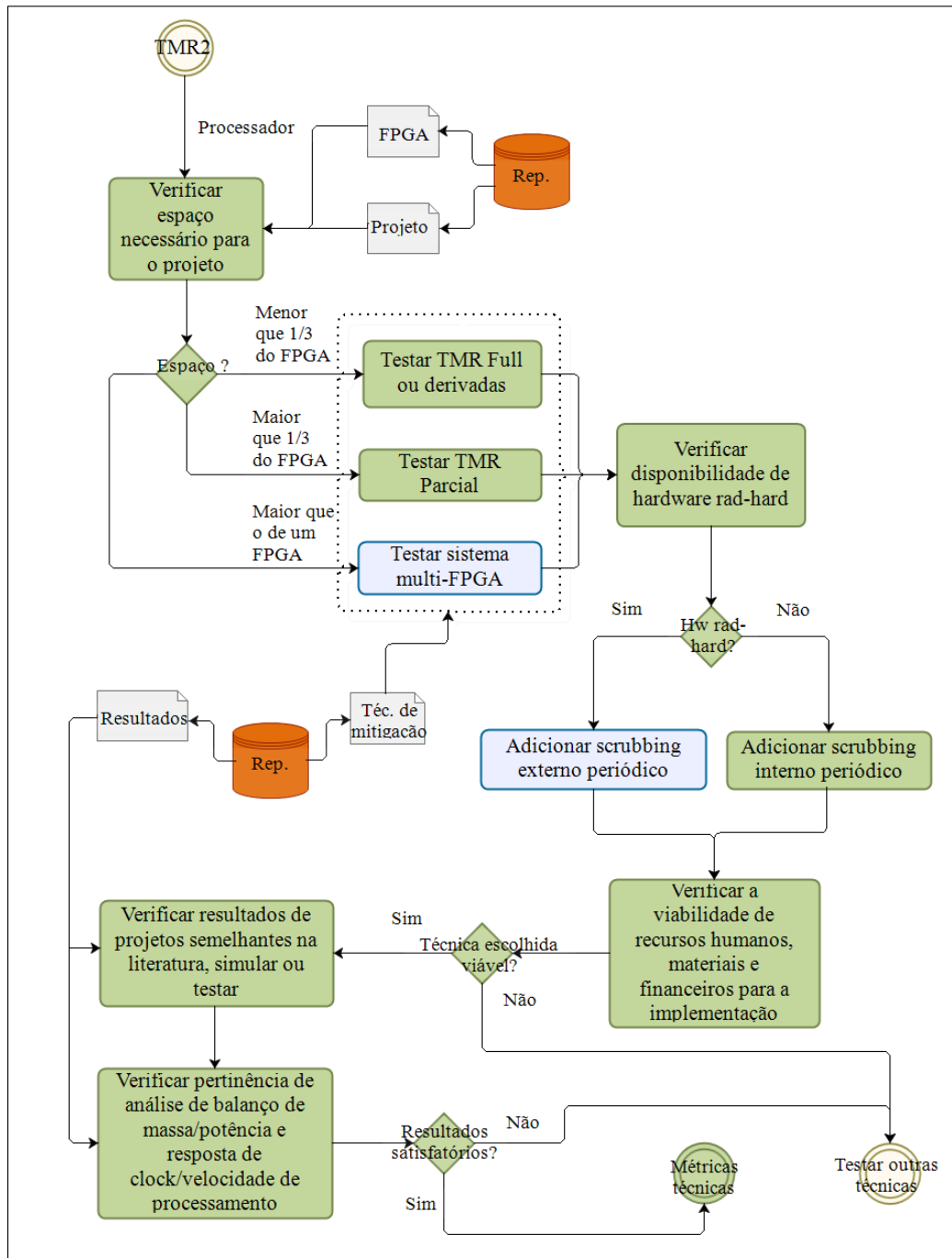
- a) Selecionar **FPGA**. FPGAs M2S025, 50 ou 90 da Microsemi (Microchip).
- b) Verificar a **criticalidade** necessária para a missão. Conforme análise da técnica anterior, a criticalidade não foi definida; neste caso, a criticalidade geral é adotada.
- c) Selecionar o **tipo de TMR**.
- d) **Tipo?** Processador, pois o próprio FPGA já possui um microcontrolador embutido, conforme análise anterior.
- e) **TMR2**.

Quando a opção de “processador” é escolhida, o algoritmo de TMR1 encaminha para o da TMR2, que segue a análise da Figura 6.8, a qual é derivada da Figura 5.14. A seguir, as informações e decisões relativas ao algoritmo da TMR2.

- a) Verificar **espaço** necessário para o projeto.
- b) **Espaço?** O projeto ocupa cerca de 48% dos recursos do M2S025. Com esta utilização, o espaço disponível é maior que 1/3 do FPGA e menor que o de um FPGA, comportando uma TMR Parcial. De acordo com Pratt et al. (2008), esta TMR pode ser implementada com valores informados de 25%, 100% e 175% de *overhead*; no caso da TMR *Full* o valor é de 200% (premissas). A equipe do projeto considera ser possível substituir o M2S025 pelo M2S090 sem alterar o projeto do *hardware*, com a inclusão do M2S050 como um caso intermediário para o estudo. Verifica-se que o *design* ocupa menos que 1/3 tanto do M2S050 quanto do M2S090 (perto de 24 e 16%, respectivamente). Ressalta-se que estes valores foram obtidos pela proporção do número de Dispositivos Lógicos (DLs) do projeto e dos FPGAs. Desse modo, torna-se possível testar TMR *Full* (M2S050 e 90) e TMR Parcial (M2S025). Com o prosseguimento dos cálculos é possível que o número de FPGAs possa ser maior que um, direcionando para um sistema multi-FPGA. Se for este o caso, deve-se ainda considerar o

espaço externo (PCB). Neste trabalho os cálculos foram realizados para TMR *Full* e Parcial.

Figura 6.8 - Algoritmo para TMR2.



Fonte: Produção do autor.

- c) Testar **TMR Full** ou derivadas. Testar **TMR Parcial**. O estudo de caso comporta as duas possibilidades, pois depende da capacidade lógica do FPGA e dos cálculos de métricas.
- d) Verificar a disponibilidade de **hardware rad-hard**. Caso haja este **hardware** ou um sistema com imunidades prévias poderá ser utilizado para apoio à realização de *scrubbing*.
- e) *Hw rad-hard?* Não.
- f) Adicionar **scrubbing** interno periódico. Como uma forma complementar para aumentar a eficiência da estratégia.
- g) Verificar a viabilidade de **recursos humanos, materiais e financeiros** para a implementação. Devido à limitação de pessoal, verifica-se que a contratação dos serviços seria o caminho mais viável, a um custo de R\$ 20.000,00 para três unidades do EDC (*Environmental Data Collector*) e valores bem menores para o FPGA (até cerca de US\$ 200,00).
- h) **Técnica escolhida** viável? Sim, já que o preço de um FPGA *rad-hard* pode chegar a US\$ 22.000,00.
- i) Verificar **resultados** de projetos semelhantes na literatura, **simular** ou **testar**. Nesta tese foi realizada a comparação teórica das técnicas mais indicadas, segundo a metodologia.
- j) Verificar pertinência de análise de balanço de **massa/potência** e resposta de **clock/velocidade de processamento**. Segundo a equipe do projeto, a inclusão de até três FPGAs não altera o balanço de massa. Sobre o balanço de potência, a avaliação está inserida no cálculo de potência, desde que o valor obtido não ultrapasse os valores máximos previstos. Em relação às análises de *clock/velocidade* de processamento, estas não constaram nos testes funcionais previstos devido às limitações informadas no item f do algoritmo de TMR1. Todavia, recomenda-se a realização dessas análises em revisões ou outros projetos.
- k) **Resultados** satisfatórios? Sim, considerando a análise completa.
- l) **Métricas técnicas**. A primeira é a de potência.

Com relação ao item “i” há a possibilidade de consulta a resultados de projetos na literatura (Apêndice C). O próximo passo é a aplicação das métricas finais de potência e confiabilidade.

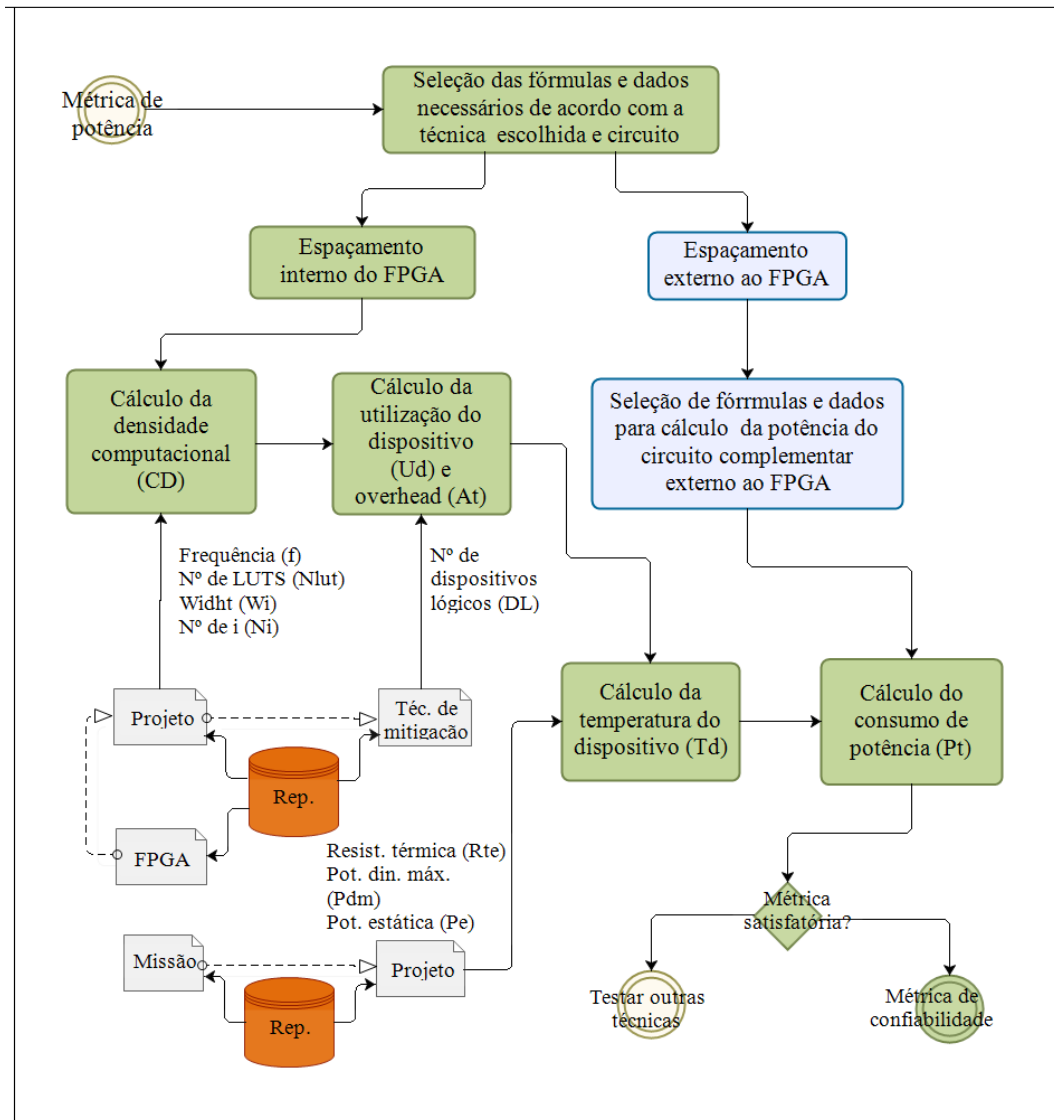
### **6.2.3 Aplicação das métricas de potência e confiabilidade (TMR)**

Para a aplicação das métricas de potência e confiabilidade foram observados os passos no sequenciamento do algoritmo das Figuras 5.18 e 5.19. Para facilitar a compreensão do processo foram geradas as Figuras 6.9 e 6.11 com as análises previstas. Os cálculos destes algoritmos utilizam a premissa de que os conceitos e cálculos específicos para FPGAs foram validados pela comunidade científica, conforme literatura pesquisada. A metodologia utiliza equações que se baseiam no resultado do processamento utilizando a Densidade Computacional (CD – *Computational Density*) e a utilização do dispositivo. Segundo Williams et al. (2010), a Densidade Computacional no nível de bit ( $CD_{bit}$ ) foi originalmente proposta por DeHon (1996), descrevendo o desempenho computacional de um dispositivo em bits individuais, padronizado pela área da matriz e tecnologia de processo (Figura 6.9).

Assim, a CD pode ser definida como a quantidade de recursos de dispositivo que um sistema usa comparada com a quantidade total disponível de recursos do dispositivo (porcentagem). A proporção do processamento necessário para a CD do dispositivo será utilizada como referência para o cálculo da utilização do mesmo. O valor de CD deve corresponder ao tipo e precisão das operações usadas no processamento requerido. Também há a consideração de um desvio da métrica original omitindo a normalização e, em vez disso, agrupando dispositivos por tecnologia de processo. A CD de nível de bits pode ser definida quanto à tecnologia do dispositivo, conforme item 2.1.2, onde é apresentada a taxionomia MC.



Figura 6.9 – Algoritmo para métrica de potência (estudo de caso).



Fonte: Produção do autor.

A Equação 6.1 aplica-se a dispositivos FMC e RMC de granulação grossa como:

$$CD_{bit} = f \times \sum_i (W_i \times N_i) \quad (6.1)$$

Onde:

- $W_i$  é a largura do elemento  $i$ ;
- $N_i$  é o número de elementos  $i$  ou o número de instruções que podem ser emitidas simultaneamente, e
- $f$  é a frequência de *clock*.

Esta métrica foi redefinida para FPGAs em LUTs, conforme a Equação 6.2, onde cada LUT pode implementar pelo menos uma operação de nível de bit no *gate*.

$$CD_{bit} = f \times \left[ N_{LUT} + \sum_i (W_i \times N_i) \right] \quad (6.2)$$

Onde:

- a)  $N_{LUT}$  é o número de LUTs;
- b)  $W_i$  é a largura do elemento  $i$ , como recursos do multiplicador de DSP;
- c)  $N_i$  é o número de elementos  $i$ ; e
- d)  $f$  é a frequência de *clock*.

Apesar de serem valores de pico teóricos, essas duas equações fornecem uma estimativa do CD (nível de bit máximo) em termos da frequência e paralelismo. Ressalta-se que o desempenho alcançável será muito mais próximo do desempenho de pico do que seria para dispositivos com granulação mais grossa, pois os FPGAs têm menos sobrecarga para cálculos no nível de bits. Para efeito de cálculos no contexto desta tese, também foi escolhida uma forma conservadora de não fazer uma distinção entre o número de LUTs de 4 e 6 entradas. Uma LUT de 6 entradas nem sempre é 1,5 vezes mais potente em termos computacionais do que uma LUT de 4 entradas, dependendo das funções que forem implementadas.

Prosseguindo no cálculo do CD e analisando o circuito do EDC do estudo de caso, iniciou-se com o FPGA M2S025 da Microsemi (Microchip). Os dados informados pela equipe de projeto constam da Tabela 6.2, sendo computadas as 13.854 LUTs e 30 MACC (*Multiply Accumulate*) ou multiplicadores do DSP.

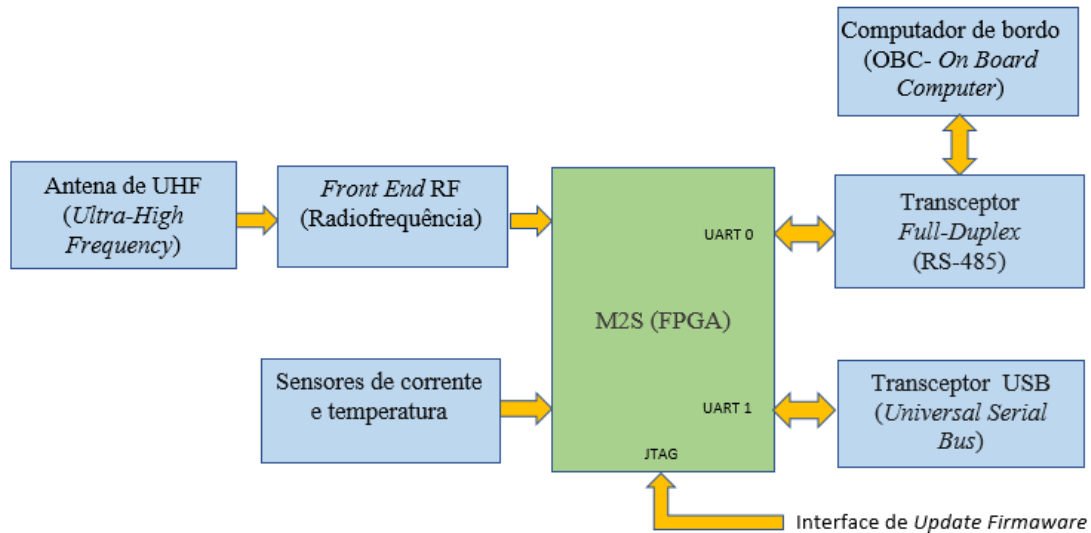
Tabela 6.2 – Informações dos recursos do FPGA (estudo de caso).

<b>Tipo</b>	<b>Usado</b>	<b>Total</b>	<b>Porcentagem</b>
4LUT	13854	27696	50,02
User I/O	24	267	8,99
RAM 64 x 18	23	34	67,65
RAM 1K 18	15	31	48,39
MACC	30	34	88,24
CCC ( <i>Clock Conditioning Circuit</i> )	1	6	16,67

Fonte: Produção do autor.

Por intermédio da Figura 6.10 do projeto do EDC pode-se verificar o emprego do FPGA do estudo de caso.

Figura 6.10 - Projeto do EDC (estudo de caso).



Fonte: Adaptado de Messias et al. (2020).

Conforme Equação 6.2, foi calculado o  $CD_{bit}$  do FPGA com o número de LUTs utilizadas e MACC considerados (projeto). A fonte de dados para os itens a, c, d é o Apêndice G e para o item b é Microsemi (2018).

- a)  $N_{lut (proj)} = 13854$ ;
- b)  $W_i = 18$ ;
- c)  $N_i (proj) = 30$  (MACC); e
- d)  $f = 30 \times 10^6$  Hz.

$CD_{bit (proj)} = 431,82$ GOPS	(Giga Operações por Segundo)
---------------------------------	------------------------------

Utilizando ainda a Equação 6.2 e fontes citadas, também foi calculado o  $CD_{bit}$  máximo com alteração dos dados dos itens a, c:

- a)  $N_{lut (disp)} = 27696$ ;
- b)  $W_i = 18$ ;

c)  $N_{i(\text{disp})} = 34$  (MACC); e

d)  $f = 30 \times 10^6$  Hz.

$CD_{\text{bit}(\text{max})} = 849,24$  GOPS (número máximo),

A utilização do dispositivo ( $U_{\text{disp}}$ ) pode ser calculada pela Equação 6.3:

$$U_d = \frac{CD_{\text{bit}(\text{proj})}}{CD_{\text{bit}(\text{max})}} \quad (6.3)$$

$$U_d = \frac{431,82}{849,24} \quad U_d = 0,508 = 50,8\%$$

Segundo Wulf et al. (2016), o cálculo da utilização com a técnica de TMR ( $U_{\text{dt}}$ ) abrange a *overhead* de área da técnica de mitigação analisada ( $A_t$ ). Este termo pode ser calculado pela relação de DLs (Dispositivos Lógicos) necessários para a técnica e os DLs do projeto original, segundo Equação 6.4:

$$A_t = \frac{DL_{(\text{tec})}}{DL_{(\text{proj})}} \quad (6.4)$$

No contexto da tese optou-se por verificar a TMR Parcial como uma das alternativas possíveis (M2S025). Em um dos trabalhos científicos pesquisados (PRATT et al., 2008) constatou-se que há valores típicos de *overhead* para este subtipo de TMR: 25%, 100% e 175%. Para a TMR *Full* a *overhead* geralmente é de cerca de 200%, dispensando a utilização de cálculos. Todavia, como podem ser utilizados outros conceitos de TMR, a *overhead* deverá ser calculada para cada caso, com seus respectivos DLs. Para a análise de outras técnicas foram efetuados cálculos para a obtenção da *overhead*. A utilização do dispositivo com a técnica de tolerância a falhas de TMR Parcial e *overhead* de 25% foi obtida pela Equação 6.5:

$$U_{\text{dt}} = U_d (1 + A_t) \quad (6.5)$$

Prosseguindo no cálculo com  $U_{\text{dt}} = 0,508$

$$U_{\text{dt}} = 0,508 (1 + 0,25) \quad U_{\text{dt}} = 0,636 = 63,6\%$$

O resultado da utilização do dispositivo com a técnica de TMR Parcial e *overhead* de 25% foi de 63,5%. Como esta utilização é menor que 100%, o sistema requer

um dispositivo FPGA para que a técnica possa ser implementada. Caso sejam escolhidas TMRs parciais com *overheads* de 100% e 175% as utilizações seriam de 101,6% e 139,7%, respectivamente. Como estes resultados implicam em maiores custos e ocupação de espaço físico (dois FPGAs), os cálculos prosseguiram com a *overhead* de 25%.

Outra grandeza que pode ser calculada é a proporção da área do dispositivo ocupada ( $A_d$ ) para que o projetista possa avaliar se o FPGA comporta a técnica a ser analisada ou que parte do dispositivo estará sujeita a SEE (Equação 6.6). Para isso é necessário obter o número de DLs do projeto inicial (Apêndice I) e o número de DLs disponíveis no FPGA (MICROSEMI, 2018). Como DL foram computados os dispositivos necessários para o processamento e armazenamento de dados principais, conforme apêndice citado.

$$A_d = \frac{DL_{(proj)}}{DL_{(disp)}} \quad (6.6)$$

$$A_d = \frac{13947}{28996}$$

$A_d = 0,481$
---------------

Prosseguindo na aplicação da metodologia (Figura 6.9), foi calculada a métrica de potência, conforme Wulf et al. (2016). A mesma está baseada no cálculo do processamento exigido do sistema com a respectiva taxa de operações realizadas. O resultado desta métrica permite a comparação da potência total necessária para as operações em um dispositivo ( $P_t$ ) e o consumo total máximo de energia do dispositivo ( $P_{tm}$ ). Para isto, deve-se realizar a soma do consumo de potência estática ( $P_e$ ) e o da potência dinâmica ( $P_d$ ). A  $P_d$  está diretamente relacionada com o produto da potência dinâmica máxima ( $P_{dm}$ ) e a utilização do dispositivo, com a técnica de tolerância a falhas ( $U_{dt}$ ). A  $P_{dm}$  é um dado de projeto e foi estimada pelo consumo de energia esperada para a operação do circuito, com base em simulação por *software*. A Equação 6.7 sintetiza a potência total e a Equação 6.8 demonstra que a potência estática pode ser avaliada em função da temperatura do dispositivo ( $T_d$ ).

$$P_t = P_e + P_d = P_e + (P_{dm} \times U_{dt}) \quad (6.7)$$

$$P_e = \{f_{pe} (T_d)\} \quad (6.8)$$

Onde  $\{f_{pe}(T_d)\}$  é a função de potência estática do dispositivo, que registra como esta varia em relação à sua temperatura.

Para o cálculo da potência total determina-se primeiro o estado de equilíbrio, ou seja, a temperatura do dispositivo necessária para garantir que a potência total utilizada pelo dispositivo seja igual à potência dissipada como calor. Este é fornecido pela Equação 6.9:

$$P_t = \frac{T_d - T_a}{R_{te}} \quad (6.9)$$

Onde:

- a)  $T_d$ : temperatura do dispositivo;
- b)  $T_a$ : temperatura ambiente da plataforma; e
- c)  $R_{te}$ : resistência térmica do dispositivo para a plataforma.

Após definir as Equações 6.7 a 6.9 pode-se combinar as mesmas e substituir  $P_e$  por  $\{f_{sp}(T_d)\}$  da Equação 6.8. Igualando a nova equação obtida a zero, produz-se a Equação 6.10.

$$R_{te} \{f_{pe}(T_d) + P_d\} + T_a - T_d = 0 \quad (6.10)$$

Prosseguindo e utilizando o método *Newton-Raphson* (função) pode-se encontrar a  $T_d$  definido na Equação 6.10. Após esses procedimentos, é possível calcular o consumo total de energia de acordo com a Equação 6.9. Neste ponto é importante definir um fator que aborda a quantidade de dispositivos necessários, o qual é função da utilização do dispositivo (Equação 6.11). Se esta for menor que 100% será necessário apenas um dispositivo; se for maior, o número de dispositivos deverá variar de acordo com a porcentagem relativa à utilização do dispositivo.

$$n = \{U_{dt}\} \quad (6.11)$$

Quando houver mais de um dispositivo, para o cálculo da potência dinâmica observa-se a utilização em um único dispositivo. Supondo que valor total seja distribuído uniformemente pelos  $n$  dispositivos, pode-se dividir o valor total pelo número de dispositivos (Equação 6.12).

$$P_d = \frac{P_{dm} \cdot U_{dt}}{n} \quad (6.12)$$

Finalmente, para efeitos da comparação definida nesta tese, calcula-se a potência total máxima por intermédio da potência estática e dinâmica máxima (Equação 6.13).

$$P_{tm} = P_e + P_{dm} \quad (6.13)$$

No caso das informações relativas à temperatura, a equipe do projeto recomendou a utilização dos manuais do FPGA. Os valores de potência estática e dinâmica foram estimados por intermédio de *software*. Para o prosseguimento dos cálculos foram utilizadas as premissas de que as informações e estimativas são aplicáveis para a análise proposta. Neste estudo de caso com a técnica de TMR, considerou-se a temperatura ambiente ( $T_a$ ) de 25 °C. A resistência térmica da junção à placa é de 4,9 °C/W, a qual mede a capacidade do pacote de dissipar o calor da superfície do *chip* para a PCB. A resistência térmica da junção com o ambiente foi utilizada como um parâmetro para determinar o comportamento teórico da potência estática com a temperatura, mas tem pouca relevância no desempenho real do produto. O manual do FPGA recomenda cautela, devendo ser utilizada para comparar o desempenho térmico de um pacote com outro. Na ausência de valores práticos para a variação de potência estática com a temperatura, foram utilizados cálculos do manual para a potência total dissipada. Verifica-se por esses cálculos que esta potência pode variar de 1,02 a 5,10 W entre 85 °C e 25 °C (resistência térmica da junção com o ar de 14,7 °C/W). Estes valores são relativos ao FPGA M2S050, porém foram utilizados como referências para os FPGAs analisados (MICROSEMI, 2012). A equipe do projeto estimou valores para a potência estática e dinâmica (*software*). Para a potência estática foi estimado um valor de 15 mW; para a potência dinâmica máxima, o valor foi de 400 mW (Apêndice G). Para a maior consistência dos cálculos, ressalta-se que os cálculos posteriores devem utilizar a potência dinâmica para um dispositivo, observando a sua utilização. Conforme os resultados e análise da Equação 6.5 concluiu-se que há a necessidade de um dispositivo para o FPGA (M2S025 com *overhead* de 25%). A potência dinâmica para um dispositivo foi calculada, segundo a Equação 6.12:

$$P_d = \frac{P_{dm} \times U_{dt}}{n} = \frac{0,4 \times 0,636}{1} \quad P_d = 0,254 \text{ W}$$

Para a função da potência estática foi realizada uma simplificação excessiva de função padronizada de potência dissipada. Como uma variação de 60 graus pode causar uma variação na potência dissipada de até cinco vezes, estimou-se que a potência estática pode variar de 15 a 75 mW entre 25 °C e 85 °C, resultando em uma função (Equação 6.10):

$$R_{te} \{f_{pe}(T_d) + P_d\} + T_a - T_d = 0$$

$$f_{pe}(T_d) = y = a_1x - a_2 = a_1 T_d - a_2 = 0,001 T_d - 0,01 \text{ (equação da reta)}$$

Onde  $a_1$  e  $a_2$  são os coeficientes da equação da reta.

Substituindo os valores na equação anterior, obtêm-se:

$$R_{te} \{(a_1 T_d - a_2) + P_d\} + T_a - T_d = 0$$

$$T_d = \frac{P_d R_{te} + T_a - a_2 R_{te}}{1 - a_1 R_{te}} = \frac{0,254 + 25 - 0,01 \times 4,9}{1 - 0,001 \times 4,9} \quad T_d = 26,326 \text{ °C}$$

Para o dispositivo do estudo de caso, com a técnica de TMR, a potência total pode ser calculada pela Equação 6.9:

$$P_t = \frac{T_d - T_a}{R_{te}} = \frac{26,326 - 25}{4,9} \quad P_t = 0,271 \text{ W}$$

Para a verificação desta métrica de potência optou-se, neste estudo de caso, por comparar a potência total com a potência total máxima, a qual é obtida pela soma das potências dinâmica e estática máxima para um dispositivo (Equação 6.13).

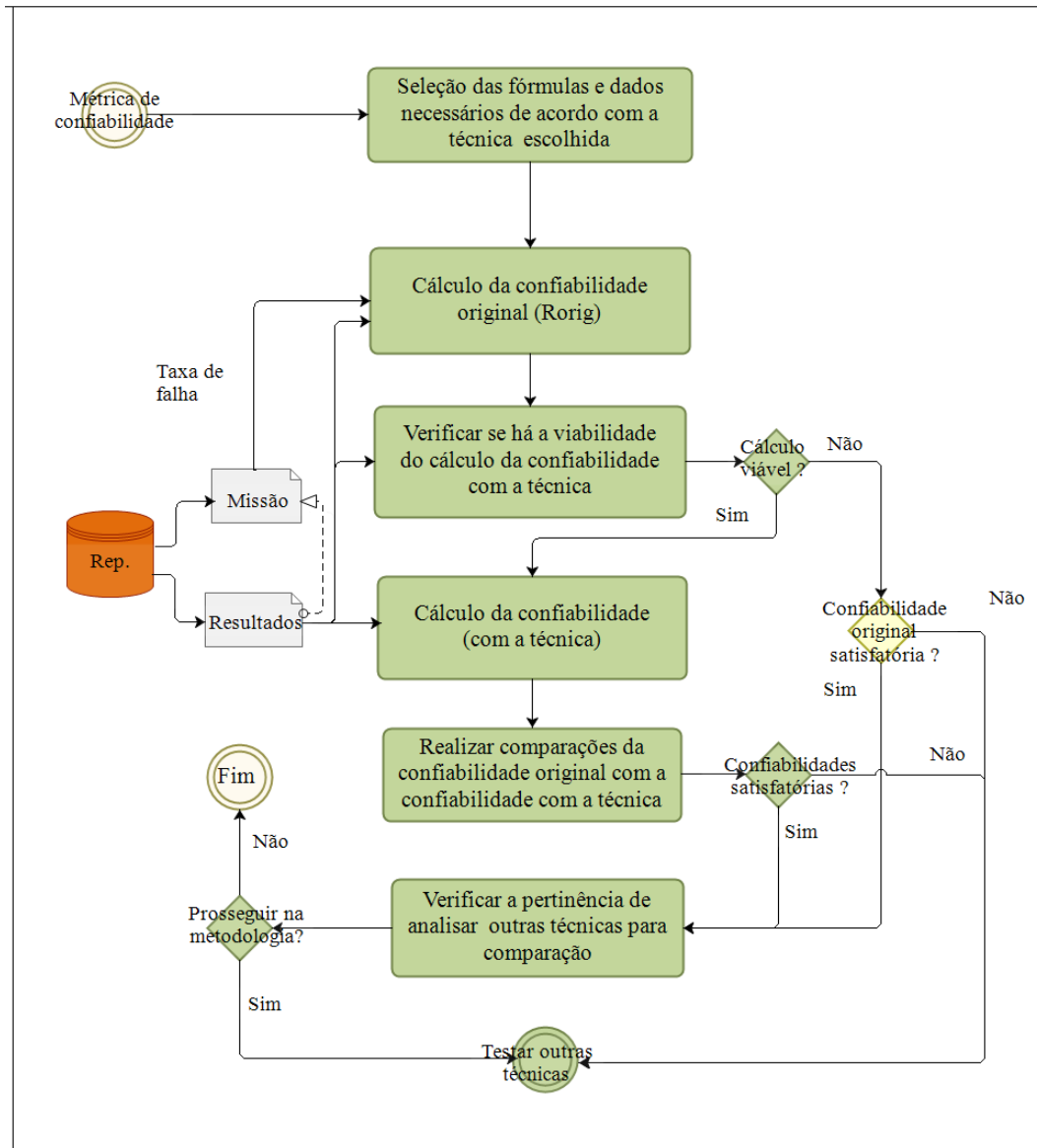
$$P_{tm} = P_e + P_{dm} = 0,015 + 0,4 \quad P_{tm} = 0,415 \text{ W}$$

Para a métrica ser considerada válida a  $P_t$  deve ser igual ou menor que a  $P_{tm}$ . Para o FPGA analisado este fato ocorreu, pois o valor de  $P_t$  foi de 0,271 W e o de  $P_{tm}$  de 0,415 W.

O passo final é a aplicação da métrica de confiabilidade, conforme continuidade na Figura 5.19. Os procedimentos necessários podem ser repetidos na Figura 6.11 devido à sequência do estudo de caso.



Figura 6.11 – Algoritmo para métrica de confiabilidade (estudo de caso).



Fonte: Produção do autor.

Entretanto, para essa análise são importantes os conceitos de fluxo de partículas, taxa de *upsets* e cálculo de falhas. O fluxo de partículas em um material é descrito pelos dados de radiação ambiental para íons pesados (LET), que especifica o número de partículas por unidade de comprimento para valores variados ou níveis de energia relacionados a prótons, conforme item 2.2.3. A resposta à radiação está relacionada às áreas do dispositivo semiconductor que são sensíveis a *upsets* de eventos únicos (ou seja, *bit flip*), observando um

determinado LET ou nível de energia. Para o estudo de caso desta tese, o efeito da temperatura relativo à radiação não foi abordado, embora também possa afetar a seção transversal de um dispositivo. Isto ocorre por que geralmente não são encontrados dados suficientes sobre este efeito nos dispositivos estudados. A metodologia de avaliação pesquisada no contexto desta tese usa o cálculo da sensibilidade total do dispositivo como o produto da sensibilidade de bit e o número de bits sensíveis. Para isto, há uma estimativa do número de bits sensíveis como sendo igual ao tamanho do *bitstream* do dispositivo. Em outras palavras, esta metodologia de avaliação aborda os componentes do FPGA que o *bitstream* configura ou inicializa na estimativa de sensibilidade. Como exemplos desses componentes pode-se citar os *flip-flops*, blocos de RAMs, unidades DSP e LUTs. A avaliação da taxa de *upset* do dispositivo baseia-se nas análises do ambiente e dados de resposta à radiação do dispositivo. Esta avaliação é realizada pela taxa em que várias partículas atingem o dispositivo e os efeitos destes impactos. A mesma inclui os recursos em regiões dos dispositivos não utilizados, ou seja, avalia a taxa de *upsets* em todo o dispositivo. Devido a esse fato há a necessidade de especificar a taxa efetiva de *upset* do dispositivo, observando a utilização deste. Esta taxa é calculada como sendo o produto da taxa de *upset* do dispositivo e da utilização do mesmo, a qual mede a quantidade relativa de recursos do dispositivo usados. No entanto, há a constatação de que apenas 10% de bits podem ser vulneráveis, mesmo com 100% de utilização do dispositivo. Isto deve-se ao fato de que muitos recursos do dispositivo permanecerão sem uso como roteamento não utilizado, recursos não roteáveis, congestionados ou outros motivos semelhantes.

A análise baseada no dimensionamento de utilização do dispositivo fornece uma estimativa razoável do pior caso da taxa do dispositivo. Ainda assim, torna-se possível aproximar a precisão da taxa de *upset* do dispositivo e melhorar a análise por intermédio de ferramentas do fornecedor ou injeção de falhas. Para efeito desta tese, será analisado o dimensionamento da utilização do dispositivo, conforme Equação 6.6. Finalmente, a avaliação utiliza o cálculo da MTBF (*Mean Time Between Failures*), o qual quantifica o tempo médio que um dispositivo pode operar sem experimentar uma falha. Ressalta-se que este cálculo deve ser

realizado para cada técnica a ser analisada. No caso específico da TMR, a confiabilidade é a probabilidade de que não haja *upset* no sistema por algum período e é calculado conforme as Equações 6.14 e 6.15:

$$R_{\text{tmr}} = 3 (R_{\text{orig}})^2 - 2(R_{\text{orig}})^3 \quad (6.14)$$

$$R_{\text{orig}} = e^{-\lambda t} \quad (6.15)$$

Onde  $R_{\text{orig}}$  é a confiabilidade obtida por métodos estatísticos, considerando os dados do ambiente de radiação e a dimensão de uso do dispositivo. Pode ser uma estimativa razoável da taxa de pior caso para o dispositivo.

Os principais efeitos da radiação para o contexto desta tese são íons pesados e os prótons presos, utilizando os dados relativos à missão. Conforme o item 2.2.3, o CREME96 é uma ferramenta disponibilizada em *site* da Vanderbilt University, em parceria com a NASA (CREME, 2020). Esta ferramenta calcula os efeitos das partículas citadas nos dispositivos em processamento, reportando a taxa de *upset* esperada para um dispositivo em uma determinada órbita. O CREME96 cria um modelo de ambiente de radiação ionizante do espaço externo, que modela o fluxo de prótons e íons pesados de várias energias em torno do satélite. Assumindo uma blindagem típica de 100 milímetros de alumínio, o CREME96 fornece um modelo de radiação transferido para o ambiente de radiação no interior do satélite. Desse modo, pode estimar a taxa de *upset* do dispositivo utilizando os dados de resposta à radiação do dispositivo e o modelo de radiação interna citada.

O exemplo da literatura (WULF et al., 2016) de uma missão com FPGA em órbita baixa (LEO) e taxa de *upsets* induzida por íons pesados de 0,538 por dia, e taxa de *upsets* induzidos por prótons presos é de 1,12 *upsets* por dia, para uma taxa total de *upsets* do dispositivo de 1,66 *upsets* por dia ( $T_u$ ). A *overhead* de área do dispositivo, conforme a Equação 6.6 é de 48,1%, considerando que há 28.996 unidades lógicas disponíveis do FPGA, com a utilização de 13.947. Estes dados resultam em uma taxa do dispositivo efetiva ( $T_{ue}$ ) de acordo com a Equação 6.16:

$$T_{ue} = T_u \times A_d \quad (6.16)$$

Onde:

- a)  $T_{ue}$ : Taxa de *upsets* efetiva; e
- b)  $A_d$  : Área ocupada (utilização física do dispositivo).

$$T_{ue} = 1,66 \times 0,481$$

$$T_{ue} = 0,798$$

Devido à sobrecarga de 25% ( $A_t$ ) da técnica da TMR Parcial, a taxa de *upsets* aumenta para 2,075 *upsets* por dia ( $1,66 \times 1,25$ ). Se for considerado que apenas 10% dos bits são vulneráveis, conforme exemplo do projeto da literatura, a taxa efetiva do dispositivo de *upsets* cai para 0,100 *upsets* por dia. A Equação 6.17 sintetiza o conceito de taxa *upset* efetiva proporcional ( $T_{uep}$ ) para este caso.

$$T_{uep} = T_{ue} \times (1 + A_t) \times 0,10 \quad (6.17)$$

$$T_{uep} = 0,798 \times (1 + 0,25) \times 0,10$$

$$T_{uep} = 0,100$$

Utilizando a fórmula da confiabilidade, sem abordar a TMR, com  $\lambda$  sendo substituído pela taxa efetiva de *upsets* e  $t$  igual à taxa de um dia.

$$R_{orig} = e^{-\lambda t} = e^{-0,100}$$

$$R_{orig} = 0,905 = 90,5\%$$

Utilizando a Equação 6.14 obtêm-se:

$$R_{tmr} = 3 (R_{orig})^2 - 2(R_{orig})^3 = 3 (0,905)^2 - 2(0,905)^3$$

$$R_{tmr} = 0,975 = 97,5\%$$

Se um sistema que não utiliza a TMR tiver uma confiabilidade de 90,5% após 1 dia, o TMR aumentará a confiabilidade para 97,5%, o que representa um ganho relevante com a utilização da mesma e o FPGA M2S025. Para os FPGAs M2S050 e M2S090 foram realizados os mesmos cálculos, originando a Tabela 6.3 (item 6.3.2) para a comparação de resultados entre os tipos de FPGAs.

### 6.3 Comparação de resultados e discussões

Caso o engenheiro projetista considere o resultado satisfatório poderá implementá-lo ou prosseguir na metodologia. Para o objetivo desta tese, apesar de o resultado da TMR ter sido classificado como satisfatório pode-se prosseguir

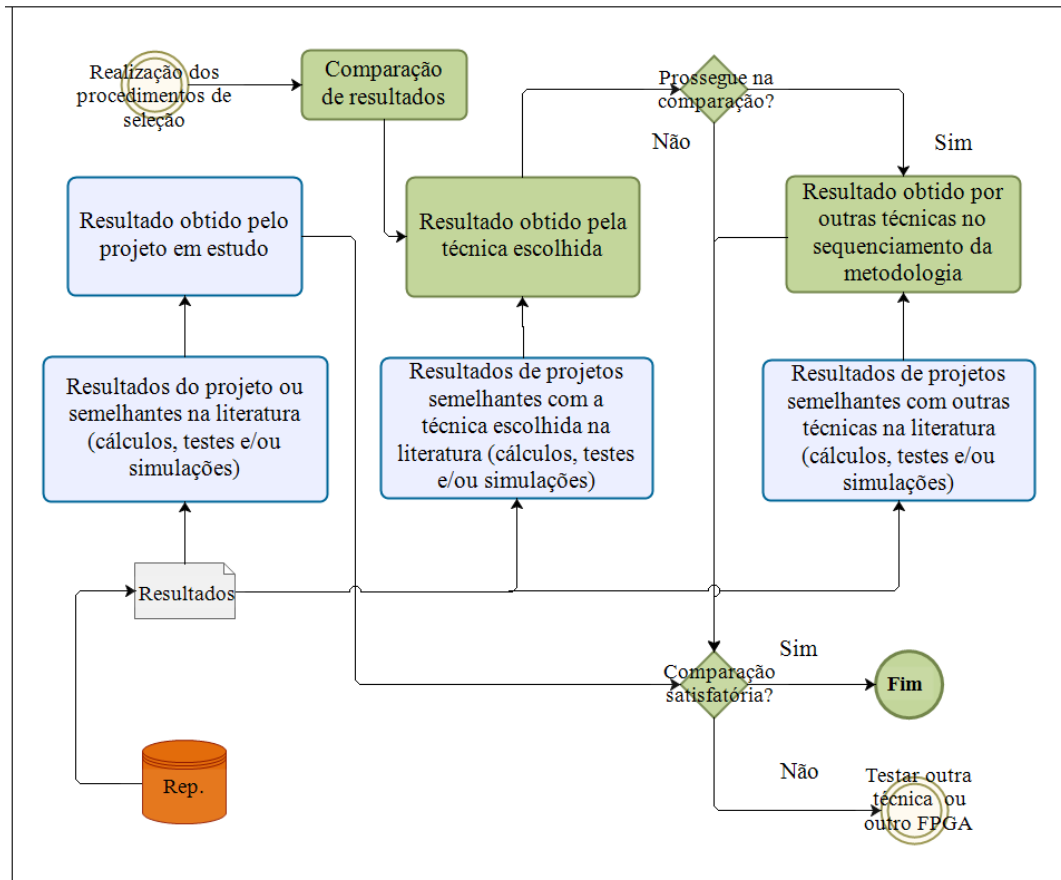
nos algoritmos para se obter o resultado de outras técnicas. Dessa forma, poderão ser realizadas comparações, conforme a Figura 6.12, por intermédio de cálculos para as métricas, testes e simulações realizados ou de resultados de projetos semelhantes (Coluna R da Tabela C.1 do Apêndice C). Para o estudo de caso foram realizadas comparações dos cálculos das métricas da técnica selecionada com outras técnicas subsequentes. De acordo com o escopo da tese, foram avaliadas mais duas técnicas (Reconfiguração e EDAC). Assim, é possível estabelecer uma comparação relevante de técnicas que podem ser opções que apresentem vantagens e desvantagens para efeito de verificação da metodologia proposta. Nessas aplicações as ênfases foram nas métricas de potência e confiabilidade, as quais foram sintetizadas nas Tabelas 6.3 e 6.4 (item 6.3.2).

Para efeito dos cálculos para a comparação de resultados, esta tese utilizou como referência artigos publicados por Pérez et al. (2017); Tello (2019). Segundo os autores foram utilizados os seguintes recursos para a implementação da Reconfiguração e EDAC, respectivamente: 33.848 e 2.642 dispositivos lógicos. Para o cálculo da *overhead* para estas técnicas foi avaliada a proporção entre os DLs da técnica e do projeto original (Equação 6.4). Estes valores foram maiores que o valor de *overhead* em relação à TMR *Full* para Reconfiguração e menores, para EDAC.

Vale ressaltar, ainda, a lógica adotada para a comparação e resultados:

- a) como o estudo foi realizado após a fase de implementação e testes do equipamento, não foi possível obter os resultados de testes práticos com a técnica;
- b) foram realizadas comparações de acordo com as análises dos itens 6.3.1 e 6.3.2, finalizando com os resultados teóricos das Tabelas 6.3 e 6.4; e
- c) os resultados poderão ser utilizados em futuras revisões do projeto ou em outros projetos semelhantes.

Figura 6.12 – Algoritmo para comparação de resultados (estudo de caso).



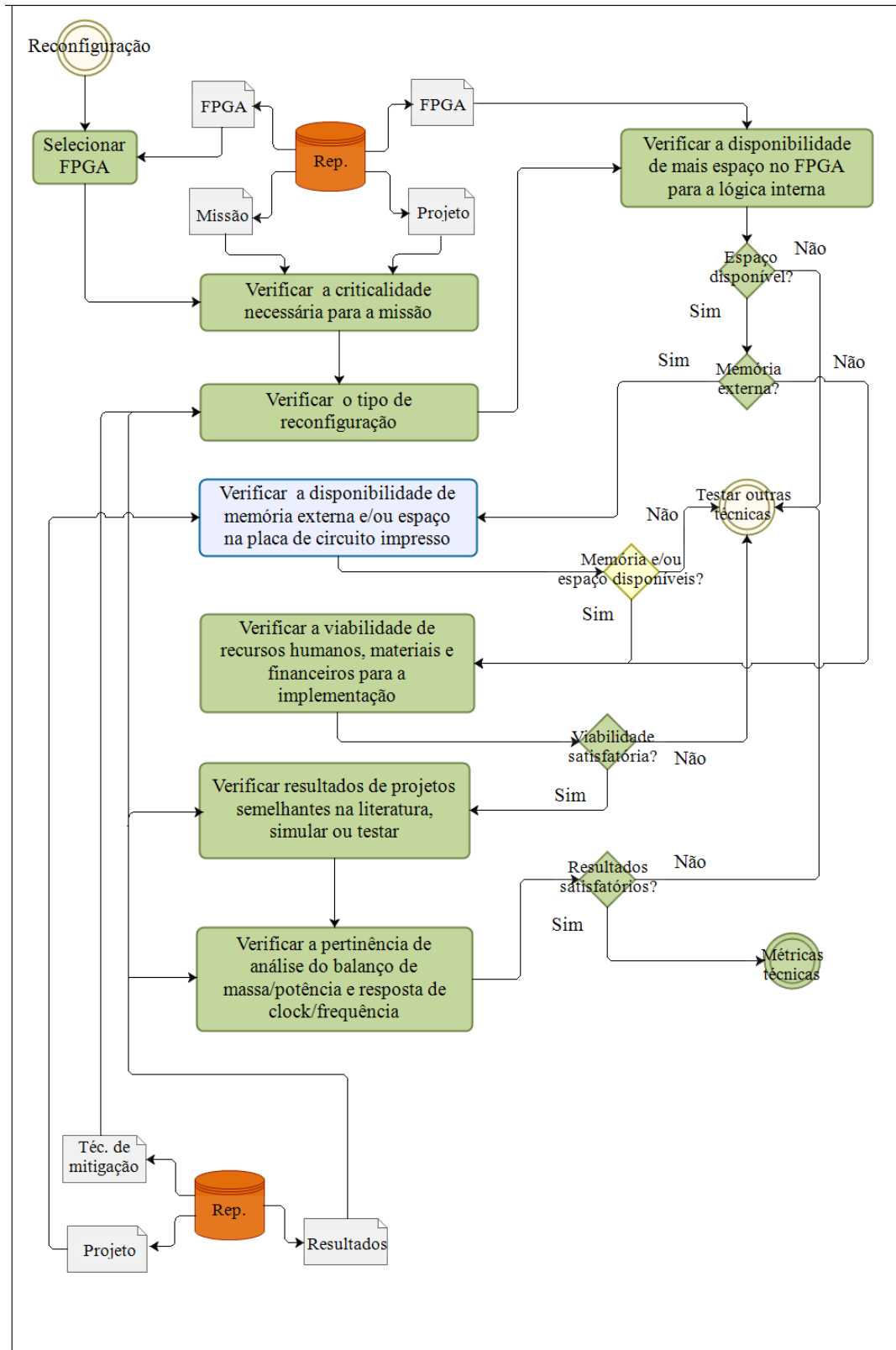
Fonte: Produção do autor.

### 6.3.1 Aplicação da metodologia (Reconfiguração)

A próxima técnica é a Reconfiguração, cujo algoritmo pode ser acompanhado na Figura 6.13, derivada da Figura 5.15. Seguindo os passos descritos pelo algoritmo, obtêm-se as informações e decisões.

- Selecionar **FPGA**. FPGAs MS025, 50 ou 90 da Microsemi (Microchip).
- Verificar a **criticalidade** necessária para a missão. Esta especificação não ocorreu, de acordo com os algoritmos anteriores, adotando-se a criticalidade geral para dispositivos tolerantes.

Figura 6.13 – Algoritmo para Reconfiguração (estudo de caso).



Fonte: Produção do autor.

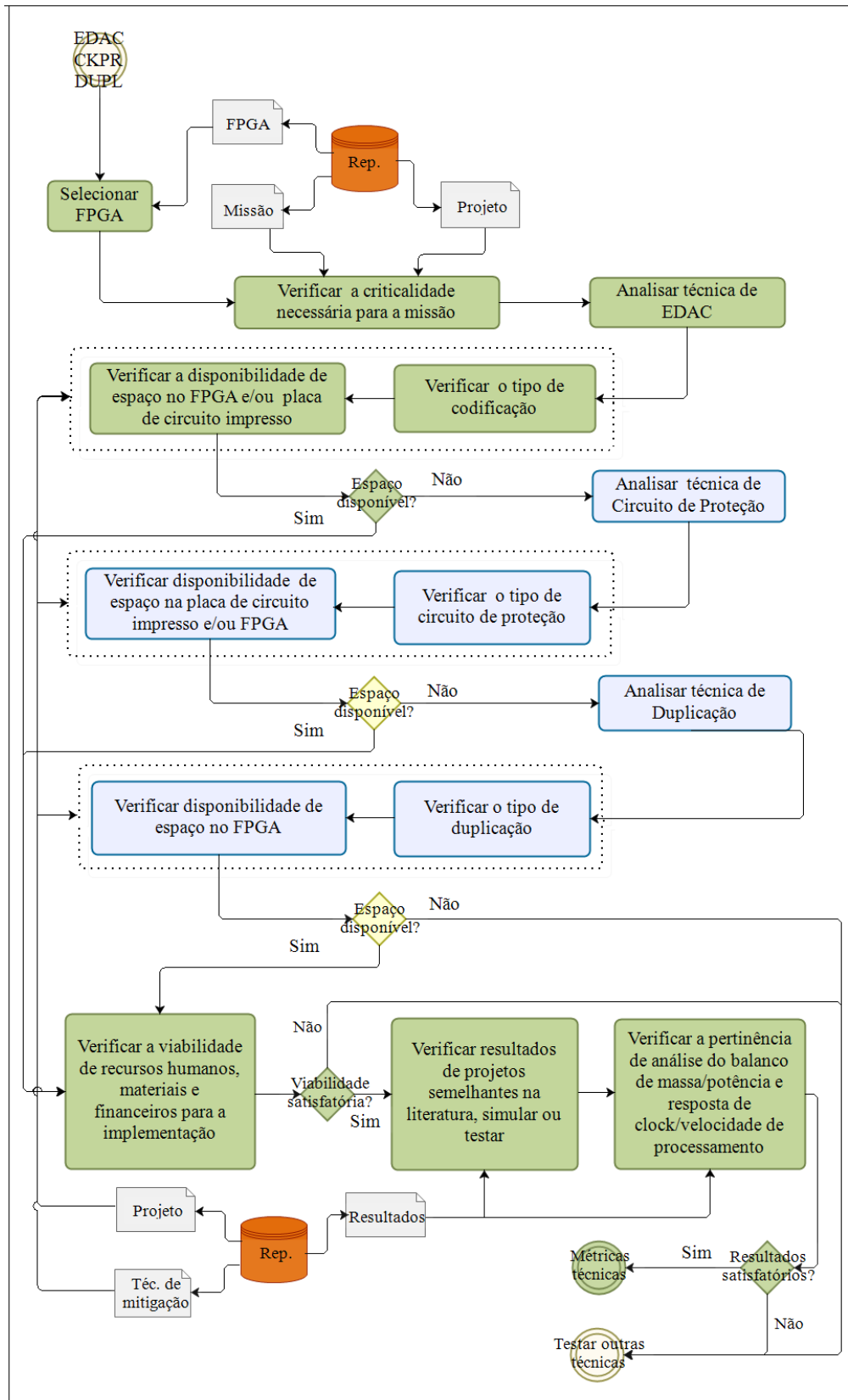
- c) Verificar o **tipo de reconfiguração**. O tipo selecionado foi uma reconfiguração integrada com *scrubbing* e suporte de RTEMS (*Real - Time Executive for Multiprocessor Systems*), consistindo de um núcleo de processador reconfigurável para aplicações espaciais (Pérez et al., 2017).
- d) Verificar a disponibilidade de mais **espaço no FPGA** para a lógica interna. No caso do FPGA M2S025 houve a necessidade de mais um FPGA. Como esta lógica está inserida na capacidade dos outros FPGAs (M2S050 e 90), somente um FPGA foi suficiente para estes casos.
- e) **Espaço** disponível? Sim, com as observações do item anterior.
- f) **Memória externa**? Não.
- g) Verificar a viabilidade de **recursos humanos, materiais e financeiros** para a implementação. Como esta técnica foi utilizada para comparação das métricas não foi necessário avaliar este item.
- h) **Viabilidade** satisfatória? Esta técnica foi utilizada para comparação, conforme item anterior.
- i) Verificar **resultados** de projetos semelhantes na literatura, **simular ou testar**. Foram utilizados cálculos de métricas para comparação com a técnica selecionada pela metodologia.
- j) Verificar pertinência de análise de balanço de **massa/potência** e resposta de **clock/velocidade de processamento**. Foram realizados testes funcionais e análises de balanço de massa/potência, conforme item j do algoritmo relativo a TMR2.
- k) **Resultados** satisfatórios? Foram verificados pela comparação das métricas técnicas (análise dos dados no item 6.3.2).
- l) **Métricas técnicas**.

### 6.3.2 Aplicação da metodologia (EDAC)

Prosseguindo na comparação de resultados foi também analisado o algoritmo para a técnica de EDAC, conforme a Figura 6.14, derivada da Figura 5.16.



Figura 6.14 – Algoritmo para EDAC (estudo de caso).



Fonte: Produção do autor.

Apesar do algoritmo englobar a análise de três técnicas foi avaliada apenas a técnica de EDAC. Seguindo os passos descritos pelo algoritmo relativos a esta técnica, obtêm-se as seguintes informações e decisões.

- a) Selecionar **FPGA**. FPGAs MS025, 50 ou 90 da Microsemi (Microchip).
- b) Verificar a **criticalidade** necessária para a missão. Esta especificação não ocorreu, de acordo com os algoritmos anteriores, adotando-se a criticalidade geral para dispositivos tolerantes.
- c) Analisar técnica de **EDAC**. Este algoritmo teve como objetivo somente esta análise.
- d) Verificar o **tipo de codificação**. Bit de paridade, conforme Tello (2019).
- e) Verificar a disponibilidade de **espaço** no FPGA e/ou placa de circuito impresso.
- f) **Espaço** disponível? Sim.
- g) Verificar a viabilidade de **recursos humanos, materiais e financeiros** para a implementação. Como esta técnica foi utilizada para comparação das métricas não foi necessário avaliar este item.
- h) **Viabilidade** satisfatória? Esta técnica foi utilizada para comparação, conforme item anterior.
- i) Verificar **resultados** de projetos semelhantes na literatura, **simular ou testar**. Foram utilizados cálculos de métricas para comparação com a técnica selecionada pela metodologia.
- m) Verificar pertinência de análise de balanço de **massa/potência** e resposta de **clock/velocidade de processamento**. Foram realizados somente testes funcionais e análises de balanço de massa/potência, conforme item j do algoritmo relativo a TMR2.
- n) **Resultados** satisfatórios? Foram verificados pela comparação das métricas técnicas, que é o próximo passo (análise dos dados das tabelas 6.3 e 6.4).
- j) **Métricas técnicas**.

Os cálculos das métricas de potência e confiabilidade para outras técnicas seguiram o mesmo procedimento para a técnica de TMR. A Tabela 6.3 resume

os resultados obtidos para a TMR com M2S025 e acrescentando os FPGAs M2050 e M2090. A Tabela 6.4 demonstra os cálculos realizados para as técnicas de Reconfiguração e EDAC (três FPGAs).

Os dados iniciais (comuns) para a Tabela 6.4 foram obtidos na Tabela 6.3 (f a  $U_d$ ). A Tabela 6.3 contém a descrição dos símbolos, mas na Tabela 6.4 não há esta necessidade, pois são iguais ao da Tabela 6.3. Como o projeto é único para o estudo de caso, alguns dados são iguais para os três FPGAs e para as três técnicas em comparação como:  $f$ ,  $N_{lut (proj)}$ ,  $N_i (proj)$ ,  $DL (proj)$ ,  $P_{dm}$ ,  $R_{te}$ ,  $P_e$ ,  $P_{tm}$  e  $T_u$ .

Tabela 6.3 – Resumo dos cálculos finais para TMR.

	M2S025	M2S050	M2S090	Descrição	Obtenção
f	30	30	30	Frequência (MHz)	Dado
$N_{lut (disp)}$	27696	56340	86184	Número de LUTs do dispositivo	Dado
$N_{lut (proj)}$	13854	13854	13854	Número de LUTs do projeto	Dado
$W_i$	18	36	18	Largura de i (MACC)	Dado
$N_i (disp)$	34	72	84	Número de i do dispositivo (MACC)	Dado
$N_i (proj)$	30	30	30	Número de i do projeto (MACC)	Dado
$DL (disp/tmr)$	28996	58511	89430	Disp. Lógicos do FPGA (TMR)	Dado
$DL (proj)$	13947	13947	13947	Disp. Lógicos do projeto	Dado
$DL (reco)$	33848	33848	33848	Disp. Lógicos utilizados (técnica)	Dado
$DL (edac)$	2642	2642	2642	Disp. Lógicos utilizados (técnica)	Dado
$CD_{bit} (max)$	849,240	1767,960	2630,880	Dens. Comp. (bit) max. (GOPS)	Eq. 6.2
$CD_{bit} (proj)$	431,820	448,020	431,820	Dens. Comp. (bit) do disp. (GOPS)	Eq. 6.2
$U_d$	0,508	0,253	0,164	Utilização do disp. (%GOPS)	Eq. 6.3
$A_t$	0,250	2,000	2,000	Overhead de área com a técnica	Dado
$U_{dt}$	0,636	0,760	0,492	Utilização do disp. com a técnica	Eq. 6.5
$Disp (n^o)$	1	1	1	Número de disp. (análise da Eq. 6.5) Área ocupada (utilização física do disp.)	Análise
$A_d$	0,481	0,239	0,156		Eq. 6.6
$P_{dm}$	0,400	0,400	0,400	Potência dinâmica máxima	Dado
$P_d$	0,254	0,304	0,197	Potência dinâmica	Eq. 6.12
$R_{te}$	4,900	4,900	4,900	Resistência térmica da junção à placa	Dado
$P_e$	0,015	0,015	0,015	Potência estática	Dado
$T_d$	26,326	26,497	25,971	Temperatura do dispositivo	Eq. 6.10
$P_t$	0,271	0,305	0,198	Potência total	Eq. 6.9
$P_{tm}$	0,415	0,415	0,415	Potência total máxima	Eq. 6.13

(Continua)

Tabela 6.3 – Conclusão.

TMR	M2S025	M2S050	M2S090	Descrição	Obtenção
Tu	1,660	1,660	1,660	Taxa de <i>upsets</i>	Dado
Tue	0,798	0,396	0,259	Taxa de <i>upsets</i> efetiva	Eq. 6.16
Tuep	0,100	0,119	0,078	Taxa de <i>upsets</i> efetiva proporcional (10%)	Eq. 6.17
Rorig	0,905	0,888	0,925	Confiabilidade original	Eq. 6.15
Rtmr	0,975	0,965	0,984	Confiabilidade com a TMR	Eq. 6.14

Fonte: Produção do autor.

Tabela 6.4 – Resumo dos cálculos finais para RECO e EDAC.

RECO	M2S025	M2S050	M2S090	EDAC	M2S025	M2S050	M2S090
At	2,427	2,427	2,427	At	0,189	0,189	0,189
Udt	1,743	0,868	0,562	Udt	0,605	0,301	0,195
Disp (nº)	2	1	1	Disp (nº)	1	1	1
Ad	0,481	0,238	0,156	Ad	0,481	0,238	0,156
Pdm	0,400	0,400	0,400	Pdm	0,400	0,400	0,400
Pd	0,349	0,347	0,225	Pd	0,242	0,121	0,078
Rte	4,900	4,900	4,900	Rte	4,900	4,900	4,900
Pe	0,015	0,015	0,015	Pe	0,015	0,015	0,015
Td	26,790	26,709	26,109	Td	26,265	25,597	25,389
Pt	0,365	0,349	0,226	Pt	0,258	0,122	0,079
Ptm	0,415	0,415	0,415	Ptm	0,415	0,415	0,415
Tu	1,660	1,660	1,660	Tu	1,660	1,660	1,660
Tue	0,798	0,396	0,259	Tue	0,798	0,396	0,259
Tuep	0,274	0,136	0,089	Tuep	0,095	0,047	0,031
Rorig	0,761	0,873	0,915	Rorig	0,909	0,954	0,970

Fonte: Produção do autor.

Analisando os dados demonstrados nas tabelas anteriores pode-se chegar às seguintes conclusões.

- a) A metodologia proposta (MFPM) apontou a técnica de TMR como a mais indicada para este estudo de caso. Esta conclusão foi devida a todos os parâmetros e métricas envolvidas, com valores de potências máximas compatíveis com o circuito (projeto) e confiabilidades esperadas para essa categoria de missão.

- b) Segundo os cálculos realizados há a necessidade de apenas um FPGA para a implementação da técnica de TMR Parcial com *overhead* de 25% no FPGA M2S025. Para a TMR Parcial no mesmo dispositivo e *overheads* de 100% e 175% seriam necessários dois FPGAs. Em consequência da maior demanda de espaço físico e custos envolvidos, os cálculos foram realizados para o menor valor de *overhead* (25%).
- c) Como os FPGAs M2S050 e M2S090 possuem maior capacidade do que o M2S025, a área utilizada diminuiu com o aumento desta capacidade. Para estes FPGAs há a possibilidade de implementação da TMR *Full* com *overhead* de 200% em apenas um FPGA.
- d) Para a técnica de Reconfiguração no MS025 (*overhead* de 242,7%) houve a necessidade de dois FPGAs. Como não havia opções de *overhead* menores para esta técnica no trabalho científico pesquisado, os cálculos prosseguiram para dois FPGAs. Para os demais casos de Reconfiguração e EDAC (M2S50/90) foi constatada a necessidade de apenas um FPGA.
- e) Os valores de potência total para os três FPGAs analisados foram maiores para as técnicas de Reconfiguração, TMR e EDAC, na sequência. Contudo, nenhum valor calculado de potência total foi maior que a potência total máxima, tornando os resultados válidos.
- f) Para a TMR, os valores de confiabilidades com a técnica foram maiores que os valores das confiabilidades originais (taxa mínima). Os valores de confiabilidades originais foram maiores para EDAC, TMR e Reconfiguração, na sequência.
- g) Além da TMR, há a possibilidade de implementação das técnicas de Reconfiguração e EDAC, com vantagens e desvantagens. Todavia, estas outras técnicas devem ser melhor avaliadas em todos os parâmetros e métricas propostos na MFPM.
- h) Finalmente, ressalta-se a possibilidade de avaliar outras técnicas no sequenciamento da metodologia ou utilizar mais de uma técnica. Portanto, a técnica principal pode ser complementada por outras que ofereçam vantagens para a aplicação.

## 7 CONCLUSÃO

Esta tese atingiu o objetivo de desenvolvimento de uma metodologia para auxiliar os engenheiros eletroeletrônicos no processo de escolha de técnicas de mitigação de falhas, devido aos efeitos da radiação, para um sistema espacial que utilize FPGA COTS. Para isso, baseou-se em uma pesquisa exploratória sobre as principais técnicas entre os anos de 2000 a 2019, os parâmetros e métricas de referência. Constatou-se que o FPGA COTS é uma alternativa relevante para computação de desempenho avançado, considerando principalmente as implementações mais flexíveis de dispositivos lógicos, baixo consumo de energia e baixo custo, quando comparados com as tecnologias antecedentes. A dose de radiação foi considerada um dos problemas mais relevantes do ambiente hostil do espaço e que provoca efeitos adversos nos dispositivos microeletrônicos, incluindo o FPGA COTS. Os componentes com qualificação espacial, denominados também de resistentes à radiação (*rad-hard*), apresentam um custo muito maior que os COTS. Como os projetos geralmente são da área civil e de defesa, pode ocorrer também o embargo tecnológico.

Esta tese ressaltou que os efeitos da radiação devem ser analisados pela equipe técnica responsável por um projeto, evitando os prejuízos que esses efeitos nocivos da radiação podem causar à missão. Por isso é essencial realizar, durante as fases iniciais dos projetos, a especificação do ambiente de radiação. Para o contexto desta tese, os principais tipos de efeitos da radiação abordados foram TID, DD e SEE. Como a TID e SEE estão mais relacionadas com a tecnologia MOSFET utilizada nos FPGAs, a tese mencionou estes efeitos, mas a ênfase foi em SEE para projetos com menor tempo de vida útil (até três anos). A TID depende da intensidade da radiação e do tempo que o circuito é exposto à mesma. Os SEE são considerados como um conjunto de fenômenos causados pela radiação atmosférica ou espacial, gerando partículas de alta energia. Estas colidem em locais específicos nos dispositivos semicondutores, contidos em sistemas embarcados (incidência única). Os efeitos são classificados como

destrutivos e não destrutivos e os dispositivos eletrônicos mais afetados são: memória, microprocessadores e FPGAs.

Nos Capítulos 3 e 4, o objetivo específico de identificar as oportunidades oferecidas no estado da arte e no estado da prática foi alcançado principalmente com o levantamento das técnicas de mitigação e exemplos de estruturas de seleção. A ênfase para a aplicação em projetos de curta duração foi verificada no estudo de caso, com a missão específica do INPE (Capítulo 6). No estado da arte desta tese verificou-se que são abordadas algumas estratégias para mitigar os efeitos do ambiente espacial: endurecimento por processo, projeto e *layout*. Devido à grande abrangência destas estratégias, esta tese priorizou o endurecimento por projeto. Foram identificadas nove técnicas principais: 1. Circuito de proteção; 2. *Careful* COTS; 3.TMR; 4. Redundância de FPGA; 5. EDAC; 6. Reconfiguração; 7. Duplicação; 8. Quadruplicação; e 9. Detector de radiação (item 3.1). Constatou-se que os exemplos mais relevantes de trabalhos pesquisados na literatura, no período especificado, não forneceram a abrangência suficiente de procedimentos para a seleção das técnicas de mitigação. Foram analisados quatro exemplos de procedimentos, englobando estruturas diversificadas do estado da arte (item 4.1). Esses estudos aproximaram-se parcialmente dos procedimentos necessários para ajudar no trabalho dos engenheiros, conforme discussão no item 4.2. Dentre as conclusões dessa análise destaca-se que as pesquisas geralmente abordam vários tipos de técnicas de mitigação, porém as estruturas do estado da arte são incompletas, mencionando apenas algumas delas (geralmente cerca de 22 a 67%). As estruturas pesquisadas apresentaram parâmetros diversificados de análise como criticalidade, espaçamento físico (interno e externo) e métricas (potência e confiabilidade).

No Capítulo 5 foi alcançado o objetivo de desenvolver uma metodologia abrangendo as principais técnicas utilizadas em um período específico, os parâmetros e métricas de referência, assim como as respectivas estruturas necessárias. A metodologia foi denominada de Metodologia de Mitigação de Falhas baseada em Parâmetros e Métricas (MFPM), com abordagem do maior número possível de técnicas de mitigação pesquisadas no período informado.

A sequência de análise das técnicas foi obtida por intermédio de um modelo de ranqueamento original, com métricas de pesquisa e projeto. Para a métrica de pesquisa foi definido o período de 2000 a 2019, o qual foi suficiente para caracterizar estatisticamente a utilização das diversas técnicas, com a confecção de gráficos quantitativos de trabalhos científicos publicados. Para a métrica de projeto foi adotado um método de decisão (matriz de Pugh) com um trabalho em equipe, tendo sido consultados profissionais que atuam na área de dispositivos eletrônicos COTS. Estes avaliaram cinco critérios geralmente utilizados em gerenciamento de projetos: custo, tempo, implementação, complexidade e flexibilidade. Com pontuações obtidas no modelo de ranqueamento e o estado da prática foi adotada a seguinte sequência: 1. *Careful* COTS; 2. TMR; 3. Reconfiguração; 4. EDAC; 5. Circuito de proteção; 6. Duplicação; 7. Redundância de FPGA; 8. Detector de radiação e 9. Quadruplicação.

Na MFPM foram utilizadas estruturas hierarquizadas e abrangentes (alto nível, níveis intermediários e operacionais) para os procedimentos, estabelecendo parâmetros e métricas bem definidos e justificando a importância de cada um deles para cada técnica. Como fator relevante foram analisados mais cinco parâmetros (viabilidade, balanço de massa/potência e resposta de *clock*/ velocidade de processamento) e mais duas métricas (pesquisa e projeto). Esta metodologia foi composta por três processos detalhados que levam à análise dos algoritmos de seleção. O primeiro processo apresentou a contextualização de FPGAs e ambiente espacial. Iniciou-se com uma estrutura de alto nível constando o objetivo, estratégia, contextos, processos e hipóteses. O segundo processo demonstrou como foi realizada a seleção de técnicas de mitigação, dados e critérios. Finalmente, o terceiro processo forneceu os detalhes operacionais da aplicação, definição de critérios, modelo de ranqueamento, algoritmos e comparação de resultados.

No Capítulo 6 foi atingido o objetivo de aplicar a metodologia em FPGAs COTS, analisando os efeitos mais relevantes para a tecnologia de fabricação utilizada, assim como os circuitos empregados, projeto e missão. Para o estudo de caso foi selecionado o sistema CONASAT do INPE, o qual possui a missão de efetuar monitoramento ambiental. Foram avaliados FPGAs para o EDC (*Environmental*



*Data Collector*) das Plataformas de Coleta de Dados (PCDs) dos nanossatélites previstos (LEO), considerando principalmente o fator custo. Estes FPGAs são da Microsemi (Microchip) com especificações próximas como M2S025, M2S050 ou M2S090, apresentando custos e capacidades diversificados. A metodologia apontou a técnica de TMR como prioritária devido a todos os parâmetros e métricas envolvidas, com valores de potência total e confiabilidade compatíveis com o circuito (projeto). Foram analisadas ainda as técnicas de Reconfiguração e EDAC para comparação (verificação), sendo constatado que estas apresentam algumas vantagens em pontos específicos, mas necessitam ser melhor avaliadas.

Nos Capítulos 4 e 6 foi alcançado o objetivo específico de comparar esta metodologia com as existentes, discutindo o preenchimento dos *gaps* atuais, identificados por intermédio de exemplos de estruturas do estado da arte, classificadas como de maior relevância. Desse modo, a metodologia conseguiu identificar as técnicas mais apropriadas e a melhor segundo os parâmetros e métricas estabelecidos. Também foi possível concluir sobre as vantagens e desvantagens de duas técnicas posteriores para efeito de comparação e verificação.

Apesar desta metodologia apresentar alguns aspectos que sejam aperfeiçoamentos relevantes em comparação com os exemplos de estruturas do estado da arte, outros fatores podem ser ainda aperfeiçoados em futuros trabalhos científicos ou projetos. Como a ênfase foi no aspecto de um número abrangente de técnicas de mitigação, a tese não se propôs a esgotar todas as possibilidades, ressaltando que podem ser descobertas outras que não foram mencionadas. Além da inovação que certamente ocorre simultaneamente com a publicação constante de trabalhos, há a possibilidade de identificação de muitos subtipos de técnicas. Os trabalhos futuros podem expandir ainda mais o levantamento das técnicas ou o período de pesquisa. Outro aspecto que pode ser aperfeiçoado é a abordagem de TID, já que a ênfase foi para o estudo de mitigação relativa aos efeitos de SEE em projetos de curta duração (até três anos). Mesmo que os parâmetros e métricas utilizados possam ser suficientes para uma seleção apropriada para o escopo da tese, poderiam ser inseridos

outros gerais ou mais específicos para um determinado projeto ou missão, como aqueles relacionados a outros tipos de satélites, órbitas e efeitos da radiação. Sugere-se também o aproveitamento das informações do repositório de documentos, transformando-o em um banco de dados científico. Este banco armazenaria as informações possíveis desta tese e de outros trabalhos posteriores, passando a ser uma importante ferramenta de consulta. Como exemplo de informações e dados pode-se citar os resultados de testes, simulações e estudos de casos, tão essenciais para a validação de metodologias e comparação de resultados (verificação). Como a estrutura é composta de diversas partes, estas poderiam ser expandidas para acomodar novos tipos de técnicas, parâmetros, métricas e procedimentos. O método de decisão poderia ser aperfeiçoado, substituído ou complementado com outros. Sugere-se que trabalhos futuros possam realizar estudos sobre famílias de FPGAs, com o objetivo de realizar verificação sobre os efeitos da radiação sobre dispositivos específicos, dependendo da tecnologia utilizada. Finalmente, esta ou outras metodologias poderiam ser automatizadas, incluindo a aplicação dos conceitos de inteligência artificial.

## REFERÊNCIAS BIBLIOGRÁFICAS

ABATE, F.; STERPONE, L.; LISBOA, C. A.; CARRO, L.; VIOLANTE, M. New techniques for improving the performance of the lockstep architecture for SEEs mitigation in FPGA embedded processors. **IEEE Transactions on Nuclear Science**, v. 56, n. 4, p. 1992-2000, Aug. 2009.

ABDILLA, J. **Design space exploration of n-modular FPGA structures**. Enschede, Netherlands: University of Twente, 2019. Disponível em: <https://essay.utwente.nl/80152/>. Acesso em: 22 dez. 2019.

ACQNOTES. **Commercial off-the-shelf (COTS)**. 2019. USA: Acqnotes, 2019. Disponível em: <http://acqnotes.com/acnote/careerfields/commercial-off-the-shelf-cots>. Acesso em: 16 abr. 2019.

AGAPITO, J. A.; CUBILLOS, J. C.; FRANCO, F. J.; PALAN, B.; RUIZ, M. A.R. Rad-tol field electronics for the LHC cryogenic system. In: EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 7., 2004, Noordwijk, Netherlands. **Proceedings...** Noordwijk: RADECS, 2004. p. 1 -5.

AGIAKATSIKAS, D. **High-level synthesis of triple modular redundant FPGA circuits with energy efficient error recovery mechanisms**. 2019. 158 p. Tese (Doutorado em Engenharia) - The University of New South Wales, Sidney, Australia, 2019.

AGNESINA A.; YAMAGUCHI, J. ; KRUTZIK, C. ; CARSON, J.; YANG-SCHARLOTTA, J.; KYU-LIM, S. Bringing 3D COTS DRAM memory cubes to space. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2019, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2019.

AHMED, A. New FPGA blind scrubbing technique. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2016, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2016. p. 1-9.

ALBERTINI, B. **A vez do FPGA. Brasil: espaço IEEE**, 2015. Disponível em: [http://www.ieee.org.br/wp-content/uploads/2014/05/Ed110\\_EspacoIEEE.pdf](http://www.ieee.org.br/wp-content/uploads/2014/05/Ed110_EspacoIEEE.pdf). Acesso em: 16 abr. 2019.

ALDERIGHI, M.; CASSINI, F.; D'ANGELO, S.; SALVI, D.; SECHI, G. R. A fault-tolerance strategy for an FPGA-based multi-stage interconnection network in a multi-sensor system for space application. In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI SYSTEMS (DFT), 2001, San Francisco, CA, USA. **Proceedings...** San Francisco: DFT, 2001.

ALFKE, P. **Recent progress in field programmable logic**. Switzerland: Xilinx, 2000. Disponível em: <https://cds.cern.ch/record/478891/files/p307.pdf>. Acesso em: 22 fev. 2019.

ALTERA. **Data book**. San Jose, CA, USA: Altera Corporation. 1990. Disponível em: [http://bitsavers.informatik.uni-tuttgart.de/components/altera/\\_dataBooks/tuttgart.de/components/altera/\\_dataBooks/1990\\_Altera\\_Data\\_Book.pdf](http://bitsavers.informatik.uni-tuttgart.de/components/altera/_dataBooks/tuttgart.de/components/altera/_dataBooks/1990_Altera_Data_Book.pdf). Acesso em: 12 fev. 2019.

ALTER TECHNOLOGY GROUP. Displacement damage testing. Spain: Alter Technology Group, 2019. Disponível em: <https://wpo-altertechnology.com/displacement-damage-testing/>. Acesso em: 20 out. 2019.

ALKADY, G. I.; EL-ARABY, N. A.; ABDELHALIM, M.B.; AMER, H. H.; MADIAN, A. H. Dynamic fault recovery using partial reconfiguration for highly reliable FPGAs. In: MEDITERRANEAN CONFERENCE ON EMBEDDED COMPUTING (MECO), 4., 2015, Budva, Montenegro. **Proceedings...** Budva: MECO, 2015. p. 56-59.

AMAGASAKI, M.; NAKAMURA, Y.; TERAOKA, T.; IIDA, M.; SUEYOSKI, T. A novel soft error tolerant FPGA architecture. In: IFIP/IEEE INTERNATIONAL CONFERENCE ON VLSI-SOC, 2016, Tallin, Estonia. **Proceedings...** Tallin: VLSI-SoC, 2016.

ANJANKAR, S. C.; PUND, A. M.; JUNGHARE, R.; ZALKE, J. Real-time FPGA-based fault tolerant and recoverable technique for arithmetic design using functional triple modular redundancy (FRTMR). **Advances in Intelligent Systems and Computing book series (AISC)**, v. 712, July 2018.

ANTHONY – LAI. Space-ready, radiation tolerant processor modules: a COTS technology strategy. **Hardware (Military Embedded Systems - Resource Guide)**, 2005. Disponível em: <http://pdf.cloud.opensystemsmedia.com/mil-embedded.com/Aitech.May05.pdf>. Acesso em: 5 fev. 2019.

ANYSILICON. **BiCMOS process overview**. USA: Anysilicon, 2015. Disponível em: <https://anysilicon.com/bicmos-process-overview/>. Acesso em: 09 fev. 2019.

ANWAR, T.; LALA, P. K.; PARKERSON, J. P. A novel FPGA architecture with built-in error correction. In: IEEE INSTRUMENTATION AND MEASUREMENT TECHNOLOGY CONFERENCE (IMTC), 2007, Warsaw, Poland. **Proceedings...** Warsaw: IMTC, 2007.

ARGYRIDES, C.; ZARANDI, H.; PRANDHAN, D. K. Multiple SEU tolerance in LUTs of FPGAs using protected schemes. In: IEEE EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 2008, Jyväskylä, Finland. **Proceedings...** Jyväskylä: RADECS, 2008.

ASADI, G. H.; TAHOORI, M. B. Soft error mitigation for SRAM-based FPGAs. In: IEEE VLSI TEST SYMPOSIUM (VTS), 23., 2005, Palm Springs, CA, USA. **Proceedings...** Palm Springs: VTS, 2005a.

ASADI, G.; MIREMADI, S. G.; ZARANDI, H. R.; EJLALI, A. Evaluation of fault-tolerant designs implemented on SRAM-based FPGAs. In: IEEE PACIFIC RIM INTERNATIONAL SYMPOSIUM ON DEPENDABLE COMPUTING (PRDC), 10., 2004, Papeete, Tahiti, French Polynesia. **Proceedings...** Papeete: PRDC, 2004.

ASADI, G.; TAHOORI, M. B. **An analytical approach for soft error rate estimation of SRAM-based FPGAs.** Boston, MA, USA: Northeastern University (Klabs.org), 2004. Disponível em: [http://klabs.org/mapId04/papers/p/p221\\_asadi\\_p.pdf](http://klabs.org/mapId04/papers/p/p221_asadi_p.pdf). Acesso em: 16 abr. 2019.

ASADI, G.; TAHOORI, M. B. Soft error rate estimation and mitigation for SRAM-based FPGAs. In: INTERNATIONAL SYMPOSIUM ON FIELD-PROGRAMMABLE GATE ARRAYS (ACM/SIGDA), 13., 2005, Monterey, CA, USA. **Proceedings...** Monterey: ACM/SIGDA, 2005b.

AUSTIN, R. A.; MAHADEVAN, N.; SIERAWSKI, B. D.; KARSAI, G.; WITULSKI, A. F.; EVANS, J. A cubesat-payload radiation-reliability assurance case using goal structuring notation. In: ANNUAL RELIABILITY AND MAINTAINABILITY SYMPOSIUM (RAMS), 2017, Orlando, FL, USA. **Proceedings...** Orlando: RAMS, 2017.

AZAMBUJA, J. R.; PILLOTO, C.; KASTENSMIDT, F. L. Mitigating soft errors in SRAM-based FPGAs by using large grain TMR with selective partial reconfiguration. In: IEEE EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 2008, Jyväskylä, Finland. **Proceedings...** Jyväskylä: RADECS, 2008.

BAIG, S. F. **Reliability estimation and memory-efficient error mitigation schemes for a self-healing architecture.** 2019. 69 p. Dissertação (Mestrado em Engenharia Elétrica) - Royal Institute of Technology, School of Electrical Engineering and Computer Science (EECS), Stockholm, Sweden, 2019.

BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção.** 2010. 205 p. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal do Rio Grande do Sul (UFRGS), Porto Alegre, 2010.

BAMBACE, L. A. W. **Métodos heurísticos de busca de soluções inovadoras em problemas técnicos.** São José dos Campos, SP: INPE, 2013. 456 slides.

BARYSHNIKOV, M. **FPGA-based support for predictable execution model in multi-core CPU**. 2018. 43 p. Dissertação (Mestrado em Cibernética e Robótica) - Czech Technical, University in Prague, Prague, Czech Republic, 2018.

BATES, T.; BRIDGES, C. P. Single event mitigation for xilinx 7-series FPGAs. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2018, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2018.

BATTEZZATI, N.; STERPONE, L.; VIOLANTE, M. **Reconfigurable field programmable gate array for mission-critical applications**. New York, NY: Springer, 2011.

BENEVENUTI, F.; KASTENSMIDT, F. L. Evaluation of fault attack detection on SRAM-based FPGAs. In: IEEE LATIN-AMERICAN TEST SYMPOSIUM (LATS), 18., 2017, Bogotá, Colombia. **Proceedings...** Bogotá: LATS, 2017.

BENITES, L. A. C.; BENEVENUTI, F.; OLIVEIRA, A. B.; KASTENSMIDT, F. L.; ADDED, N.; AGUIAR, V. A. P.; MEDINA, N. H.; GUAZZELLI, M. A. Reliability calculation with respect to functional failures induced by radiation in TMR arm cortex-M0 soft-core embedded into SRAM-based FPGA. **IEEE Transactions on Nuclear Science**, v. 86, n. 7, July 2019.

BERG, M. Fault tolerance implementation within SRAM based FPGA designs based upon the increased level of single event upset susceptibility. In: IEEE INTERNATIONAL ON-LINE TESTING SYMPOSIUM (IOLTS), 12., 2006, Lake Como, Italy. **Proceedings...** Lake Como: IOLTS, 2006.

BERG, M.; POIVEY, C.; PETRICK, D.; ESPINOSA, D.; LESEA, A.; LABEL, K.; FRIENDLICH, M.; KIM, H.; PHAN, A. Effectiveness of internal vs. external SEU scrubbing mitigation strategies in a xilinx FPGA: design, test, and analysis. In: IEEE EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 9., 2007, Deauville, France. **Proceedings...** Deauville: RADECS, 2007.

BLUMER, J. H. Lessons learned using COTS electronics for the International space station radiation environment. **AIP Conference Proceedings**, v. 552, n. 1, April. 2001.

BOGOSSIAN, O.L. **Processo de desenvolvimento de missões espaciais: controle de restrições globais (M8)**. São José dos Campos, SP: INPE, 2015. 20 slides.

BONACINI, S.; FACCIO, F.; KLOUKINAS, K.; MARCHIORO, A. An SEU robust configurable logic block for the implementation of a radiation – tolerant FPGA. **IEEE Transactions on Nuclear Science**, v. 53, n. 6, p. 3408 - 3416, Dec. 2006.

BOYANG - DU ; DESOGUS, M.; STERPONE, L. Analysis and mitigation of SEUs in ARM-based SoC on xilinx virtex-v SRAM-based FPGAs. In: CONFERENCE ON PH.D. RESEARCH IN MICROELECTRONICS AND ELECTRONICS (PRIME), 11., 2015, Glasgow, United Kingdom. **Proceedings...** Glasgow: PRIME, 2015.

BRANKE, J.; DEB, K.; MIETTINEN, K.; SLOWINSK, R. **Multiobjective optimization: interactive and evolutionary approaches.** Germany: Springer, 2008. Disponível em: <http://ndl.ethernet.edu.et/bitstream/123456789/77890/1/174.pdf>. Acesso em: 16 abr. 2019.

BREEDON, R.; BYLSMA, B.; DURKIN L. S.; GILMORE J.; GU J.; HAUSER, J.; HOLBROOK, B.; KIM C. L.; LING T. Y.; MEY M.; MURRAY, P.; RUSH C. J.; SANTIARD J. C.; TRIPATHI, M. Results of radiation test of the cathode front-end board for CMS endcap muon chambers. **Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment**, v. 471, n. 3, p. 340 – 347, Oct. 2001.

BUERKLE, T.; LAMERES, B. J.; KAISER, T.; GOWENS, E.; SMOOT, L.; HEETDERKS, T.; SCHIPF, K.; CLEM, L.; SHIELKE, S.; LUHR, R. Ionizing radiation detector for environmental awareness in FPGA-Based flight computers. **IEEE Sensors Journal**, v. 12, n. 6, p. 2229-2236, Jan. 2012.

CARDARILLI, G. C.; OTTAVI, M.; PONTARELLI, S.; RE, M.; SALSANO, A. Fault tolerant solid state mass memory for space applications. **IEEE Transactions on aerospace and electronic systems**, v. 41, n. 4, p. 1353 – 1372, Dec. 2005.

CARMICHAEL, C.; FULLER, E.; BLAIN, P.; CAFFREY, M. **SEU mitigation techniques for virtex FPGAs in space applications.** In: MILITARY AND AEROSPACE PROGRAMMABLE LOGIC DEVICE (MAPLD) INTERNATIONAL CONFERENCES, 1999, Laurel, MD, USA. **Proceedings...** Laurel: MAPLD, 1999.

CARMICHAEL, C.; FULLER, E.; FABULA, J.; LIMA, F. **Proton testing of SEU mitigation methods for the Virtex FPGA.** Germany: Researchgate.net, 2016. Disponível em: [https://www.researchgate.net/profile/Carl\\_Carmichae/publication/238685441\\_Proton\\_testing\\_of\\_seu\\_mitigation\\_methods\\_for\\_the\\_virtex\\_fpga/links/544548f40cf2d62c304d7bb5/Proton-testing-of-seu-mitigation-methods-for-the-virtex-fpga.pdf](https://www.researchgate.net/profile/Carl_Carmichae/publication/238685441_Proton_testing_of_seu_mitigation_methods_for_the_virtex_fpga/links/544548f40cf2d62c304d7bb5/Proton-testing-of-seu-mitigation-methods-for-the-virtex-fpga.pdf). Acesso em: 16 abr. 2019.

CARVALHO, M. J. M.; LIMA, J. S. S.; JOTHA, L.S.; AQUINO, P.S. CONASAT - constelação de nano satélites para coleta de dados ambientais. In: SIMPÓSIO BRASILEIRO DE SENSORIAMENTO REMOTO (SBSR), 16., 2013, Foz do Iguaçu, PR, Brasil. **Anais...**São José dos Campos, SP: INPE, 2013.

CARVALHO, M. J. M. **Sistema Brasileiro de Coleta de Dados ambientais (SB CD)**. Brasil: SlidePlayer, 2019. Disponível em: <https://slideplayer.com.br/slide/14666/>. Acesso em: 22 fev. 2019.

CESCHIA, M.; BELLATO, M.; PACCAGNELLA, A.; KAMINSKI, A. Ion beam testing of altera apex FPGAs. In: IEEE RADIATION EFFECTS DATA WORKSHOP (REDW), 2002, Phoenix, AZ, USA. **Proceedings...** Phoenix: REDW, 2002.

CHANG - CAI; SHUAI - GAO; ZHAO, P.; JIAN - YU; KAI- ZHAO; LIEWEI - XU; DONGQING- LI; ZE- HE; YANG, G.; TIANQI - LIU; JIE - LIU. SEE sensitivity evaluation for commercial 16 nm SRAM-FPGA. **Electronics**, v. 8, n. 12, Dec. 2019a.

CHANG-CAI, XUE-FAN , JIE- LIU, DONGQING - LI, TIANQI - LIU , LINGYUN-KE, PEIXIONG-ZHAO; ZE- HE. Heavy-ion induced single event upsets in advanced 65 nm radiation hardened FPGAs. **Electronics**, v. 8, n. 3, Mar. 2019b.

CHIELLE, E.; AZAMBUJA, J. R.; BARTH, R. S.; ALMEIDA, F.; KASTENSMIDT, F. L. Evaluating selective redundancy in data-flow software-based techniques. **IEEE Transactions on Nuclear Science**, v. 60, n. 4, p. 2768-2775, July 2013.

CIESLEWSKI, G. G.; GEORGE, A. D.; JACOBS, A. M. **Acceleration of FPGA fault injection through multi-bit testing**. USA: University of Florida (Academia.edu), 2010. Disponível em: [https://scholar.google.com.br/scholar?hl=pt-BR&as\\_sdt=0%2C5&q=Acceleration+of+FPGA+fault+injection+through+multi-bit+testing&btnG=](https://scholar.google.com.br/scholar?hl=pt-BR&as_sdt=0%2C5&q=Acceleration+of+FPGA+fault+injection+through+multi-bit+testing&btnG=). Acesso em: 23 abr. 2019.

CIVERA, P.; MACCHIARULO, L.; REBAUDENGO, M.; REORDA, M. S.; VIOLANTE, M. An FPGA-based approach for speeding-up fault injection campaigns on safety-critical circuits. **Journal of Electronic Testing**, v. 18, p. 261–271, 2002.

COGENDA. **Total ionizing dose effect in CMOS**. China: Cogenda, 2019. Disponível em: <https://www.cogenda.com/article/TID>. Acesso em: 14 ago. 2019.

CORSO, D.D; PASSERONE, C; REYNERI, L.; SAN SOE, C; SPERETTA, S; TRANCHERO, M. Design of a University Nano-Satellite: the PiCPoT Case. **IEEE Transactions on Aerospace and Electronic Systems**, v. 47, n. 3, July 2011.

COSTENARO, E.; VIOLANTE, M.; ALEXANDRESCU, D. A new IP core for fast error detection and fault tolerance in COTS-based solid-state mass memories. In: IEEE INTERNATIONAL ON-LINE TESTING SYMPOSIUM (IOLTS), 17., 2011, Athens, Greece. **Proceedings...** Athens: IOLTS, 2011. p. 49-54.



COTSJOURNAL. **Single event effects complicate military avionics system design**. Aliso Viejo, CA, USA: COTSJOURNAL, 2012. Disponível em: <http://archive.cotsjournalonline.com/articles/view/102279>. Acesso em: 16 abr. 2019.

CRAIN, S. H.; MAZUR, J. E.; KATZ, R. B.; KOGA, R.; LOOPER, M. D.; LORENTZEN, K. R. Analog and digital single-event effects experiments in space. **IEEE Transactions on Nuclear Science**, v. 48, n. 6, p. 1841 – 1848, Dec. 2001.

CREME. **Welcome to the CREME site**. USA: Vanderbilt University/NASA, 2020. Disponível em: <https://creme.isde.vanderbilt.edu>. Acesso em: 3 fev. 2020.

CZAJKOWSKI, D., SAMUDRALA, P.; PAGEY, M.; STROBEL, D. Low power high-speed radiation tolerant computer. In: ANNUAL AIAA/USU CONFERENCE ON SMALL SATELLITE, 19., 2005, Logan, UT, USA. **Proceedings...** Logan: AIAA/USU, 2005. p. 1- 8.

DEHON, A. **Reconfigurable architectures for general-purpose computing**. Cambridge: Massachusetts Institute of Technology, Artificial Intelligence Laboratory, 1996, (A.I. Technical Report No. 1586). Disponível em: <https://www.seas.upenn.edu/~andre/pdf/aitr1586.pdf>. Acesso em: 10 abr. 2020.

DIGIKEY. **Digikey products**. USA: Digikey, 2019. Disponível em: <http://www.digikey.com/products/en/integrated-circuits-ics/embedded-fpgas-field-programmable-gate-array/696>. Acesso em: 18 jan. 2019.

DILLIEN, P. **And the winner of best FPGA of 2016 is...** USA: EETimes, 2016. Disponível em: [https:// https://www.eetimes.com/and-the-winner-of-best-fpga-of-2016-is/](https://www.eetimes.com/and-the-winner-of-best-fpga-of-2016-is/). Acesso em: 07 fev. 2019.

DONG, Z.; GUO, Y.; GONG, Y.; LI, C. A high reliability radiation hardened on-board computer system for space application. In: IEEE INTERNATIONAL CONFERENCE ON INSTRUMENTATION & MEASUREMENT, COMPUTER, COMMUNICATION AND CONTROL (IMCC), 6., 2016, Harbin, China. **Proceedings...** Harbin: IMCC, 2016.

DUMITRIU, V.; KIRISCHIAN, L.; KIRISCHIAN, V. Run-time recovery mechanism for transient and permanent hardware faults based on distributed, self-organized dynamic partially reconfigurable systems. **IEEE Transactions on Computer**, v. 65, n. 9, p. 2835- 2847, Dec. 2015.

EBBERT, D. A. **Design and development of a configurable fault-tolerant processor (CFTP) for space applications**. 2003. 248 p. Dissertação (Mestrado em Engenharia Elétrica) - Naval Postgraduate School, Monterey, 2003.

EBERT, D.; HULME, C.; LOOMIS, H.; ROSS, A. Configurable fault-tolerant processor (CFTP) for space based applications. In: SMALL SATELLITE CONFERENCE (SMALLSAT), 2003, USA. **Proceedings...** USA: SmallSat, 2003.

EBRAHIMI, M.; MIREMADI, S. G.; ASADI, H.; FAZELI, M. Low- cost scan-chain- based technique to recover multiple errors in TMR systems. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, v. 21, n. 8, p. 1464-1468, Aug. 2013.

ECOFFET, R. In-flight anomalies on electronic devices. In: VELAZCO, R; FOUILLAT, P.; REIS, R (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007, p. 31-68.

ELPROCUS. **Difference between CMOS and NMOS technology**. USA: Eletronics/Projects/Focus, 2019. Disponível em: <https://www.elprocus.com/difference-between-nmos-cmos-technology>. Acesso em: 16 abr. 2019.

EUROPE SPACE AGENCY (ESA). **ECSS-E-ST-10-12C** - space engineering: methods for the calculations of radiation received and its effects, and a policy for design margins. Paris, France: ESA, 2008. 105 p.

EUROPE SPACE AGENCY (ESA). **ECSS-E-ST-00-01C** - ECSS system glossary of terms. Paris, France: ESA: 2012. 63 p.

FACCIO, F. COTS for the LHC radiation environment: the rules of the game. In: WORKSHOP ON ELECTRONICS FOR LHC EXPERIMENTS (CERN), 6.; 2000, Cracow, Poland. **Proceedings...** Poland: CERN, 2000.

FAY, D.; SHYE, A.; BHATTACHARYA, S.; CONNORS, D. A.; WITCHMAN, S. An adaptive fault-tolerant memory system for FPGA-based architectures in the space environment. In: IEEE NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2, 2007, Edinburg, United Kingdon. **Proceedings...** Edinburg: AHS, 2007. p. 1-8.

FEDERAL AVIATION ADMINISTRATION (FAA). **DOT/FAA/TC-15/62** - single event effects mitigation techniques report. New Jersey, 2016. 296 p.

FERRON, J. B.; ANGHEL, L.; LEVEUGLE, R. Towards low-cost soft error mitigation in SRAM-based FPGAs: a case study on AT40K. In: IEEE LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS (LASCAS), 3., 2012, Playa del Carmen, Mexico. **Proceedings...** Playa del Carmen: LASCAS, 2012.

FILHO, A. L.; D'AMORE, R. A tolerant JPEG-LS image compressor foreseeing COTS FPGA implementation. **Microprocessors & Microsystems**, v. 49, p. 54-63, Mar. 2017.

FLOYD, T. L. **Sistemas digitais: fundamentos e aplicações**. 9. ed. Porto Alegre: Bookman, 2007. 888 p.

FRENCH, M.; GRAHAM, P.; WIRTHLIN, M.; LI-WANG; LARCHEV, G. Radiation mitigation and power optimization design tools for reconfigurable hardware in orbit. In: EARTH-SUN SYSTEM TECHNOLOGY CONFERENCE (ESTC), 2005, Adelphi, MD, USA. **Proceedings...** Adelphi: ESTC, 2005.

FUCHS, C. M.; CHOU, P.; WEN, X.; MURILLO, N. M.; FURANO, G.; HOLST, S.; TAVOULARIS, A.; KUNZ- LU, S.; PLAAT, A.; MARINIS, K. A fault-tolerant MPSoC for cubesats. In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI AND NANOTECHNOLOGY SYSTEMS (DFT), 2019, Noordwijk, Netherlands. **Proceedings...** Noordwijk: DFT, 2019.

FUCHS, C. M.; MURILLO, N. M.; PLAAT, A.; KOUWE, E.; HARSONO, D.; STEFANOV, T. P. Fault-tolerant nanosatellite computing on a budget. In: EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 18., 2018, Gothenburg, Sweden. **Proceedings...** Gothenburg: RADECS, 2018a.

FUCHS, C. M.; MURILLO, N. M.; PLAAT, A.; KOUWE, E.; WANG, P. Towards affordable fault-tolerant nanosatellite computing with commodity hardware. In: IEEE ASIAN TEST SYMPOSIUM (ATS), 27., 2018, Hefei, China. **Proceedings...** Hefei: ATS, 2018b.

FUCHS, C. M.; STEFANOV, T. P.; MURILLO, N. M.; PLAAT, A. Bringing fault-tolerant gigahertz-computing to space. In: IEEE ASIAN TEST SYMPOSIUM (ATS), 26., 2017, Taipei, Taiwan. **Proceedings...**Taipei: ATS, 2017.

FUJIMORI, T.; WATANABE, M. A 603 mrad total-ionizing-dose tolerance optically reconfigurable gate array VLSI. In: INTERNATIONAL CONFERENCE ON SIGNALS AND SYSTEMS (ICSIGSYS), 2018, Bali, Indonesia. **Proceedings...** Bali: ICSigSys, 2018.

FU, J.; ZHANG, C. The fault-tolerant design in space information processing system based on COTS. In: IEEE INTERNATIONAL WORKSHOP ON COMPUTER SCIENCE AND ENGINEERING (WCSE), 2., 2009, Qingdao, China. **Proceedings...** Qingdao: WCSE, 2009.

FULLER, E.; CAFFREY, M.; CARMICHAEL, C; SALAZAR, A.; FABULA, J. Radiation testing update, SEU mitigation, and availability analysis of the virtex FPGA for space reconfigurable computing. In: MILITARY AND AEROSPACE APPLICATIONS OF PROGRAMMABLE DEVICES (MAPLD), 2000, Laurel, MD, USA. **Proceedings...** Laurel: MAPL, 2000a. p. 1 – 11.

FULLER, E.; CAFFREY, M.; SALAZAR, A.; CARMICHAEL, C.; FABULA, J. Radiation characterization and SEU mitigation of the virtex FPGA for space-based reconfigurable computing. In: IEEE NUCLEAR AND SPACE RADIATION EFFECTS CONFERENCE (NSREC), 2000, Reno, NV, USA. **Proceedings...** Reno: NSREC, 2000b. p. 1 – 8.

FURANO, G.; TAVOULARIS, A.; SANTOS, L.; CAVROIS, V. F.; BOATELLA, C.; ALIA, R. G.; MARTINEZ, P. F.; KASTRIOTOU, M.; WYRWOLL, V.; DANZECA, S.; TALI, M.; GACNIK, D.; KRAMBERGER, I.; JUUL, L.; MARAGOS, K.; LENTARIS, G. FPGA SEE test with ultra-high energy heavy ions. In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI AND NANOTECHNOLOGY SYSTEMS (DFT), 2018, Chicago, IL, USA. **Proceedings...** Chicago: DFT, 2018. p. 8-10.

GARVIE, M.; THOMPSON, A. Scrubbing away transients and jiggling around the permanent: long survival of FPGA systems through evolutionary self-repair. In: IEEE INTERNATIONAL ON-LINE TESTING SYMPOSIUM (IOLTS), 10., 2004, Funchal, Madeira Island, Portugal. **Proceedings...** Funchal: IOLTS, 2004.

GEBELEIN, J.; ENGEL, H.; KEBSCHULL, U. An approach to system-wide fault tolerance for FPGAs. In: IEEE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS (FPL), 2009, Prague, Czech Republic. **Proceedings...** Prague: FPL, 2009.

GERICOTA, M. G.; LEMOS, L. F.; ALVES, G. R.; BARBOSA, M. M.; FERREIRA, J. M. A framework for fault tolerant real time systems based on reconfigurable FPGAs. In: IEEE CONFERENCE ON EMERGING TECHNOLOGIES AND FACTORY AUTOMATION (ETFA), 2006, Prague, Czech Republic. **Proceedings...** Prague: ETFA, 2006. p. 131 - 138.

GERICOTA, M. G.; LEMOS, L. F.; ALVES, G. R.; FERREIRA, J. M. A framework for self-healing radiation-tolerant implementations on reconfigurable FPGAs. In: IEEE DESIGN AND DIAGNOSTICS OF ELECTRONICS CIRCUITS AND SYSTEMS (DDECS), 2007, Krakow, Poland. **Proceedings...** Krakow: DDECS, 2007a. p. 301 - 306.

GERICOTA, M. G.; LEMOS, L. F.; ALVES, G. R.; FERREIRA, J. M. On-line self-healing of circuits implemented on reconfigurable FPGAs. In: IEEE INTERNATIONAL ON-LINE TESTING SYMPOSIUM (IOLTS), 13., 2007, Crete, Greece. **Proceedings...** Crete: IOLTS, 2007b.

GLEESON, D.; MELICHER, M. The smart backplane – lowering the cost of spacecraft avionics by improving the radiation tolerance of COTS electronic systems. In: SPACE SYMPOSIUM (TECHNICAL TRACK), 33., 2017, Colorado Springs, CO, USA. **Proceedings...** Colorado: SPACE SYMPOSIUM, 2017. p. 1-10.

GLEIN, R.; MENGES, P.; RITTNER, F.; WANSCH, R.; HEUBERGER, A. BRAM implementation of a single-event upset sensor for adaptive single-event effect mitigation in reconfigurable FPGAs. In: NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2017, Pasadena, CA, USA. **Proceedings...** Pasadena: AHS, 2017.

GLEIN, R.; RITTNER, F.; BECHER, A.; ZIENER, D.; FRICKEL, J.; TEICH, J.; HEUBERGER, A. Reliability of space-grade vs. COTS SRAM-based FPGA in n-modular redundancy. In: NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2015, Montreal, QC, Canada. **Proceedings...** Montreal: AHS, 2015.

GRACIC, E.; HAYEK, A.; BÖRCSÖK, J. Implementation of a fault-tolerant system using safety-related xilinx tools conforming to the standard IEC 61508. In: IEEE INTERNATIONAL CONFERENCE ON SYSTEM RELIABILITY AND SCIENCE (ICSRS), 2016, Paris, France. **Proceedings...** Paris: ICSRS, 2016. p. 78-83.

GRAHAM, P.; CAFFREY, M.; JOHNSON, D. E.; ROLLINS, N.; WIRTHLIN, M. SEU mitigation for half-latches in xilinx virtex FPGAs. **IEEE Transactions on Nuclear Science**, v. 50, n. 6, p. 2139 – 2146, Dec. 2003.

GRAHAM, R. C.; CAFFREY, M. P.; JOHNSON, D. E.; WIRTHLIN, M. J. **Reconfigurable computing in space: from current technology to reconfigurable systems-on-a-chip**. USA: Los Alamos National Laboratory (Osti.gov), 2002. Disponível em: <https://www.osti.gov/biblio/974708>. Acesso em: 21 jun. 2019.

HANAFAI, A.; KARIM, M.; LATACHI, I.; RACHIDI, T.; DAHBI, S.; ZOUGGAR, S. FPGA-based secondary on-board computer system for low-earth-orbit nano-satellite. In: INTERNATIONAL CONFERENCE ON ADVANCED TECHNOLOGIES FOR SIGNAL AND IMAGE PROCESSING (ATSIP), 2017, Fez, Morocco. **Proceedings...** Fez: ATSIP, 2017.

HARDING, A., WIRTHLIN, M. **Improving the reliability of xilinx 7 series FPGAs through configuration scrubbing**. USA: Brigham Young University, 2014. Disponível em: <https://digitalcommons.usu.edu/cgi/viewcontent.cgi?article=1365&context=spacegrant>. Acesso em: 28 jun. 2019.

HARIPRIYA, R.; SENTAMILSELVAM, R. Performance of FPGA in an enhanced level of watchdog timer. **Journal of Advanced Research in Technology and Management Sciences**, v. 1, n. 3, Nov. 2019.

HASUKO, K.; FUKUNAGA, C.; ICHIMIYA, R.; IKENO, M.; ISHIDA, Y.; KANO, H.; KURASHIGE, H.; MIZOUCHI, K.; NAKAMURA, Y.; SAKAMOTO, H.; SASAKI, O.; TANAKA, K. A remote control system for FPGA-embedded modules in radiation environments. **IEEE Transactions on Nuclear Science**, v. 49, n. 2, p. 501 – 506, Apr. 2002.

HEINER, J.; COLLINS, N.; WIRTHLIN, M. Fault tolerant ICAP controller for high-reliable internal scrubbing. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2008, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2008. p. 1 -10.

HOFMANN, A.; GLEIN, R.; FRANK, L.; WANSCH, R.; HEUBERGER, A. Reconfigurable on-board processing for flexible satellite communication systems using FPGAs. In: IEEE TOPICAL WORKSHOP ON INTERNET OF SPACE (TWIOS), 2017, Phoenix, AZ, USA. **Proceedings...**Phoenix: TWIOS, 2017.

HOGAN, J. A.; WEBER, R. J.; LAMERES, B. J. A network-on-chip for radiation tolerant, multi-core FPGA systems. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2014, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2014. p. 1-7.

HOLM, S.; SHAW, T. M.; ELIAS, J.; SURGUEEV, S. Design and testing of a radiation tolerant clock, control and monitor (CCM) module for the CMS HCAL electronics. In: IEEE NUCLEAR SCIENCE SYMPOSIUM CONFERENCE RECORD (NSS), 2002, Norfolk, VA, USA. **Proceedings...** Norfolk: NSS, 2002.

HONG, C.; BENKRID, K.; ITURBE, X.; EBRAHIM, A. Design and implementation of fault-tolerant soft processors on FPGAs. In: IEEE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS (FPL), 22., 2012, Oslo, Norway. **Proceedings...** Oslo: FPL, 2012.

HULME, C. A.; LOOMIS, H. H.; ROOS, A. A.; YUAN, R. Configurable fault-tolerant processor (CFTP) for spacecraft onboard processing. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2004, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2004.

IBRAHIM, M. M; ASAMI, K.; CHO, M. Reconfigurable fault tolerant avionics system. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2013, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2013. p. 1-12.

JACOBS, A.; CIESLEWSKI, G.; GEORGE, A. D. Overhead and reliability analysis of algorithm - based fault tolerance in FPGA systems. In: IEEE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS (FPL), 22., 2012, Oslo, Norway. **Proceedings...** Oslo: FPL, 2012a.

JACOBS, A.; CIESLEWSKI, G.; GEROG, A. D.; ROSS G., A.; LAM, H. Reconfigurable fault tolerance: a comprehensive framework for reliable and adaptive FPGA-based space computing. **ACM Transactions on Reconfigurable Technology and Systems**, v. 5, n. 4, Dec. 2012b.

JACOBS, A.; GEORGE, A. D.; CIESLEWSKI, G. Reconfigurable fault tolerance: a framework for environmentally adaptive fault mitigation in space. In: IEEE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS (FPL), 2., 2009, Prague, Czech Republic. **Proceedings...** Prague: FPL, 2009.

JAIN, A.; STAINO, G.; CORSONELLO, P. Quad-port memory blocks in radiation-tolerant FPGAs: an application for image processing systems. In: IEEE INTERNATIONAL CONFERENCE ON EMERGING TRENDS IN ENGINEERING AND TECHNOLOGY (ICETET), 2., 2009, Nagpur, India. **Proceedings...** Nagpur: ICETET, 2009.

JAMUNAS, S.; AGRAWAL, V. K. Fault tolerant techniques for reconfigurable devices: a brief survey. **International Journal of Application or Innovation in Engineering & Management (IJAIEM)**, v. 2, n. 1, p. 339-344, Jan. 2013.

JIMÉNEZ, J.; BIDARTE, U.; CUADRADO, C.; GARCIA, E.; LÁZARO, J. SafeSoc: a fault-tolerant-by-redundancy evaluation card for high-speed serial communications. In: IEEE CONFERENCE ON DESIGN OF CIRCUITS AND INTEGRATED SYSTEMS (DCIS), 2016, Granada, Spain. **Proceedings...** Granada: DCIS, 2016.

JULAI, N.; YAKOVLEV, A.; BYSTROV, A. Error detection and correction of single event upset (SEU) tolerant latch. In: IEEE INTERNATIONAL ON-LINE TESTING SYMPOSIUM (IOLTS), 18., 2012, Sitges, Spain. **Proceedings...** Sitges: IOLTS, 2012. p. 1-6.

JULIATO, M.; GEBOTYS, C. A quantitative analysis of a novel SEU-resistant SHA-2 and HMAC architecture for space missions security. **IEEE Transactions on Aerospace and Electronic Systems**, v. 49, n. 3, p. 1536-1554, 2013.

JULIEN C. R.; LAMERES, B. J.; WEBER, R. J. An FPGA-based radiation tolerant smallsat computer system. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2017, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2017.

KANG, D. S.; JHANG, K. S.; SOO-OH, D. Design and implementation of a radiation tolerant on-board computer for science technology satellite-3. In: IEEE NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2010, Anaheim, CA, USA. **Proceedings...** Anaheim: AHS, 2010. p. 17 - 23.

KASTENSMIDT, F. G. L.; NEUBERGER, G.; HENTSCHE, R. F.; CARRO, L.; REIS, R. Design fault tolerant technique for SRAM based FPGAs. **IEEE Design & Test of Computers**, v. 21, n. 6, p. 552-562, Dec. 2004a.

KASTENSMIDT, F. L.; NEUBERGER, G.; CARRO, L.; REIS, R. Designing and testing fault-tolerant techniques for SRAM-based FPGAs. In: CONFERENCE ON COMPUTING FRONTIERS (CF), 4., 2004, Ischia, Italy. **Proceedings...** Ischia: CF, 2004b. p. 419 – 432.

KATZ, D. S.; SOME, R. R. NASA advances robotic space exploration. **Computer**, v. 36, n. 1, p. 52 – 61, Jan. 2003.

KOURFALI, A.; KULKARNI, A.; STROOBANDT, D. SICTA: a superimposed in-circuit fault tolerant architecture for SRAM-Based FPGAs. In: IEEE INTERNATIONAL SYMPOSIUM ON ON-LINE TESTING AND ROBUST SYSTEM DESIGN (IOLTS), 23., 2017, Thessaloniki, Greece. **Proceedings...** Thessaloniki: IOLTS, 2017.

KOURFALI, A. **Novel hardware verification methods for FPGAs**. 2019. 224 p. Tese (Doutorado em Eletrônica e Sistemas de Informação) - Ghent University - Faculty of Engineering and Architecture, Ghent, Belgium, 2019.

KOURFALI, A.; STROOBANDT, D. In-circuit fault tolerance for FPGAs using dynamic reconfiguration and virtual overlays. **Microelectronics Reliability**, v. 102, Nov. 2019.

KSHIRSAGAR, R. V.; SHARMA, S. An algorithm for fault tolerance in FPGA. **European Scientific Journal**, v. 9, n. 24, p. 334-342, 2013.

KYRIAKAKIS, E.; NGO, K.; ÖBERG, J. Mitigating single-event upsets in COTS SDRAM using an EDAC SDRAM controller. In: IEEE NORDIC CIRCUITS AND SYSTEMS CONFERENCE (NORCAS): NORCHIP AND INTERNATIONAL SYMPOSIUM OF SYSTEM-ON-CHIP (SOC), 2017, Linköping, Sweden. **Proceedings...**Linköping: NORCAS, 2017.

KWONG-NG, T.; HERATH, J. A. Radiation tolerant intelligent memory stack (RTIMS). In: IEEE INTERNATIONAL CONFERENCE ON SPACE MISSION CHALLENGES FOR INFORMATION TECHNOLOGY (SMC –IT), 2., 2006, Pasadena, CA, USA. **Proceedings...** Pasadena: SMC - IT, 2006.

LAMERES, B.; DELANEY, C.; JOHNSON, M.; JULIEN, C; ZACK, K.; CUNNINGHAM, B.; KAISER, T.; SPRINGER, L.; KLUMPAR, D. Next on the pad: radsat - a radiation tolerant computer system. In: ANNUAL AIAA/USU CONFERENCE ON SMALL SATELLITE, 31., 2017, Logan, UT, USA. **Proceedings...** Logan: AIAA/USU, 2017. p 1-11.

LAMERES, B.; KAISER, T.; GOWENS, E.; BUERKLE, T.; PRICE, J.; HELSLEY, K.; PETERSON, B.; RAY, R. Position sensitive radiation detector integrated with an FPGA for radiation tolerant computing. In: IEEE SENSORS CONFERENCE, 2010, Waikoloa, HI, USA. **Proceedings...** Waikoloa: IEEE SENSORS, 2010. p. 208-213.



LEY-HE, YU-HU. Power-efficient and fault-tolerant circuits and systems. In: IEEE INTERNATIONAL CONFERENCE ON ASIC (ASICON), 8., 2009, Changsha, Hunan, China. **Proceedings...** Changsha: ASICON, 2009.

MACHADO, S. R. F. **Estudo de um processo de garantia da confiabilidade de sistemas eletrônicos embarcados a single event upsets causados por partículas ionizantes.** 2014. 192 p. Dissertação (Mestrado em Engenharia e Tecnologia Espaciais/Gerenciamento de Sistemas Espaciais) – Instituto Nacional de Pesquisas Espaciais (INPE), São José dos Campos, 2014.

MAHADEO, D.M.; ROHWER, L. E. S.; MARTINEZ, M; NOWLIN, R. N. **Assessment of commercial-off-the-shelf electronics for use in short-term geostationary satellites.** Albuquerque, NM, USA: Sandia National Laboratories, 2018. 44 p. (SAND-2018-12254669176).

MALAGONI J. A.; FRANÇA, M. A.; WANDERLEY, R. R. V. N.; JÚNIOR, S.; FERREIRA, T. B. **Design digital utilizando FPGA.** Brasil: Universidade Federal de Uberlândia, 2009. Disponível em: <https://www.doccity.com/pt/apostila-fpga/4714800/>. Acesso em: 12 fev. 2019.

MANDAL, S.; PAUL, R.; SAU, S.; CHAKRABARTI,A.; CHATTOPADHYAY, S. Efficient dynamic priority based soft error mitigation techniques for configuration memory of FPGA hardware. **Microprocessors and Microsystems** , v. 51, p. 313-330, June 2017.

MANDAL, S.; SARKAR, S.; MING, W. M.; CHATTOPADHYAY, A.; CHAKRABARTI, A. Criticality aware soft error mitigation in the configuration memory of SRAM based FPGA. In: IEEE INTERNATIONAL CONFERENCE ON VLSI DESIGN (VLSID), 32., 2019, Delhi, NCR, India. **Proceedings...** Delhi: VLSID, 2019.

MANEA, S. **CSE-342-4 - Introduction to the space radiation effects on satellites: course organization – M1-3.** São José dos Campos: INPE, 2018. 27 slides.

MATTSSON, S. **Single event upset tests of commercial FPGA for space applications.** Switzerland: Saab Ericsson Space (Cern.ch), 2001. Disponível em: <https://cds.cern.ch/record/528419/files/p32.pdf>. Acesso em: 12 mar. 2019.

MAVIS, D. G.; EATON, P. H. **SEU and SET mitigation techniques for FPGA circuit and configuration bit storage design.** Switzerland: Yumpu, 2006. Disponível em:<https://www.yumpu.com/en/document/view/17738577/seu-and-set-mitigation-techniques-for-fpga-circuit-and>. Acesso em: 15 mar. 2019.

MCLOUGHLIN, I. V.; GUPTA, V.; SANDHU, G. S.; LIM, S.; BRETSCHNEIDER, T. R. Fault tolerance through redundant COTS components for satellite processing applications. In: INTERNATIONAL CONFERENCE ON INFORMATION COMMUNICATIONS AND SIGNAL PROCESSING (ICSPIC), 4., 2003, Singapore. **Proceedings...** Singapore: ICSPIC, 2003.

MEDEIROS, V.W.C. **fastRTM: um ambiente integrado para desenvolvimento rápido da migração reversa no tempo (RTM) em plataformas FPGA de alto desempenho**. 2013. 126 p. Tese (Doutorado em Ciência da Computação) - Universidade Federal do Pernambuco (UFPE), Recife, 2013.

MEIER, D.; AZMAN, S.; RAMSTAD, J. E.; HASANBEGOVIC, A.; TALEBI, J.; ALTAN, M. A.; BERGE, H. K. O; PAHLSSON, P.; GHEORGHE, C.; JOHANSEN, T. M.; MAHELUM, G. Development of an ASIC for charged particle counting with silicon radiation detectors. In: IEEE NUCLEAR SCIENCE SYMPOSIUM AND MEDICAL IMAGING CONFERENCE (NSS/MIC), 2013, Seoul, South Korea. **Proceedings...** Seoul: NSS/MIC, 2013.

MERRIAN-WEBSTER. **Dictionary**. USA: Merriam-Webster Incorporated, 2020. Disponível em: <https://www.merriam-webster.com/dictionary>. Acesso em: 6 jun. 2020.

MESQUITA, E.; FRANCK, H.; AGOSTINI, L.; GÜNTZEL, J. L. Soft error tolerant carry-select adders implemented into altera FPGAs. In: IEEE SOUTHERN CONFERENCE ON PROGRAMMABLE LOGIC (SPL), 3., 2007, Mar del Plata, Argentina. **Proceedings...** Mar del Plata: SPL, 2007a.

MESQUITA, E.; FRANCK, H.; AGOSTINI, L.; GÜNTZEL, J. L. RIC: Fast adder and its set-tolerant implementation in FPGAs. In: IEEE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS (FPL), 2007, Amsterdam, Netherlands. **Proceedings...** Amsterdam: FPL, 2007b.

MESSIAS, T.F.; DUARTE, J.M.L.; VIDAL, F.J.T. Test system for functional verification of a SBCDA receptor – study of case: environmental data collector. In: INTERNATIONAL ASTRONAUTICAL CONGRESS (IAC), 27., 2020, Paris, França. **Proceedings...** Paris: IAC, 2020. p. 1- 4.

MICROSEMI. **PB0115 - Product brief smartfusion2 soc FPGA**. Califórnia: Microsemi, 2018. Disponível em: [www.microsemi.com](http://www.microsemi.com). Acesso em: 9 abr. 2020.

MICROSEMI. **SmartFusion2 system-on-chip FPGAs**. Califórnia: Microsemi, 2012. Disponível em: [www.microsemi.com](http://www.microsemi.com). Acesso em: 9 abr. 2020.

MIRANDA, H. G.; STERPONE, L.; VIOLANTE, M.; AGUIRRE, M. A.; RIZO, M. G. Coping with the obsolescence of safety- or mission-critical embedded systems using FPGAs. **IEEE Transactions on Industrial Electronics**, v. 58, n. 3, p. 814 - 821, Mar. 2011.

MITRA, J.; KHAN, S, A.; MARIN, M. B.; CACHEMICHE, J, P.; DAVID, E.; HACHON, F.; RETHORE, F.; KISS, T., BARON, S., KLUGE, A. GBT link testing and performance measurement on PCIE40 and AMC40 custom design fpga boards. **Journal of instrumentation**, v. 11, Mar. 2016.

MOREIRA, P. ; CERVELLI, G.; CHRISTIANSEN, J.; FACCIO, F.; KLUGE, A ; MARCHIORO, A.; TOIFL, T. H ; CACHEMICHE, J. P. ; MENOUNI, M. A radiation tolerant gigabit serializer for LHC data transmission. In: WORKSHOP ON ELECTRONICS FOR LHC EXPERIMENTS (CERN), 7., 2001, Stockholm, Sweden. **Proceedings...** Stockholm: CERN, 2001.

MORGAN, K. S.; MCMURTREY, D. L.; PRATT, B. H.; WIRTHLIN, M. J. A comparison of TMR with alternative fault-tolerant design techniques for FPGAs. **IEEE Transactions on Nuclear Science**, v. 54, n. 6, p. 2065-2072, Dec. 12, 2007.

MOUSAVI, M.; POURSHAGHAGHI, H. R.; TAHGHIGHI, M.; JORDANS; R.; CORPORAL, H. A generic methodology to compute design sensitivity to SEU in SRAM-based FPGA. In: IEEE EUROMICRO CONFERENCE ON DIGITAL SYSTEM DESIGN (DSD), 21., 2018, Prague, Czech Republic. **Proceedings...** Prague: DSD, 2018.

MURUGATHASAN, L.; BINDRA, U.; CHONGANG - DU.; ZHU, Z. H.; NEWLAND, F. T. A software and hardware redundancy architecture for using raspberry pi modules as command & data handling systems for the DESCENT mission. In: ASTRONAUTICS CONFERENCE OF THE CANADIAN AERONAUTICS AND SPACE INSTITUTE (CASI ASTRO), 18, 2018, Quebec City, Quebec, Canada. **Proceedings...** Quebec City: CASI ASTRO, 2018.

NABER, N.M. **Real time fault detection and diagnostics using FPGA-based architectures**. 2010. 63 p. Dissertação (Mestrado em Ciência da Computação) - Air Force Institute of Technology, Ohio, USA, 2010.

NADEEM, M.; AHMAD. M. Fabrication & simulation of Bi-CMOS logical operator. **International Journal for Innovations in Engineering, Science and Management**, v. 2, n. 5, p. 1- 6, May 2014.

NAJEM, M.; BOLLENGIER, T.; LANN, J. C. L.; LAGADEC, L. Extended overlay architectures for heterogeneous FPGA cluster management. **Journal of Systems Architecture**, n. 78, p. 1-14, Aug. 2017.

NAKARARA, K.; KOUYAMA, S.; IZUMI, T.; OCHI, H.; NAKAMURA, Y. S. Fault tolerant reconfigurable device based on autonomous-repair cells. In: IEEE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS (FPL), 2006, Madrid, Spain. **Proceedings...** Madrid: FPL, 2006.

NANOXPLORE. **Products**. France: Nanoxplore, 2019. Disponível em: <https://www.nanoxplore.com>. Acesso em: 24 mar. 2020.

NATIONAL AERONAUTICS AND SPACE ADMINISTRATION (NASA). **431-REF-000273**: single event effect criticality analysis. Greenbelt, MD, USA: Goddard Space Flight Center, 1996. 79 p.

NAVAS, B.; ÖBERG, J.; SANDER, I. The upset-fault-observer: a concept for self-healing adaptive fault tolerance. In: IEEE NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2014, Leicester, United Kingdom. **Proceedings...** Leicester: AHS, 2014a.

NAVAS, B.; ÖBERG, J.; SANDER, I. On providing scalable self-healing adaptive fault-tolerance to RTR SocS. In: IEEE INTERNATIONAL CONFERENCE ON RECONFIGURABLE COMPUTING AND FPGAS (RECONFIG), 2014, Cancun, Mexico. **Proceedings...** Cancun: RECONFIG, 2014b.

NGO, K; MOHAMMADAT, T.; ÖBERG, J. Towards a single event upset detector based on COTS FPGA. In: IEEE NORDIC CIRCUITS AND SYSTEMS CONFERENCE (NORCAS): NORCHIP AND INTERNATIONAL SYMPOSIUM OF SYSTEM-ON-CHIP (SOC), 2017, Linköping, Sweden. **Proceedings...** Linköping: NORCAS, 2017.

NIKNAHAD, M.; SANDER, O.; BECKER, J. Fine grain fault tolerance - a key to high reliability for FPGAs in space. In: AEROSPACE CONFERENCE (AEROCONF), 2012, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2012.

NIKNAHAD, M.; SANDER, O.; BECKER, J. QFDR-an integration of quadded logic for modern FPGAs to tolerate high radiation effect rates. In: IEEE EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 12., 2011, Sevilla, Spain. **Proceedings...** Sevilla: RADECS, 2011.

NGUYEN, N. T. H. **Repairing FPGA configuration memory errors using dynamic partial reconfiguration**. 2017. 151 p. Tese (Doutorado em Engenharia e Ciência da Computação) - Faculty of Engineering, University of New South Wales, Sidney, Australia, 2017.

NUNES, J. L. Improving the dependability of FPGA based real time embedded systems with partial dynamic reconfiguration. In: ANNUAL IEEE/IFIP CONFERENCE ON DEPENDABLE SYSTEMS AND NETWORKS WORKSHOP (DSN-W), 43., 2013, Budapest, Hungary. **Proceedings...** Budapest: DSN-W, 2013.

OLIVEIRA, A.; BENEVENUTI, F.; BENITES, L.; RODRIGUES, G.; KASTENSMIDT, F.; .ADDED, N.; .AGUIAR, V.; MEDINA, N.; .GUAZZELLI, M.; TAMBARA, L. Dynamic heavy ions SEE testing of nanoxplore radiation hardened SRAM-based FPGA: reliability-performance analysis. **Microelectronics Reliability**, v. 100- 101, Sept. 2019.

ORGANISATION FOR ECONOMY COOPERATION AND DEVELOPMENT (OECD). **The space economy at a glance 2014**. France: OECD, 2014. Disponível em: <https://www.oecd.org/science/the-space-economy-at-a-glance-2014-9789264217294-en.htm>. Acesso em: 07 fev. 2019.

PANDIT, A. **introduction to FPGAs and it's programming tools**. India: Circuit Digest, 2019. Disponível em: <https://circuitdigest.com/tutorial/what-is-fpga-introduction-and-programming-tools>. Acesso em: 18 jun. 2019.

PAROBECK, L.S. **Research, development and testing of a fault-tolerant FPGA-based sequencer for cubesat launching applications**. 2013. 224 p. Dissertação (Mestrado em Engenharia Elétrica) - Naval Postgraduate School, Monterey, CA, USA, 2013.

PEREIRA, V. C. **Model checking probabilístico para apoiar a mitigação de evento de falta única em field programmable gate arrays (FPGAs)**. 2018. 113 p. Dissertação (Mestrado em Computação Aplicada) – Instituto Nacional de Pesquisas Espaciais (INPE), São José dos Campos, 2018.

PÉREZ, A.; SURIANO, L.; OTERO, A.; TORRE, E. Dynamic reconfiguration under RTEMS for fault mitigation and functional adaptation in SRAM-based SoPCs for space systems. In: NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2017, Pasadena, CA, USA. **Proceedings...** Pasadena: AHS, 2017.

PINHO, M.V.; KRAEAMER, F.; SOARES, I. **FPGAs em aplicações espaciais**. Brasil: Instituto Federal de Santa Catarina, 2016. Disponível em: <https://wiki.sj.ifsc.edu.br/wiki/images/c/c6/DLP29006-AE1-Tema4-2016-1.pdf>. Acesso em: 07 fev. 2019.

PRADO, E. R.; PREWITT, P.; ILLE, E. A standard product approach to spaceborne payload processing. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2001, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2001.

PRATT, B; CAFFREY, M.; CARROLL, J. F.; GRAHAM P.; MORGAN, K.; WIRTHLIN, M. Fine-grain SEU mitigation for FPGAs using partial TMR. **IEEE Transactions on Nuclear Science**, v. 55, n. 4, Sept. 2008. p. 2274-2280.

PRATT, H. B. **Analysis and mitigation of SEU-induced noise in FPGA-based DSP systems**. 2011. 197 p. Ph.D. Tese (Doutorado em Engenharia da Computação e Elétrica) - Brigham Young University, Provo, UT, USA, 2011.

PUGH, S. **Total design: integrated methods for successful product engineering**. Wokingham, United Kingdom: Addison-Wesley Publishing Company, 1991. 296 p.

QUEIROZ, K. P.; DIAS S. M.; DUARTE, J. M.; CARVALHO, M. M. Uma solução para o sistema brasileiro de coleta de dados ambientais baseada em nanossatélites. **Holos**, v. 7, p. 132-142, Dez. 2018.

QUINN, H.; GRAHAM, P.; KRONE, J.; CAFFREY, M.; REZGUI, S. Radiation-induced multi-bit upsets in SRAM-based FPGAs. **IEEE Transactions on Nuclear Science**, v. 52, n. 6, p. 2455 – 2461, Dec. 2005.

QUINN, H.; GRAHAM, P.; PRATT, B. An automated approach to estimating hardness assurance issues in triple-modular redundancy circuits in xilinx FPGAs. **IEEE Transactions on Nuclear Science**, v. 55, n. 6, p. 3070-3076, Dec. 2008.

REBAUDENGO, M.; REORDA, M. S.; VIOLANTE, M. Simulation-based analysis of SEU effects on SRAM-based FPGAs. In: INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE LOGIC AND APPLICATIONS (FPL), 2002, Montpellier, France. **Proceedings...** Montpellier: FPL, 2002. p. 607-615.

REORDA, M. S.; VIOLANTE, M.; MEINHARDT, C.; REIS, R. An on-board data-handling computer for deep-space exploration built using commercial-off-the-shelf SRAM-based FPGAs. In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI SYSTEM (DFT), 24., 2009, Chicago, IL, USA. **Proceedings...** Chicago: DFT, 2009.

REYNERI, L. M.; SANSOÈ, C.; PASSERONE, C.; SPERETTA, S.; TRANCHERO, M.; BORRI, M.; CORSO, D. D. **Design solution for modular satellites architectures**. United Kingdom: InterchOpen. 2010. Disponível em : <https://www.intechopen.com/books/aerospace-technologies-advancements/design-solutions-for-modular-satellite-architectures>. Acesso em: 07 fev. 2019.

RIBEIRO, A. A. L. **Reconfigurabilidade dinâmica e remota de FPGAs**. 2002. 136p. Dissertação (Mestrado em Ciência da Computação e Matemática Computacional) – Instituto de Ciências Matemáticas e Computação da Universidade de São Paulo (USP), São Carlos, 2002.

- RITTNER, F.; RISTIC, M.; GLEIN, R.; HEUBERGER, A. Automated test procedure to detect permanent faults inside SRAM-Based FPGAs. In: NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2017, Pasadena, CA, USA. **Proceedings...** Pasadena: AHS, 2017.
- ROLLINS, N.; WIRTHLIN, J; GRAHAM, P. Evaluation of power costs in applying TMR to FPGA designs. In: ANNUAL MILITARY AND AEROSPACE PROGRAMMABLE LOGIC DEVICES INTERNATIONAL CONFERENCE (MAPL), 7., 2004, Washington D.C, USA. **Proceedings...** Washington D.C.: MAPL, 2004. p. 1-7.
- SAMUDRALA, P. K.; RAMOS, J.; KATKOORI, S. Selective triple modular redundancy (STMR) based single-event upset (SEU) tolerant synthesis for FPGAs. **IEEE Transactions on Nuclear Science**, v. 51, n. 5, p. 2957-2969, Oct. 2004.
- SÁNCHEZ, A.; BARRIOS, Y.; SANTOS, L.; SARMIENTO, R. Evaluation of TMR effectiveness for soft error mitigation in shyloc compression IP core implemented on zynq soc under heavy ion radiation. In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI AND NANOTECHNOLOGY SYSTEMS (DFT), 2019, Noordwijk, Netherlands. **Proceedings...** Noordwijk: DFT, 2019.
- SANTOS, L. P.; NAZAR, G. L.; CARRO, L. Repair of FPGA-based real-time systems with variable slacks. **ACM Transactions on Design Automation of Electronic Systems (TODAES)**, v. 23, n. 2, Jan. 2018.
- SANTOS, M. A. F.; FRANCISCO, M. F. M; YAMAGUTI, W. O sistema nacional de dados ambientais e a coleta de dados por satélite. In: SIMPÓSIO BRASILEIRO DE SENSORIAMENTO REMOTO (SBSR), 16., 2013, Foz do Iguaçu, PR. **Anais...** São José dos Campos: INPE, 2013.
- SARKAR, S.; ADAK, A.; SINGH, V.; SALUJA, K.; FUJITA, M. SEU tolerant SRAM for FPGA applications. In: IEEE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE-TECNOLOGY (FTP), 2010, Beijing, China. **Proceedings...** Beijing: FTP, 2010.
- SCHMIDT, F. H. J. **Fault tolerant design implementation on radiation hardened by design SRAM-based FPGAs**. Dissertação (Mestrado em Aeronáutica e Astronáutica) - United States Air Force Academy, Colorado Springs, CO, USA, 2011.
- SELCAN, D.; KIRBIS, G.; KRAMBERGER, I. Nanosatellites in LEO and beyond: advanced radiation protection techniques for COTS-based spacecraft. **Acta Astronautica**, v. 131, p. 131-144, Feb. 2017.

SHAKER, M.N.; MADIAN, A. H.; ABDELHALIM, M. B.; AMER, S. H.; EMARA, A. S.; AMER, H.H. Effect of open faults in FPGA switch matrices on fault detection mechanisms. In: IEEE INTERNATIONAL CONFERENCE ON MICROELECTRONICS (ICM), 28., 2016, Giza, Egypt. **Proceedings...** Giza: ICM, 2016.

SHANG, L.; ZHOU, M.; YU-HU. A fault-tolerant system-on-programmable-chip based on domain-partition and blind reconfiguration. In: IEEE NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2010, Anaheim, CA, USA. **Proceedings...** Anaheim: AHS, 2010.

SHARMA. U. Fault tolerant techniques for reconfigurable platforms. In: CONFERENCE OF THE AMRITA ACM-W CELEBRATION ON WOMEN IN COMPUTING IN INDIA (A<sub>2</sub>CWiC), 1., 2010, Tamilnadu, India. **Proceedings...** Tamilnadu: A<sub>2</sub>CWiC, 2010.

SHEN, Z.; FENG, C.; GAO, S.; ZANG, D.; JIANG, D.; LIU, S; QI-AN, S. Study on FPGA SEU mitigation for readout electronics of DAMPE BGO calorimeter. **IEEE Transactions on Nuclear Science**, v. 62, n. 3, p. 1010 - 1015, June 2015.

SHE, X; SAMUDRALA, P.K. Selective triple modular redundancy for single event upset (SEU) mitigation. In: NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2009, San Francisco, CA, USA. **Proceedings...** San Francisco: AHS, 2009.

SHIM, D. E.; SIDANA, A. S.; YAMAGUCHI, J. S. ; KRUTZIK, C.; NAKAMURA, D.; LIM, S. K. FLASHRAD: A reliable 3D rad hard flash memory cube utilizing COTS for space. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2019, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2019.

SHIRVANI, P. P.; SAXENA, N. R.; MCCLUSKEY, E. J. Software implemented EDAC protect against SEUs. **IEEE Transactions on Reability**, v. 49, n. 3, p. 273-284, Sept. 2000.

SIEGLE, F.; VLADIMIROVA, T.; ILSTAD, J.; EMAM, O. Mitigation of radiation effects in SRAM-based FPGAs for space applications. **ACM Computing Surveys (ACM Digital Library)**, v. 47, n. 2, p. 1- 35, Jan. 2015. Disponível em: <https://dl.acm.org/citation.cfm?id=2671181>. Acesso em: 07 fev. 2019.

SILVA, L. E. R. **Sistema de tolerância a falhas baseado em reconfiguração estática de dispositivos FPGAs**. 2015. 41 p. Monografia (Graduação em Engenharia Eletrônica), Universidade de Brasília (UnB), Brasília, 2015.

SILVA, V. C. D. **Estruturas CMOS resistentes à radiação utilizando processos de fabricação convencionais**. 2005. 200 p. Dissertação (Mestrado em Engenharia Elétrica) – Instituto Militar de Engenharia (IME), Rio de Janeiro, 2005.



SINCLAIR, D.; DYER, J. Radiation effects and COTS parts in smallsats. In: ANNUAL AIAA/USU CONFERENCE ON SMALL SATELLITES, 27., 2013, Utah State University, Logan, UT, USA. **Proceedings...** Logan: AIAA/USU, 2013. p. 1-12.

SIOK - LIN, S. L.; MCLOUGHLIN, I.; BRETSCHEIDER, T.; SCHRÖDER, H. **Reconfigurable, fault tolerant and high performance payload for space missions.** USA: Nanyang Technological University, TAIT Electronics Ltd. and University of RMIT (Academia.edu), 2003. Disponível em: [https://scholar.google.com.br/scholar?hl=pt-BR&as\\_sdt=0%2C5&q=Reconfigurable%2C+Fault+tolerant+and+high+performance+payload+for+space+missions&btnG=](https://scholar.google.com.br/scholar?hl=pt-BR&as_sdt=0%2C5&q=Reconfigurable%2C+Fault+tolerant+and+high+performance+payload+for+space+missions&btnG=). Acesso em: 11 mar. 2019.

SKUTNIK, S. E. **A scalable analytic model for single event upsets in radiation-hardened field programmable gate arrays in the phenix interaction region.** 2005. 112 p. Dissertação (Mestrado em Física Nuclear) - Iowa State University, Ames, IA, USA, 2005.

SMITH, G. L.; TORRE, L. Techniques to enable FPGA based reconfigurable fault tolerant space computing. In: IEEE AEROSPACE CONFERENCE (AEROCONF), 2006, Big Sky, MT, USA. **Proceedings...** Big Sky: AEROCONF, 2006.

SONNENBERG, V.; NICOLETT, A. S. **Transistores MOSFETS fabricados na tecnologia de silício sobre isolante - SOI MOSFET: a caminho do futuro.** Brasil: Faculdade de Tecnologia de São Paulo, 2003. Disponível em: <http://bt.fatecsp.br/system/articles/59/original/3victor.pdf>. Acesso em: 16 abr. 2019.

SOURTECH411. **Top FPGA companies for 2013.** USA: Sourtech411, 2013. Disponível em: <https://sourcetek411.com/2013/04/top-fpga-companies-for-2013/>. Acesso em: 07 fev. 2019.

SOUZA, G. R. **Organização e arquitetura de computadores.** Natal: Instituto Federal de Educação, Ciência e Tecnologia do Rio Grande do Norte (IFRN), 2019. 99 slides.

SOUZA, P.N. **Satélites: a concepção do sistema, a arquitetura dos satélites e seus subsistemas.** São José dos Campos, SP: INPE, 2002. 18 slides.

STECKERT, J.; SKOCZEN, A. Design of FPGA-based radiation tolerant quench detectors for LHC. **Journal of Instrumentation**, v. 12, Apr. 2017.

STERPONE, L.; BATTEZZATI, N. A new placement algorithm for the mitigation of multiple cell upsets in SRAM-based FPGAs. IN: DESIGN, AUTOMATION & TEST IN EUROPE CONFERENCE & EXHIBITION (DATE), 2010, Dresden, Germany. **Proceedings...** Dresden: DATE, 2010.

STERPONE, L.; BORAGNO, L. A probe-based SEU detection method for SRAM-based FPGAs. **Microelectronics Reliability**, v. 76-77, p. 154-158, Sept. 2017.

STERPONE, L.; PORRMANN, M.; HAGEMEYER, J. A novel fault tolerant and runtime reconfigurable platform for satellite payload processing. **IEEE Transactions on Computer**, v. 62, n. 8, p. 1508-1525, April 2013.

STERPONE, L.; VIOLANTE, M. A new algorithm for the analysis of the MCUs sensitiveness of TMR architectures in SRAM-based FPGAs. **IEEE Transactions on Nuclear Science**, v. 55, n. 4, p. 2019 – 2027, Sept. 2008.

STERPONE L.; VIOLANTE, M.; PANARITI, A.; BOCQUILLON A.; MILLER, F.; BUARD, N.; MANUZZATO, A.; GERARDIN, S.; PACCAGNELLA, A. Layout-aware multi-cell upsets effects analysis on TMR circuits implemented on SRAM-BASED FPGAs. **IEEE Transactions on Nuclear Science**, v. 58, n. 5, p. 2325 – 2332, Oct. 2011.

STERPONE, L.; VIOLANTE, M.; REZGUI, S. An experimental analysis of hardening techniques for SRAM-based FPGAS. In: EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 8., 2005, Cap d'Agde, France. **Proceedings...** Cap d'Agde: RADECS, 2005.

SULAIMAN, M. H.; SALIM, S. I. M.; JAAFAR, A.; IBRAHIM, M. M. A survey of fault-tolerant processor based on error correction code. In: IEEE STUDENT CONFERENCE ON RESEARCH AND DEVELOPMENT (SCORED), 2014, Penang, Malaysia. **Proceedings...** Penang: SCORED, 2014.

SZURMAN, K.; KASTIL, J.; STRAKA, M.; KOTASEK, Z. Fault tolerant CAN bus control system implemented into FPGA. In: IEEE INTERNATIONAL SYMPOSIUM DESIGN AND DIAGNOSTICS OF ELECTRONICS CIRCUITS & SYSTEMS (DDECS), 16., 2013, Karlovy Vary, Czech Republic. **Proceedings...** Karlovy Vary: DDECS, 2013. p. 289 – 292.

TAILLE, C. T. **Overview of atlas LAr radiation tolerance**. Switzerland: Laboratoire de l'accélérateur linéaire (LAL) - Cern.ch, 2000. Disponível em: <https://cds.cern.ch/record/478881/files/p265.pdf>. Acesso em: 10 maio 2019.

TAILLE, C. T. **Status of atlas LAr DMILL chips**. Switzerland: Laboratoire de l'accélérateur linéaire (LAL) - Cern.ch, 2001. Disponível em: <https://cds.cern.ch/record/530002/files/p289.pdf>. Acesso em: 6 maio. 2019.

TAMBARA, L. A.; KASTENSMIDT, F. L.; AZAMBUJA, J. R.; CHIELLE, E.; ALMEIDA, F.; G. NAZAR, G.; RECH, P.; FROST, C.; LUBASZEWSKI, M. S. Evaluating the effectiveness of a diversity TMR scheme under neutrons. In: IEEE EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 14., 2013, Oxford, United Kingdom. **Proceedings...** Oxford, RADECS, 2013.

TAMKE, S. A. **Optimization of error correcting codes in FPGA fabric onboard cube satellites**. 2019. 76 p. Dissertação (Mestrado em Engenharia Elétrica) - Montana State University, Bozeman, Montana, 2019.

TAYLOR, R. **FPGAs superam desempenho computacional**. Brasil: InfoQ Brasil Newsletter, 2017. Disponível em: <https://www.infoq.com/br/articles/fpga-computational-performance>. Acesso em: 16 abr. 2019.

TELLO, G. C. **Fault tolerance techniques for FPGA-based space applications: a study of the effects of radiation in SRAM-based FPGAs and their solutions**. 2019. 64 p. Dissertação (Mestrado em Informática de Sistemas e Computadores) - Universitat Politècnica de València, València, Spain, 2019.

THAI, T. **Applications for FPGAs on nanosatellites**. 2014. 113 p. Dissertação (Mestrado em Ciência Espacial e da Terra) - York University, Toronto, Ontario, Canada, 2014.

TOBA, T; SHIMBO, K; UEZONO, T; NAGASAKI, F.; KAWAMURA, K. Soft error high speed correction by interruption scrubbing method in FPGA for embedded control system. In: IEEE INFORMATION TECHNOLOGY, NETWORKING, ELECTRONIC AND AUTOMATION CONTROL CONFERENCE (ITNEC), 2., 2017, Chengdu, China. **Proceedings...** Chengdu: ITNEC, 2017.

TOIFL, T.; MOREIRA, P.; MARCHIORO, A. **Measurements of radiation effects on the timing, trigger and control receiver (TTCrx) ASIC**. Switzerland: European Organization for Nuclear Research (Cern.ch), 2000. Disponível em: <https://cds.cern.ch/record/478873/files/p226.pdf>. Acesso em: 3 jun. 2019.

TRAMONTIN, E. D. **Estratégia para atualização remota de sistemas computacionais embarcados em satélites: um estudo de caso com o nanossatélite floripasat-I**. 2018. 86 p. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Santa Catarina (UFSC), Florianópolis, 2018.

TSOUNIS, I. ; TSIGKANOS, A. ; VLAGKOULIS, V.; PSARAKIS, M. ; KRANITIS, N.; PASCHALIS, A. Analyzing the resilience to SEUs of an image data compression core in a COTS SRAM FPGA. In: NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2019, Colchester, United Kingdom. **Proceedings...** Colchester: AHS, 2019.

VAVOURAS, M.; BOUGANIS, C. S. Area-driven partial reconfiguration for SEU mitigation on SRAM-based FPGAs. In: IEEE INTERNATIONAL CONFERENCE ON RECONFIGURABLE COMPUTING AND FPGAS (RECONFIG), 2016, Cancun, México. **Proceedings...** Cancun: RECONFIG, 2016.

VELJKOVIC, F.; RIESGO, T.; TORRE, E. Adaptive reconfigurable voting for enhanced reliability in medium-grained fault tolerant architectures. In: IEEE NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2015, Montreal, QC, Canada. **Proceedings...** Montreal: AHS, 2015.

VILLA, P.; BEZERRA, E.; GOERL, R.; POEHLS, L.; VARGAS, F.; MEDINA, N.; ADDED, N.; AGUIAR, V.; MACCHIONE, E.; AGUIRRE, F.; SILVEIRA, M. Analysis of COTS FPGA SEU-sensitivity to combined effects of conducted-EMI and TID. In: INTERNATIONAL WORKSHOP ON THE ELECTROMAGNETIC COMPATIBILITY OF INTEGRATED CIRCUITS (EMC COMPO), 11., 2017, St. Petesburg, Russia. **Proceedings...** St. Petesburg: EMC COMPO, 2017a. p. 27 – 32.

VILLA, P. R. C.; GOERL, R. C.; VARGAS, F.; POEHLS, L. B.; MEDINA, N. H.; ADDED, N.; AGUIAR, V. A. P.; MACCHIONE, E. L. A; AGUIRRE, F.; SILVEIRA, M. A. G.; BEZERRA, E. A. Analysis of single-event upsets in a microsemi proasic3E FPGA. In: IEEE LATIN-AMERICAN TEST SYMPOSIUM (LATS), 18., 2017, Bogotá, Colombia. **Proceedings...** Bogotá: LATS, 2017b.

VILLA, P. R. C.; TRAVESSINI, R.; GOERL, R. C.; VARGAS, F. L.; BEZERRA, E. A. Fault tolerant soft-core processor architecture based on temporal redundancy. **Journal of Electronic Testing**, v. 35, p. 9 – 27, Febr. 2019.

VILLA, P. R. C.; TRAVESSINI, R.; VARGAS, F. L.; BEZERRA, E. A. Processor checkpoint recovery for transient faults in critical applications. In: IEEE LATIN-AMERICAN TEST SYMPOSIUM (LATS), 19., 2018, São Paulo, SP. **Proceedings...** LATS: São Paulo, 2018.

VIOLANTE, M.; CESCHIA, M.; REORDA, M. S.; PACCAGNELLA, A. ; BERNARDI, P.; REBAUDENGO, M.; BORTOLATO, D.; BELLATO, M.; ZAMBOLIN, P.; CANDELORI, A. Analyzing SEU effects in SRAM-based FPGAs. In: IEEE ON-LINE TESTING SYMPOSIUM (IOLTS), 9., 2003, Kos Island, Greece. **Proceedings...** Kos Island: IOLTS, 2003.

VIT, P.; BORECKÝ, J.; KOHLÍK, M.; KUBÁTOVÁ, H. Fault tolerant duplex system with high availability for practical applications. In: IEEE EUROMICRO CONFERENCE ON DIGITAL SYSTEM DESIGN (DSD), 17., 2014, Verona, Italy. **Proceedings...** Verona: DSD, 2014. p. 320-325.

VLADIMIROVA, T. Reconfigurable system-on-a-chip based platform for satellite on-board computing. In: SCIENTIFIC CONFERENCE SPACE, ECOLOGY, SAFETY (SES), 2005, Varna, Bulgaria. **Proceedings...**Varna: SES, 2005. p. 111 - 117.

UPTEKSCO. **Transistor bipolar de porta isolada (IGBT)**. China: Upteksco, 2019. Disponível em: <https://www.upteks.com/pt/news/Transistor-Bipolar-de-Porta-Isolada-IGBT/news-062.html>. Acesso em: 16 abr. 2019.

WILLIAMS, J.; MASSIE, C; GEORGE, A. D.; RICHARDSON J.; GOSRANI, K.; LAM, H. Characterization of fixed and reconfigurable multi-core devices for application acceleration. **ACM Transactions on Reconfigurable Technology and Systems**, v. 3, n. 4, Nov. 2010.

WILSON, D.; SHASTRI, A.; STITT, G. A high-level synthesis scheduling and binding heuristic for FPGA fault tolerance. **International Journal of Reconfigurable Computing**, v. 2017, 2017.

WINDOWSTEAM. **A Microsoft fez uma grande aposta em chip de computador reprogramável: FPGA**. Brasil: WindowsTeam, 2018. Disponível em: [www.windowsteam.com.br/a-microsoft-fez-uma-grande-aposta-em-chip-de-computador-reprogramavel-fpga](http://www.windowsteam.com.br/a-microsoft-fez-uma-grande-aposta-em-chip-de-computador-reprogramavel-fpga). Acesso em: 16 abr. 2019.

WULF, N., GEORGE, A.D.; ROSS, A.G. A framework for evaluating and optimizing FPGA-based SoCs for aerospace computing. **ACM Transactions on Reconfigurable Technology and Systems (TRETs - ACM Digital Library)**, v. 10, n. 1, Dec. 2016. Disponível em: <https://dl.acm.org/citation.cfm?id=2888400>. Acesso em: 07 fev. 2019.

XIANGYU-SU; BAO, J.; ZHAO, B.; JINSHU-SU. Protecting router forwarding table in space. In: IEEE INTERNATIONAL CONFERENCE ON MOBILE AD-HOC AND SENSOR NETWORKS (MSN), 7., 2011, Beijing, China. **Proceedings...** Beijing: MSN, 2011.

XIAOXUAN-SHE, SAMUDRALA, P. K. Selective triple modular redundancy for single event upset (SEU) mitigation. In: IEEE NASA/ESA CONFERENCE ON ADAPTIVE HARDWARE AND SYSTEMS (AHS), 2009, San Francisco, CA. **Proceedings...** San Francisco: AHS, 2009.

XIUHAI-CUI; QI-GAO; WANG, R.; LI - LIU; LIANG, J.; YU – PENG. Fault-tolerant method for anti-SEU of embedded system based on dual-core processor. **Journal of Engineering**, v. 2019, n. 23, p. 8755 – 8759, Dec. 2019.

XUEYE-HU.; WANG, J.; PINKHAM, R.; HOU, S.; SCHWARZ, T.; ZHOU, B. A multi-layer SEU mitigation strategy to improve FPGA design robustness for the ATLAS muon spectrometer upgrade. **Nuclear Instruments and Methods in Physics Research**, v. 939, p. 30-35, 2019.

YANMEI-LI, DONGMEI-LI, WANG, Z. A new approach to detect-mitigate-correct radiation-induced faults for SRAM-based FPGAs in aerospace application. In: IEEE NATIONAL AEROSPACE AND ELECTRONICS CONFERENCE (NAECON), 2000, Dayton, OH, USA. **Proceedings...** Dayton: NAECON, 2000.

YOUSUF, S.; JACOBS, A.; ROSS, A. G. Partially reconfigurable system-on-chips for adaptive fault tolerance. In: IEEE INTERNATIONAL CONFERENCE ON FIELD PROGRAMMABLE TECHNOLOGY (FTP), 2011, New Delhi, India. **Proceedings...** New Delhi: FTP, 2011.

ZHEN, G.; REVIRIEGO, P.; MING, Z.; JING, W.; MAESTRO, J. A. Efficient single event upset tolerant FIR filter design based on residue number for OBP satellite communication systems. **China Communications**, v. 10, n. 8, p. 55-67, Oct. 2013.

ZHOU, Y., YANG, J.; WANG, Y. Maximizing transient availability of real-time onboard reconfigurable processing platforms, an analytical redundancy inspired approach. In: INTERNATIONAL CONFERENCE ON INFORMATION AND AUTOMATION (ICIA), 2008, Changsha, China. **Proceedings...** Changsha: ICIA, 2008.

ZHU, K; WONG, D. F. Clock skew minimization during FPGA placement. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 16, n. 4, p. 376 – 385, Apr.1997.

## APÊNDICE A – COMPLEMENTO (TECNOLOGIA DE FPGAs)

Tabela A.1 – Subtipos de PLDs (*Programmable Logic Device*).

Subtipos de PLDs	Características
PLAs ( <i>Programmable Logic Array</i> )/ PALs ( <i>Programmable Array Logic</i> )	A diferença entre os dois tipos reside na implementação das portas lógicas, sendo que os PALs geralmente contêm <i>flip-flops</i> , conectados nas saídas para que circuitos sequenciais possam ser implementados.
SPLDs ( <i>Simple PLD</i> )	Pequenos PLDs e outros dispositivos similares, que apresentaram características relevantes como baixo custo e alto desempenho.
CPLDs ( <i>Complex PLD</i> )	A integração de múltiplos SPLDs em um único <i>chip</i> foi denominada de CPLDs, permitindo um maior aumento da capacidade de processamento.

Fonte: Malagoni et al. (2009); Ribeiro (2002).

Tabela A.2 – Tecnologia de memórias digitais.

Memórias	Características
<i>Flash</i>	São memórias de leitura/escrita de alta densidade (alta capacidade de armazenamento de bits) não-voláteis, o que significa que os dados podem ser mantidos armazenados indefinidamente sem energia elétrica. Algumas vezes elas são usadas no lugar de discos rígidos de pequenas capacidades em computadores portáteis. Quanto maior a densidade, mais bits podem ser armazenados em uma área de mesmo tamanho. Utiliza uma célula de armazenamento que consiste em um único transistor MOS de porta flutuante. A porta flutuante armazena elétrons (carga) de acordo com a tensão aplicada na porta de controle: mais cargas (nível 0) e menos ou nenhuma carga (nível 1).
EPROM ( <i>Electrically Programmable Read-Only Memory</i> ).	Esta tecnologia de memórias é encontrada em certos dispositivos lógicos programáveis. Constata-se que a maioria dos PLDs baseados em EPROM são do tipo OTP ( <i>One-Time Programmable</i> ), ou seja, programados uma só vez. Entretanto, os que apresentam um encapsulamento com “janela” podem ser apagados com luz ultravioleta e reprogramados, utilizando transistor MOS de porta flutuante, com conexão programável.
EEPROM ( <i>Electrically-Erasable Programmable Read-Only Memory</i> ).	A tecnologia empregada é semelhante à EPROM, utilizando um transistor de porta flutuante. A diferença é que esta memória pode ser apagada e reprogramada eletricamente sem a necessidade de luz ultravioleta ou equipamentos especiais, utilizados para o caso da EPROM.

(Continua)

Tabela A.2 – Conclusão.

Memórias	Características
RAM ( <i>Random Access Memory</i> ).	É uma memória na qual todos os endereços são acessados em tempos iguais e podem ser selecionados em qualquer ordem para uma operação de leitura ou escrita. Quando uma unidade de dados é escrita num determinado endereço nesta memória, a nova unidade de dado substitui a unidade de dado armazenada anteriormente. Quando há uma leitura, a unidade de dado permanece armazenada e não é apagada. Esta memória geralmente é usada para armazenamento de dados de curta duração porque ela é volátil, ou seja, quando há uma operação de inicialização ( <i>reset</i> ) ou quando a energia é desligada, elas perdem o conteúdo armazenado.
SRAM ( <i>Static Random Access Memory</i> ).	O conceito básico de arranjos lógicos programáveis baseados em SRAM parte do pressuposto que uma célula de memória é usada para ligar ou desligar um transistor, conectando ou desconectando linhas e colunas (muitos FPGAs usam esta memória). No entanto, esta tecnologia também é volátil, ou seja, não retém o dado quando a energia é desligada. Assim, os dados da programação têm que ser carregados na memória. Posteriormente, quando a energia é ligada, os dados da memória são reprogramados.
DRAM ( <i>Dynamic Random Access Memory</i> ).	Esta memória armazena um bit de dado num pequeno capacitor em vez de um <i>latch</i> . A vantagem desta célula é que ela é muito simples, permitindo que sejam construídos arranjos de memórias muito maiores em um <i>chip</i> com um menor custo por bit. A desvantagem é que o capacitor não pode manter sua carga por um grande tempo, perdendo o bit de dado armazenado, a menos que a carga seja renovada periodicamente (operação de <i>refresh</i> ). A operação mencionada requer um circuito adicional na memória e complica a operação da DRAM.
SDRAM ( <i>Synchronous Dynamic Random Access Memory</i> ).	DRAMs rápidas são necessárias para acompanhar a velocidade sempre crescente dos microprocessadores. A operação desta memória é sincronizada com <i>clock</i> do sistema. A operação sincronizada torna a SDRAM totalmente diferente dos outros tipos de DRAMs assíncronas. Com memórias assíncronas, o microprocessador tem que esperar para que a DRAM complete as suas operações internas. Entretanto, com operações síncronas a SDRAM armazena endereços, dados e informações de controle a partir do processador sob o controle do <i>clock</i> do sistema. Isso permite ao processador manusear outras tarefas enquanto as operações de leitura ou escrita na memória estão acontecendo, em vez de ter que esperar pela memória realizar estas atividades, conforme o caso dos sistemas assíncronos.

Fonte: Floyd (2007).



Tabela A3 – Resumo das principais características das memórias.

<b>Memória</b>	<b>Categoria</b>	<b>Mecanismo de apagamento</b>	<b>Mecanismo de escrita</b>	<b>Volatilidade</b>
RAM	Memória de leitura e escrita	Eletricamente, ao nível de <i>byte</i>	Eletricamente	Volátil
ROM ( <i>Read-Only Memory</i> )	Memória apenas de leitura	Não é possível	Máscaras	Não -volátil
PROM ( <i>Programmable Read-Only Memory</i> )			Eletricamente	
EPROM	Memória principalmente de leitura	Luz ultravioleta, ao nível de pastilha		
<i>Flash</i>		Eletricamente, ao nível de blocos		
EEPROM		Eletricamente, ao nível de <i>bytes</i>		

Fonte: Souza (2019).

## APÊNDICE B – COMPLEMENTO (TÉCNICAS DE MITIGAÇÃO)

Tabela B.1 – Resumo das principais técnicas de mitigação.

Métodos Referência	Descrição
D1 - Circuito de proteção (CKPR) Reyneri et al. (2010)	Os circuitos de proteção monitoram ativamente o circuito a ser reservado, tratando-se de um sistema emergencial, muito utilizado para prevenir os sistemas de possíveis falhas. Possui como referência um circuito <i>watchdog</i> , que é um dispositivo eletrônico temporizador que dispara um <i>reset</i> ao sistema se outro dispositivo programado não realizar esta tarefa (erro).
D2- <i>Careful</i> COTS (CACT) Sinclair e Dyer (2013)	Esta técnica surgiu da necessidade de dispositivos adequados para muitas missões de pequenos satélites, onde uma boa probabilidade de sucesso da missão é necessária e o acesso à tecnologia comercial de ponta é crítica. Como a sua tolerância é de fabricação não necessita de implementação de novas técnicas, aproveitando as características do dispositivo e sua blindagem; assim, não estão sujeitos às desvantagens das técnicas implementadas.
D3-TMR (Redundância Modular Tripla) Parobeck (2013)	A redundância (principalmente a tripla) é uma das técnicas mais utilizadas em tolerância a falhas, sendo utilizada para aumentar confiabilidade desde os primórdios da computação. Quase todas as técnicas de tolerância a falhas envolvem alguma forma de redundância. Todos os elementos executam a mesma tarefa e o resultado é determinado por votação. A TMR possui diversos subtipos de acordo com a aplicação, apresentando vantagens e desvantagens.
D4 - Redundância de FPGA (REFP) Carmichael et al. (1999)	A Redundância de FPGA é utilizada principalmente para evitar interrupções funcionais, incluindo falha total do dispositivo. Neste caso, um processador pode ser usado para uma fila de dispositivos redundantes. Sempre que um <i>upset</i> for detectado em um deles, este deve ficar <i>offline</i> e ser reparado enquanto outro dispositivo é selecionado da fila de redundância para continuar o processamento. Redundância de três dispositivos de FPGAs pode ser um dos métodos mais indicados para filtragem de múltiplos <i>upsets</i> de transientes com alta confiabilidade.
D5– Detecção e correção de erros (EDAC) Shirvani et al. (2000)	Os códigos (ECC) da técnica de detecção e correção de erros (EDAC) geralmente são utilizados para aumentar a confiabilidade do dispositivo. Apresentam maior flexibilidade de implementação, pois podem utilizar extensão do <i>hardware</i> ou <i>software</i> , considerando o fator de custo. Também permitem a escolha de diversos códigos para implementação, de acordo com a aplicação requerida e seu devido grau de confiabilidade.

(Continua)

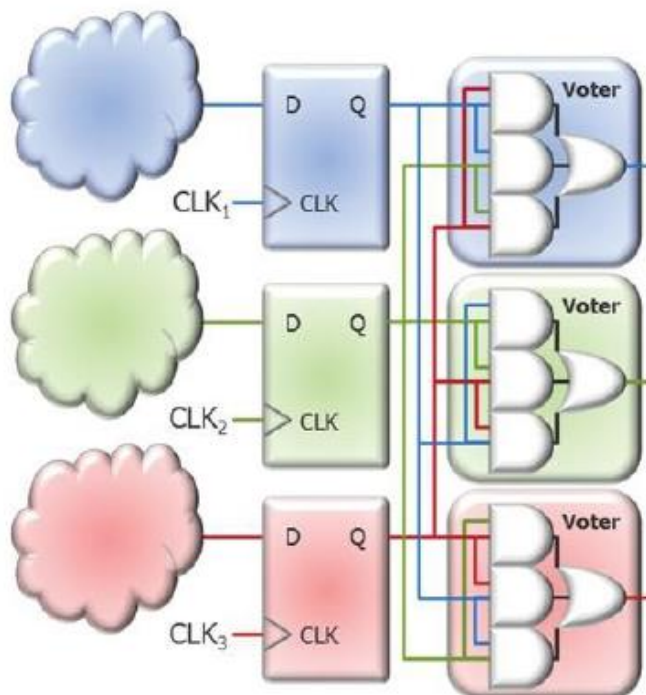
Tabela B.1 – Conclusão.

Métodos Referência	Descrição
D6- Reconfiguração (RECO) Parobeck (2013)	A técnica de Reconfiguração visa oferecer maior rapidez e flexibilidade pelo fato da tecnologia FPGA permitir que a reconfiguração (reprogramação) seja realizada em um curto espaço de tempo e com menor complexidade. O procedimento pode ser comparado com uma atualização de <i>software</i> dentro de um computador, ou atualização de <i>firmware</i> dentro de um dispositivo de memória <i>flash</i> . A configuração pode ocorrer mesmo quando o sistema esteja sendo executado (reconfiguração parcial), permitindo alterar funções concorrentes. A reconfiguração parcial é executada por particionamento do dispositivo em várias regiões que podem ser reprogramadas sem impactar as outras seções do dispositivo. Finalmente, a reconfiguração pode ser subdividida em vários tipos ou ser complementada por outras técnicas similares, como o <i>scrubbing</i> .
D7 – Duplicação (DUPL) Kastensmidt et al. (2004a)	A Duplicação pode ser usada para substituição de componentes com falhas permanentes e também para detecção de erros, onde duas unidades executam de forma sincronizada o processamento e um comparador verifica os resultados. Esta também é uma técnica de redundância que pode utilizar o princípio da TMR, conduzindo a algumas vantagens como a redução do número de pinos. Pode atuar com efeitos de <i>upsets</i> permanentes, utilizando redundância de tempo e <i>hardware</i> para proteger a lógica combinacional do circuito.
D8- Quadruplicação (QUAD) Parobeck (2013)	Outros tipos de redundâncias podem ser utilizados que não envolvam a utilização de todos os parâmetros da TMR, aproveitando ou não as suas características e aperfeiçoando a eficiência. A quadruplicação mais típica é a <i>quadded logic</i> , onde o erro é mascarado usando portas lógicas com um padrão particular de interconexão. As portas envolvidas são replicadas quatro vezes e o circuito não utiliza votadores. Como na TMR, a quadruplicação pode dar origem a outros subtipos como: TIR ( <i>Triplicated Interwoven Redundancy</i> ) e QFDR ( <i>Quadruple Force Decide Redundancy</i> ).
D9 - Detector de radiação (DERA) Lameres et al. (2010)	Este sensor de radiação detecta a informação ambiental, utilizado a sensibilidade à posição para determinar as regiões dentro da FPGA que podem ter sido afetadas por radiação. Como esta tecnologia é um sensor sensível à posição, considera-se que a latência entre a detecção de uma falha e a reparação pode ser reduzida, obtendo-se um nível adicional de confiabilidade.

Tabela B.2 – Principais características dos subtipos de TMR.

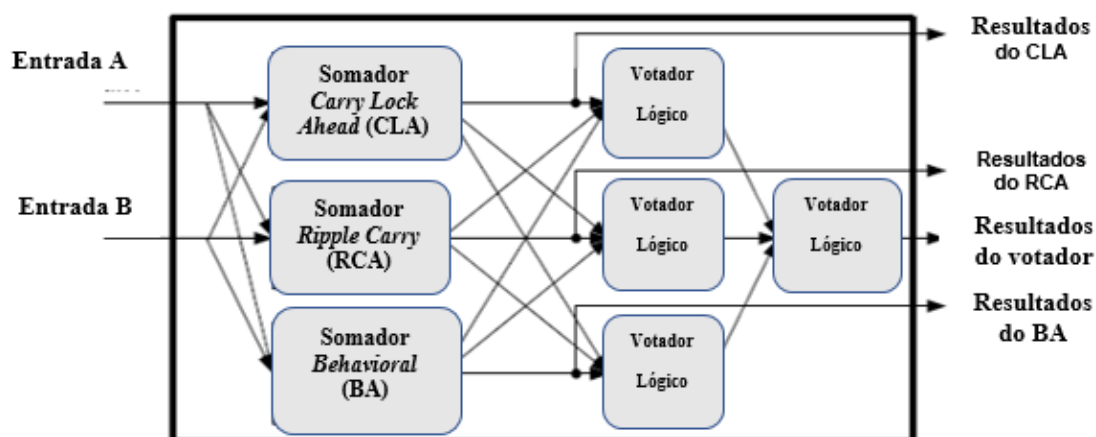
Subtipo	Características
TMR Global (GTMR – <i>Global TMR</i> ) Parobeck (2013)	<ul style="list-style-type: none"> <li>• Utilização de três <i>clocks</i> separados.</li> <li>• Eficiência do circuito em relação à taxa de <i>upset</i>.</li> <li>• Maior sobrecarga de utilização da FPGA.</li> <li>• Desvios e defasamento dos <i>clocks</i>.</li> </ul>
TDTMR ( <i>Triple Design TMR</i> ) Naber (2010)	<ul style="list-style-type: none"> <li>• Utilização de três projetos lógicos diferentes.</li> <li>• Pode reduzir a vulnerabilidade do sistema a erros externos e corrigir erros sem causar tempo de inatividade no circuito.</li> </ul>
RPR ( <i>Reduced Precision Redundancy</i> ) Pratt(2011); Slegle et al. (2015)	<ul style="list-style-type: none"> <li>• Implementação de uma ou mais réplicas menores e de precisão reduzida de um módulo computacional.</li> <li>• Pode permitir um FPGA ter uma redução significativa na <i>overhead</i> (sobrecarga) em comparação com TMR (menor área/custo).</li> <li>• Aumento significativo na confiabilidade do sistema em alguns aplicativos nos DSP do FPGA.</li> </ul>
TMR Parcial, Modular e Multi-FPGA Carmichael et al. (1999); Naber (2010); Parobeck (2013); Pratt et al (2008); Sharma (2010); Siegle et al. (2015)	<ul style="list-style-type: none"> <li>• Se o circuito for muito grande para aplicar TMR <i>Full</i>, pode-se usar mais de um FPGA (multi-FPGA) ou aplicar a TMR (parcial ou modular) no mesmo FPGA.</li> <li>• A redundância modular adapta-se melhor com a aplicação com <i>stream</i> (fluxo ou série temporal) porque a lógica do usuário pode ser recuperada e retornar a um estado inicial seguro, após cada bloco de dados.</li> <li>• STMR (<i>Selective Triple Modular Redundancy</i>): utiliza portas “sensíveis”, LUTs, <i>loops de feedback</i> e outras estratégias.</li> <li>• NMR (<i>N-Modular Redundancy</i>): as falhas que afetam uma minoria das unidades replicadas são mascaradas para impedir a propagação.</li> </ul>

Figura B.1 – TMR Global (GTMR).



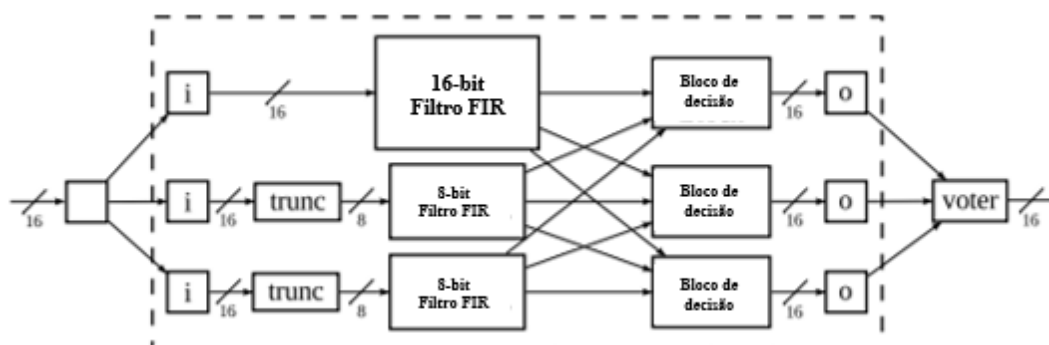
Fonte: Parobeck (2013).

Figura B.2 – Triple Design TMR (TDTMR).



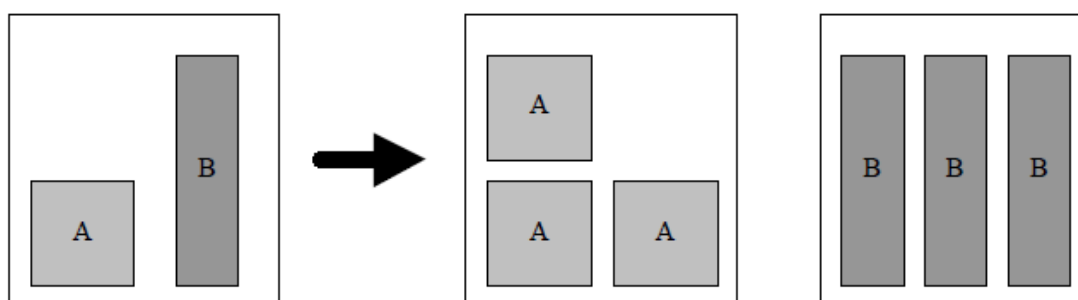
Fonte: Adaptado de Naber (2010).

Figura B.3 - RPR em Filtro FIR (*Finite Impulse Response*).



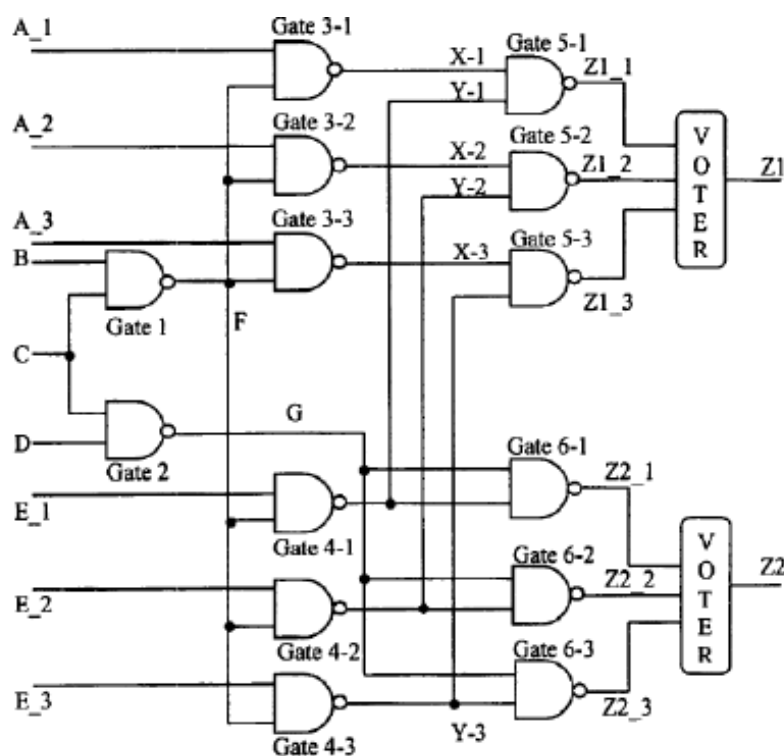
Fonte: Adaptado de Pratt (2011).

Figura B.4 – TMR multi-FPGA.



Fonte: Carmichael et al. (1999).

Figura B.5 – *Selective Triple Modular Redundancy (STMR)*.



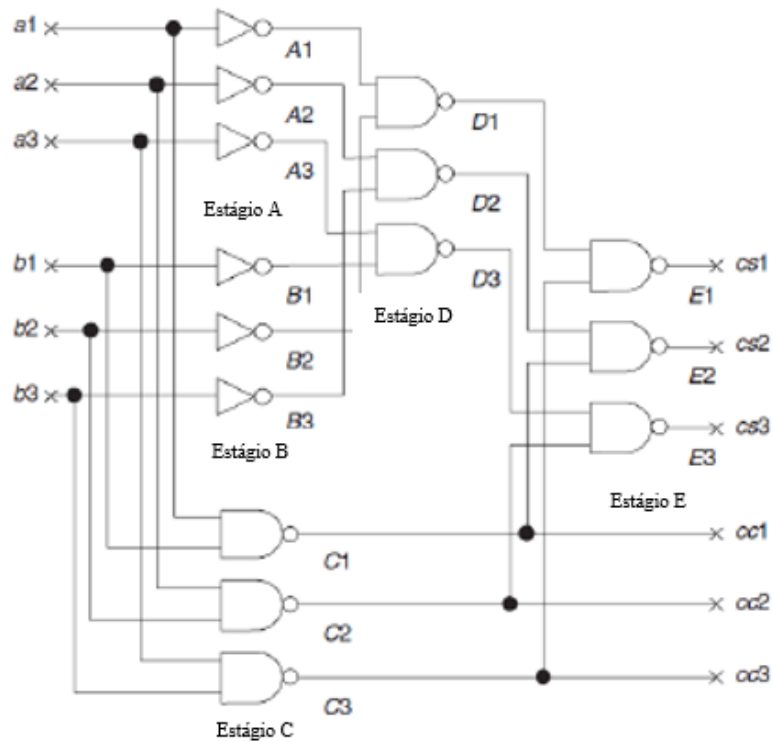
Fonte: Adaptado de She e Samudrala (2009).

Tabela B.3 – Subtipos de Quadruplicação.

Subtipo	Características
<i>Quadded logic</i>	<ul style="list-style-type: none"> <li>As portas lógicas envolvidas são replicadas quatro vezes (não utiliza votadores).</li> <li>A eliminação do circuito votador elimina este ponto de falha do projeto.</li> <li>Apresenta “autocura” em que o próprio sistema de portas lógicas já é planejado para superar os erros.</li> <li>Falta de um sinal de erro para acionar a reconfiguração, sendo que um <i>scrubbing</i> periódico é necessário (penalidade de tempo).</li> <li>Utiliza mais recursos lógicos do que a TMR.</li> </ul>
TIR ( <i>Triplicated Interwoven Redundancy</i> )	<ul style="list-style-type: none"> <li>Derivada da TMR e <i>quadded logic</i>, como uma forma de redundância entrelaçada aleatória (utiliza um votador nas saídas).</li> <li>Em estudos anteriores e simulações verifica-se que a confiabilidade dos circuitos TIR é comparável aos seus circuitos equivalentes TMR.</li> <li>Também nenhum sinal de detecção de erro é fornecido, necessitando de <i>scrubbing</i> periódico (penalidade de tempo).</li> </ul>
QFDR ( <i>Quadruple Force Decide Redundancy</i> )	<ul style="list-style-type: none"> <li>Redundância decidida por força quádrupla que utiliza as LUTs e FFs presentes nos FPGAs.</li> <li>A eliminação do circuito votador elimina este ponto de falha do projeto.</li> <li>Os recursos serão alocados no FPGA mais eficientemente, podendo utilizar ferramentas de <i>software</i>.</li> <li>Utiliza mais recursos lógicos do que a TMR.</li> </ul>

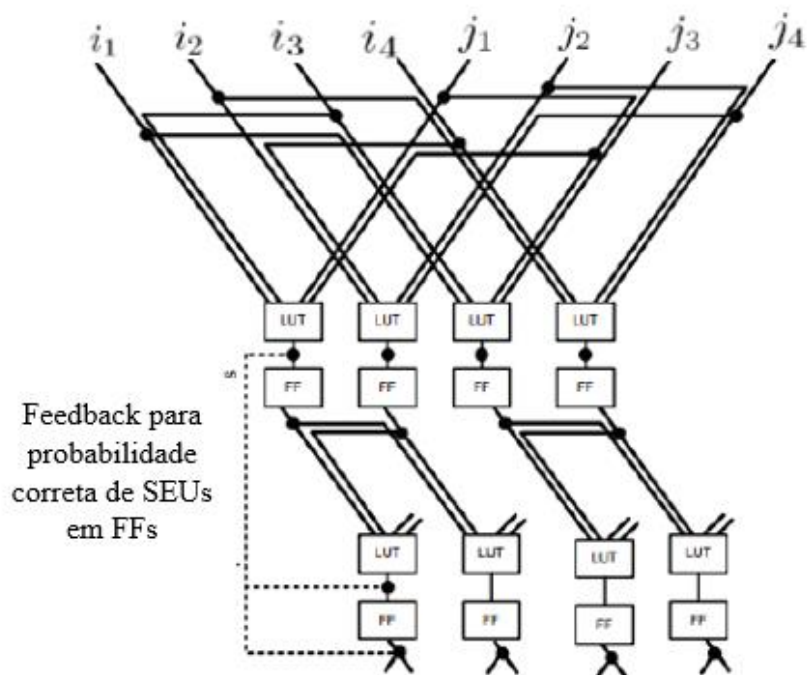
Fonte: Parobeck (2013).

Figura B.6 – *Triplicated Interwoven Redundancy (TIR)*.



Fonte: Adaptado de Parobeck (2013).

Figura B.7 – *Quadruple Force Decide Redundancy (QFDR)*.



Fonte: Adaptado de Parobek (2013).

## APÊNDICE C – ESTATÍSTICA DE TRABALHOS CIENTÍFICOS

Tabela C.1 - Estatística de trabalhos científicos.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
1. A new approach to detect –mitigate –correct radiation induced faults for SRAM – based FPGAs in aerospace application (YANMEI-LI et al., 2000)	D3/D5	2000			1		1					
2. COTS for the LHC radiation environment: the rules of the game (FACCIO, 2000)	D1/D3/D5	2000	1		1		1					X
3. Measurements of radiation effects on the timing, trigger and control receiver (TTCrx) ASIC (TOIFL et al., 2000)	D1/D5	2000	1				1					
4. Recent progress in field programmable logic (ALFKE, 2000)	D3/D6	2000			1			1				
5. Overview of ATLAS lar radiation tolerance (TAILLE, 2000)	D5	2000					1					X
6. Radiation testing update, SEU mitigation, and availability analysis of the virtex FPGA for space recotilgurable computing (FULLER et al., 2000a)	D3/D5/D6	2000			1		1	1				
7. Radiation characterization, and SEU mitigation, of the virtex FPGA for space-based reconfigurable computing (FULLER et al., 2000b)	D3/D5/D6	2000			1		1	1				
8. Results of radiation test of the cathode front-end board for CMS endcap muon chambers (BREEDON et al., 2001)	D3	2001			1							
9. A Fault-Tolerance strategy for an FPGA-based multi-stage interconnection network in a multi-sensor system for space application (ALDERIGHI et al., 2001)	D6	2001						1				X
10. Analog and digital single-event effects experiments in space (CRAIN et al, 2001)	D3	2001			1							
11. Lessons learned using COTS electronics for the international space station radiation environment (BLUMER, 2001)	D5	2001					1					X

(Continua)



Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
12. Status of ATLAS lar DMILL chips (TAILLE, 2001)	D5	2001					1					
13. Single event upset tests of commercial FPGA for space applications (MATTSSON, 2001)	D3/D6	2001			1			1				
14. A radiation tolerant gigabit serializer for LHC data transmission (MOREIRA et al., 2001)	D3/D6	2001			1			1				
15. A standard product approach to spaceborne payload processing (PRADO et al., 2001)	D3/D5/D6	2001			1		1	1				X
16. An FPGA-based approach for speeding-up fault injection campaigns on safety-critical circuits (CIVERA et al, 2002)	D3/D5/D6	2002			1		1	1				
17. Simulation-based analysis of SEU effects on SRAM-based FPGAs (REBAUDENGO et al., 2002)	D6	2002						1				
18.Reconfigurable computing in space: from current technology to reconfigurable systems-on-a-chip (GRAHAM et al., 2002).	D3/D5/D6	2002			1		1	1				
19.A remote control system for FPGA-embedded modules in radiation environments (HASUKO et al., 2002)	D1/D6	2002	1					1				
20. Ion beam testing of altera apex FPGAS (CESCHIA et al., 2002)	D3	2002			1							
21. Design and testing of a radiation tolerant clock, control and monitor (CCM) module for the CMS HCAL electronics (HOLM et al., 2002)	D3	2002			1							
22.SEU Mitigation for half-latches in xilinx virtex FPGAs (GRAHAM et al., 2003)	D6	2003						1				
23.Fault tolerance through redundant COTS components for satellite processing applications (MCLOUGHLIN et al., 2003)	D7	2003							1			

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
24. NASA advances robotic space exploration (KATZ e SOME, 2003)	D5/D6	2003					1	1				X
25. Configurable fault-tolerant processor (CFTP) for space based applications (EBERT et al., 2003)	D3/D5/D6	2003			1		1	1				X
26. Reconfigurable, fault tolerant and high performance payload for space missions (SIOK - LIN et al., 2003)	D6	2003						1				X
27. Analyzing SEU effects in SRAM-based FPGAs (VIOLANTE et al., 2003)	D3/D5/D6	2003			1		1	1				X
28. Design and development of a configurable fault-tolerant processor (CFTP) for space applications (EBBERT, 2003)	D1/D3/D5/D6	2003	1		1		1	1				X
29. Selective triple modular redundancy (STMR) based single-event upset (SEU) tolerant synthesis for FPGAs (SAMUDRALA et al., 2004)	D3	2004			1							X
30. Design fault tolerant techniques for SRAM based FPGA (KASTENSMIDT et al., 2004a)	D5/D6/D7	2004					1	1	1			
31. Configurable fault-tolerant processor (CFTP) for spacecraft onboard processing (HULME et al., 2004)	D3/D5/D6	2004			1		1	1				X
32. An analytical approach for soft error rate estimation of SRAM-based FPGAs (ASADI e TAHOORI, 2004).	D3/D5/D6	2004			1		1	1				
33. Scrubbing away transients and jiggling around the permanent: Long survival of FPGA systems through evolutionary self-repair (GARVIE e THOMPSON, 2004)	D3/D6	2004			1			1				X
34. Evaluation of fault-tolerant designs implemented on SRAM-based FPGAs (ASADI et al, 2004)	D5	2004					1					
35. Rad-tol field electronics for the LHC cryogenic system (AGAPITO et al., 2004)	D5	2004					1					

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
36. Designing and testing fault-tolerant techniques for SRAM-based FPGAs (KASTENSMIDT et al., 2004b)	D3/D5/D6/D7	2004			1		1	1	1			
37. Soft error mitigation for SRAM-based FPGAs (ASADI e TAHOORI., 2005a)	D3/D5/D6	2005			1		1	1				
38. Soft error rate estimation and mitigation for SRAM-based FPGA (ASADI e TAHOORI, 2005b)	D3/D5/D6	2005			1		1	1				
39. An experimental analysis of hardening techniques for SRAM-based FPGAs (STERPONE et al., 2005)	D3	2005			1							
40. Radiation mitigation and power optimization design tools for reconfigurable hardware in orbit (FRENCH et al., 2005)	D3/D5	2005			1		1					
41. Space-ready, radiationtolerant processor modules: a COTS technology strategy (ANTHONY – LAI., 2005)	D1/D3/D5/D7	2005	1		1		1		1			X
42. Fault tolerant solid state mass memory for space applications (CARDARILLI et al., 2005)	D3/D5/D6	2005			1		1	1				
43. Reconfigurable system-on-a-chip based platform for satellite on-board computing (VLADIMIROVA, 2005)	D3/D5/D6	2005			1		1	1				X
44. Low power high-speed radiation tolerant computer (CZAJKOWSKI et al, 2005)	D1/D3/D5	2005	1		1		1					X
45. Radiation-induced multi-bit upsets in SRAM-based FPGAs (QUINN, 2005)	D3/D6	2005			1			1				
46. Techniques to enable FPGA based reconfigurable fault tolerant space computing (SMITH e TORRE, 2006)	D3/D6	2006			1			1				
47. A framework for fault tolerant real time systems based on reconfigurable FPGAs (GERICOTA et al., 2006)	D3/D6	2006			1			1				X

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
48. SEU and SET mitigation techniques for FPGA circuit and configuration bit storage design (MAVIS e EATON, 2006).	D3/D6	2006			1			1				X
49. An SEU-robust configurable logic block for the implementation of a radiation-tolerant FPGA (BONACINI et al., 2006).	D6	2006						1				
50. Fault tolerance implementation within SRAM based FPGA designs based upon the increased level of single event upset susceptibility (BERG, 2006).	D3/D5/D6	2006			1		1	1				X
51. Fault tolerant reconfigurable device based on autonomous-repair cells (NAKARARA et al., 2006)	D3/D5/D6	2006			1		1	1				X
52. Radiation tolerant intelligent memory stack (RTIMS) (KWONG-NG e HERATH, 2006)	D1/D3/D6	2006	1		1			1				X
53. A comparison of TMR with alternative fault-tolerant design techniques for FPGAs (MORGAN et al., 2007)	D3/D5/D6/D8	2007			1		1	1		1		X
54. A framework for self-healing radiation-tolerant implementations on reconfigurable FPGAs (GERICOTA et al., 2007a)	D3/D6	2007			1			1				X
55. An adaptive fault-tolerant memory system for FPGA-based architectures in the space environment (FAY et al., 2007)	D6	2007						1				X
56. On-Line self-healing of circuits implemented on reconfigurable FPGAs (GERICOTA et al., 2007b)	D3/D6	2007			1			1				X
57. Soft error tolerant carry-select adders implemented into altera FPGAs (MESQUITA et al., 2007a)	D3	2007			1							X
58. A novel FPGA architecture with built-in error correction (ANWAR et al.; 2007)	D6	2007						1				X
59. RIC fast adder and its set-tolerant implementation in FPGAs (MESQUITA et al.; 2007b).	D3/D6	2007			1			1				X

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
60. Effectiveness of internal vs. external SED scrubbing mitigation strategies in a xilinx FPGA: design, test, and analysis (BERG et al., 2007).	D5/D6	2007					1	1				
61. Fault tolerant ICAP controller for high-reliable internal scrubbing (HEINER et al., 2008)	D3/D5/D6	2008			1		1	1				
62. Mitigating soft errors in SRAM-based FPGAs by using large grain TMR with selective partial reconfiguration (AZAMBUJA et al., 2008)	D3/D6	2008			1			1				
63. Multiple SEU tolerance in LUTs of FPGAs using protected schemes (ARGYRIDES et al., 2008)	D5	2008					1					
64. An automated approach to estimating hardness assurance issues in triple-modular redundancy circuits in xilinx FPGAs (QUINN et al., 2008)	D3	2008			1							X
65. Maximizing transient availability of real-time onboard reconfigurable processing platforms: an analytical redundancy inspired approach (ZHOU et al., 2008).	D3/D6	2008			1			1				X
66. A new algorithm for the analysis of the MCUs sensitiveness of TMR architectures in SRAM-based FPGAs (STERPONE e VIOLANTE, 2008).	D3	2008			1							
67. An on-board data-handling computer for deep-space exploration built using commercial-off-the-shelf SRAM-based FPGAs (REORDA et al., 2009)	D5/D6	2009					1	1				
68. New techniques for improving the performance of the lockstep architecture for SEEs mitigation in FPGA embedded processors (ABATE et al., 2009).	D5/D6	2009					1	1				X
69. Power-efficient and fault-tolerant circuits and systems (LEY-HE e YU-HU, 2009)	D6	2009						1				X
70. Reconfigurable fault tolerance: a framework for environmentally adaptive fault mitigation in space (JACOBS et. al, 2009)	D3/D6	2009			1			1				X

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
71. Selective triple modular redundancy for single event upset (SEU) mitigation (XIAOXUAN-SHE e SAMUDRALA, 2009)	D3/D6	2009			1			1				X
72. An approach to system-wide fault tolerance for FPGAs (GEBELEIN et al., 2009).	D3/D5/D6/D7	2009			1		1	1	1			X
73. Quad-port memory blocks in radiation-tolerant FPGAs: an application for image processing systems (JAIN et al., 2009).	D8	2009								1		X
74. The fault-tolerant design in space information processing system based on COTS (FU e ZHANG, 2009).	D3/D5/D6	2009			1		1	1				X
75. A fault-tolerant system-on-programmable-chip based on domain-partition and blind reconfiguration (SHANG et al., 2010)	D6	2010						1				X
76. Real time fault detections and diagnostics using FPGA-based architectures (NABER, 2010).	D3	2010			1							X
77. Design and YOUSUImplementation of a radiation tolerant on-board computer for science technology satellite-3 (KANG et al., 2010).	D3/D6	2010			1			1				
78. Position sensitive radiation detector integrated with an FPGA for radiation tolerant computing (LAMERES et al., 2010).	D9	2010									1	X
79. A new placement algorithm for the mitigation of multiple cell upsets in SRAM-based FPGAs (STERPONE e BATTEZZATI, 2010)	D3/D6	2010			1			1				X
80. Acceleration of FPGA fault injection through multi-bit testing (CIESLEWSKI et al., 2010)	D3/D6	2010			1			1				X
81. Fault tolerant techniques for reconfigurable platforms (SHARMA, 2010)	D1/D3/D5/D6/D7	2010	1		1		1	1	1			X
82. SEU tolerant SRAM for FPGA applications (et al., 2010).	D3	2010			1							X
83. A new IP core for fast error detection and fault tolerance in COTS-based solid-state mass memories (COSTENARO et al., 2011)	D5	2011					1					X

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
84. Partially reconfigurable system-on-chips for adaptive fault tolerance (YOUSUF et al., 2011)	D3/D6	2011			1			1				X
85. Protecting router forwarding table in space (XIANGYU-SU et al., 2011)	D3/D5	2011			1		1					
86. QFDR-an integration of quadded logic for modern FPGAs to tolerate high radiation effect rates (NIKNAHAD et al., 2011)	D8	2011								1		
87. Design of a university nano-satellite: the picpot case (CORSO et al.; 2011)	D1	2011	1									X
88. Layout-aware multi-cell upsets effects analysis on TMR circuits implemented on SRAM-based FPGAs (STERPONE et al., 2011)	D3/D6	2011			1			1				
89. Coping with the obsolescence of safety- or mission-critical embedded systems using FPGAs (MIRANDA et al, 2011)	D3/D6	2011			1			1				
90. Design and implementation of fault-tolerant soft processors on FPGAs (HONG et al., 2012)	D3/D5/D6	2012			1		1	1				X
91. Error detection and correction of single event upset (SEU) tolerant latch (JULAI et al., 2012)	D6	2012						1				X
92. Fine grain fault tolerance- a key to high reliability for FPGAs in space (NIKNAHAD et al., 2012)	D3/D8	2012			1					1		
93. Ionizing radiation detector for environmental awareness in FPGA-based flight computers (BUERKLE et al., 2012)	D9	2012									1	X
94. Overhead and reliability analysis of algorithm-based fault tolerance in FPGA systems (JACOBS et al., 2012a)	D3/D6	2012			1			1				
95. Towards low-cost soft error mitigation in SRAM-based FPGAs: a case study on AT40K (FERRON et al., 2012).	D6	2012						1				X

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
96. Reconfigurable fault tolerance: a comprehensive framework for reliable and adaptive FPGA-based space computing (JACOBS et al., 2012b)	D1/D3/D5/D6/D7/D8	2012	1		1		1	1	1	1		
97. A novel fault tolerant and runtime reconfigurable platform for satellite payload processing (STERPONE et al., 2013)	D6	2013						1				
98. A quantitative analysis of a novel SEU-resistant SHA-2 and HMAC architecture for space missions security (JULIATO e GEBOTYS, 2013)	D3/D5	2013			1		1					
99. Efficient single event upset-tolerant FIR filter design based on residue number for OBP satellite communication systems (ZHEN et al., 2013)	D5/D6	2013					1	1				X
100. Fault tolerant CAN bus control system implemented into FPGA (SZURMAN et al., 2013)	D3	2013			1							
101. Improving the dependability of FPGA-based real-time embedded systems with partial dynamic reconfiguration (NUNES, 2013)	D6	2013						1				X
102. Low-cost scan-chain-based technique to recover multiple errors in TMR systems (HIMI et al., 2013)	D3/D5	2013			1		1					
103. Reconfigurable fault tolerant avionics system (IBRAHIM et al., 2013)	D3/D6	2013			1			1				
104. Radiation effects and COTS parts in smallsats (SINCLAIR e DYER, 2013)	D2	2013		1								X
105. Fault tolerant techniques for reconfigurable devices: a brief survey (JAMUNAS e AGRAWAL, 2013)	D5/D6/D7	2013					1	1	1			X
106. An algorithm for fault tolerance in FPGA (KSHIRSAGAR e SHARMA, 2013)	D6	2013						1				X
107. Evaluating selective redundancy in data-flow software-based techniques (CHIELLE et. al, 2013)	D6	2013						1				

(Continua)



Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
108. Development of an ASIC for charged particle counting with silicon radiation detectors (MEIER et al., 2013).	D9	2013									1	X
109. Evaluating the effectiveness of a diversity TMR scheme under neutrons (TAMBARA et al., 2013).	D3	2013			1							
110. Applications for FPGAs on nanosatellites (THAI, 2014)	D1	2014	1									
111. A network-on-chip for radiation tolerant, multi-core FPGA systems (HOGAN et al., 2014).	D3/D5/D6	2014			1		1	1				X
112. A survey of fault-tolerant processor based on error correction code (SULAIMAN et al., 2014).	D5	2014					1					X
113. Fault tolerant duplex system with high availability for practical applications (VIT et al., 2014).	D3/D5/D6	2014			1		1	1				
114. The upset-fault-observer: a concept for self-healing adaptive fault tolerance (NAVAS et al., 2014a).	D3/D6	2014			1			1				X
115. On providing scalable self-healing adaptive fault-tolerance to RTR SoCs (NAVAS et al., 2014b).	D3/D6	2014			1			1				X
116. Study on FPGA SEU mitigation for readout electronics of DAMPE BGO calorimeter (SHEN et al., 2015).	D3/D5	2015			1		1					
117. Sistema de tolerância a falhas baseado em reconfiguração estática de dispositivos FPGAs (SILVA, 2015).	D3/D6	2015			1			1				
118. Adaptive reconfigurable voting for enhanced reliability in medium-grained fault tolerant architectures (VELJKOVIC et al., 2015).	D3/D6/D7	2015			1			1	1			
119. Dynamic fault recovery using partial reconfiguration for highly reliable FPGAs (ALKADY et al., 2015).	D6	2015						1				X

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
120. Reliability of space-grade vs. COTS SRAM-based FPGA in n-modular redundancy (GLEIN et al., 2015)	D3/D5/D6	2015			1		1	1				
121. Analysis and mitigation of SEUs in arm-based soc on xilinx virtex-v SRAM-based FPGAs (BOYANG – DU et al., 2015)	D3	2015			1							
122. Run-time recovery mechanism for transient and permanent hardware faults based on distributed, self-organized dynamic partially reconfigurable systems (DUMITRIU et al., 2015)	D5/D6	2016					1	1				X
123. Proton testing of SEU mitigation methods for the virtex FPGA (CARMICHAEL et al., 2016)	D3/D6	2016			1			1				
124. A high reliability radiation hardened on-board computer system for space application (DONG et al., 2016).	D1/D3/D4	2016	1		1	1						X
125. A novel soft error tolerant FPGA architecture (AMAGASAKI et al., 2016)	D3/D5/D7	2016			1		1		1			
126. Area-driven partial reconfiguration for SEU mitigation on SRAM-based FPGAs (VAVOURAS e BOUGANIS, 2016)	D6/D7	2016						1	1			X
127. Effect of open faults in FPGA switch matrices on fault detection mechanisms (SHAKER et al., 2016)	D7	2016							1			X
128. Implementation of a fault-tolerant system using safety-related xilinx tools conforming to the standard IEC 61508 (GRACIC et al., 2016).	D1/D6	2016	1					1				X
129. New FPGA blind scrubbing technique (AHMED, 2016).	D5/D6	2016					1	1				
130. SafeSoC: a fault-tolerant-by-redundancy evaluation card for high speed serial communications (JIMÉNEZ et al., 2016)	D3/D6	2016			1			1				X
131. GBT link testing and performance measurement on PCIe40 and AMC40 custom design FPGA boards (MITRA et al., 2016)	D5	2016					1					X

(Continua)

Talela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
132. Design of FPGA-based radiation tolerant quench detectors for LHC (STECKERT e SKOCZEN, 2017)	D3	2017			1							X
133. Analysis of COTS FPGA SEU-sensitivity to combined effects of conducted-EMI and TID (VILLA et al., 2017a)	D5	2017					1					
134. An FPGA-based radiation tolerant smallsat computer system (JULIEN et al., 2017)	D3/D6	2017			1			1				X
135. Dynamic reconfiguration under RTEMS for fault mitigation and functional adaptation in SRAM-based SoPCS for space systems (PÉREZ et al., 2017)	D6	2017						1				
136. Repairing FPGA configuration memory errors using dynamic partial reconfiguration (NGUYEN, 2017)	D3/D6	2017			1			1				
137. Bringing fault-tolerant gigahertz-computing to space (FUCHS et al., 2017)	D6	2017						1				X
138. Extended overlay architectures for heterogeneous FPGA cluster management (NAJEM et al., 2017)	D6	2017						1				X
139. Efficient dynamic priority based soft error mitigation techniques for configuration memory of FPGA hardware (MANDAL et al., 2017)	D3/D5/D6	2017			1		1	1				
140. Nanosatellites in LEO and beyond: advanced radiation protection techniques for COTS-based spacecraft (SELCAN et al., 2017)	D1/D2/D3	2017	1	1	1							
141. Towards a single event upset detector based on COTS FPGA (NGO et al., 2017)	D3/D6	2017			1			1				X
142. A tolerant JPEG-LS image compressor foreseeing COTS FPGA implementation (FILHO e D'AMORE, 2017)	D3/D5/D6	2017			1		1	1				
143. Analysis of single-event upsets in a microsemi proasic3e FPGA (VILLA et al., 2017b)	D5	2017					1					X

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
144. The smart backplane – lowering the cost of spacecraft avionics by improving the radiation tolerance of cots electronic systems (GLEESON e MELICHER, 2017)	D5	2017					1					
145. A probe-based SEU detection method for SRAM-based FPGAs (STERPONE e BORAGNO, 2017)	D3/D6/D7	2017			1			1	1			
146. Mitigating single-event upsets in COTS SDRAM using an EDAC SDRAM controller (KYRIAKAKIS et al, 2017)	D3/D6	2017			1			1				
147. BRAM implementation of a single-event upset sensor for adaptive single-event effect mitigation in reconfigurable FPGAs (GLEIN et al., 2017)	D5/D6	2017					1	1				
148. Next on the pad: radsat-a radiation tolerant computer system (LAMERES et al., 2017)	D3/D6	2017			1			1				X
149. Reconfigurable on-board processing for flexible satellite communication systems using FPGAs (HOFMANN et al, 2017)	D3/D5/D6	2017			1		1	1				
150. Automated test procedure to detect permanent faults inside SRAM-based FPGAs (RITTNER et al., 2017)	D5/D6	2017					1	1				
151. SICTA: A superimposed in-circuit fault tolerant architecture for SRAM-based FPGAs (KOURFALI et. al, 2017)	D3/D6	2017			1			1				
152. FPGA-based secondary on-board computer system for low-earth-orbit nano-satellite (HANAFI et al, 2017)	D5/D6	2017					1	1				
153. Evaluation of fault attack detection on SRAM-based FPGAs (BENEVENUTI e KASTENSMIDT, 2017)	D3/D5/D7	2017			1		1		1			
154. A high-level synthesis scheduling and binding heuristic for FPGA fault tolerance (WILSON et al., 2017)	D3/D6	2017			1			1				X
155. Soft error high speed correction by interruption scrubbing method in FPGA for embedded control system (TOBA et al., 2017)	D5/D6	2017					1	1				X

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
156. A 603 mrad total-ionizing-dose tolerance optically reconfigurable gate array VLSI (FUJIMORI e WATANABE, 2018)	D3/D6	2018			1			1				X
157. Processor checkpoint recovery for transient faults in critical applications (VILLA et al., 2018)	D3/D7	2018			1				1			
158. A generic methodology to compute design sensitivity to SEU in SRAM-based FPGA (MOUSAVI et al., 2018)	D3	2018			1							
159. Fault - tolerant nanosatellite computing on a budget (FUCHS et al., 2018a)	D1/D3/D5/D6	2018	1		1		1	1				X
160. Repair of FPGA-based real-time systems with variable slacks (SANTOS et al., 2018)	D6	2018						1				X
161. Single event mitigation for xilinx 7-series FPGAs (BATES e BRIDGES, 2018)	D6	2018						1				
162. FPGA-based support for predictable execution model in multi-core CPU (BARYSHNIKOV, 2018)	D1	2018	1									
163. A software and hardware redundancy architecture for using raspberry pi modules as command & data handling systems for the descent mission (MURUGATHASAN et al., 2018)	D1	2018	1									
164. Assessment of commercial-off-the shelf electronics for use in a short-term geostationary satellite (MAHADEO et al.; 2018)	D2	2018		1								
165. Real-time FPGA-based fault tolerant and recoverable technique for arithmetic design using functional triple modular redundancy (FRTMR) – (ANJANKAR et al., 2018)	D3	2018			1							
166. Towards affordable fault-tolerant nanosatellite computing with commodity hardware (FUCHS et al., 2018b)	D5/D6	2018					1	1				
167. FPGA SEE test with ultra-high energy heavy ions (FURANO et al., 2018)	D3/D5/D6	2018			1		1	1				

(Continua)

Tabela C1 – Continuação.

Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
168. Analyzing the resilience to SEUS of an image data compression core in a COTS SRAM FPGA (TSOUNIS et al., 2019)	D3/D5/D6/D7	2019			1		1	1	1			X
169. A multi-layer SEU mitigation strategy to improve FPGA design robustness for the ATLAS MUON spectrometer upgrade (XUEYE - HU et al.; 2019)	D3/D5/D6	2019			1		1	1				
170. A fault-tolerant MPSoC for cubesats (FUCHS et al., 2019)	D5/D6	2019					1	1				
171. Design space exploration of n-modular FPGA structures (ABDILLA, 2019)	D7	2019							1			
172. Criticality aware soft error mitigation in the configuration memory of SRAM based FPGA (MANDAL et al., 2019)	D5/D6	2019					1	1				
173. In-circuit fault tolerance for FPGAs using dynamic reconfiguration and virtual overlays (KOURFALI e STROOBANDT, 2019)	D3/D6/ D7	2019			1			1	1			
174. Reliability calculation with respect to functional failures induced by radiation in TMR ARM cortex-M0 soft-core embedded into SRAM-based FPGA (BENITES et al., 2019)	D3/D6	2019			1			1				X
175. FLASHRAD: a reliable 3D rad hard flash memory cube utilizing COTS for space. (SHIM et al., 2019)	D3/D5/D6	2019			1		1	1				X
176. Dynamic heavy ions see testing of nanoxplore radiation hardened SRAM-based FPGA: reliability-performance analysis (OLIVEIRA et al., 2019)	D3/D5/D6	2019			1		1	1				
177. SEE sensitivity evaluation for commercial 16 nm SRAM-FPGA (CHANG - CAI et al., 2019a)	D3/D5/D6	2019			1		1	1				
178. Bringing 3D COTS DRAM memory cubes to Space (AGNESINA et al., 2019)	D5/D6	2019					1	1				

(Continua)

Tabela C1 – Conclusão.

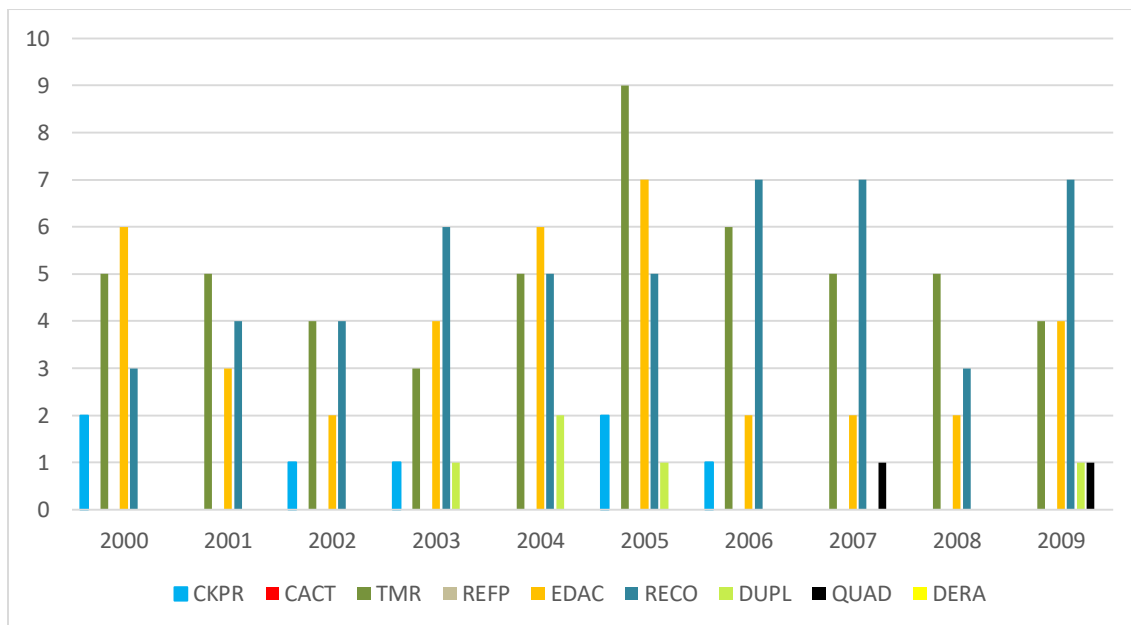
Artigo	Sigla	Ano	D1	D2	D3	D4	D5	D6	D7	D8	D9	R
179. Fault tolerance techniques for FPGA-based space applications a study of the effects of radiation in SRAM-based FPGAs and their solutions (TELLO, 2019)	D3/D5/D6	2019			1		1	1				
180. Fault tolerant soft-core processor architecture based on temporal redundancy (VILLA ET AL., 2019)	D3/D5/D6	2019			1		1	1				
181. Evaluation of TMR effectiveness for soft error mitigation in shyloc compression ip core implemented on zynq SoC under heavy ion radiation (SÁNCHEZ et al., 2019)	D3/D6	2019			1			1				
182. Fault-tolerant method for anti-SEU of embedded system based on dual-core processor (XIUHAI-CUI et al., 2019)	D1/D3/D5	2019	1		1		1					
183. Performance of FPGA in an enhanced level of watchdog timer (HARIPRIYA e SENTAMILSELVAM, 2019)	D1	2019	1									X
184. Reliability estimation and memory-efficient error mitigation schemes for a selfhealing architecture (BAIG, 2019)	D1/D3/D5/D6/	2019	1		1		1	1				
185. Optimization of error correcting codes in FPGA fabric onboard cube satellites (TAMKE, 2019)	D3/D5/D6/	2019			1		1	1				
186. Heavy-ion induced single event upsets in advanced 65 nm radiation hardened FPGAs (CHANG-CAI et al., 2019b)	D5/D6/	2019					1	1				

**Siglas:**

- a) Circuito de proteção (CKPR – D1), *Careful* COTS (CACT- D2), TMR (TMR – D3), Redundância de FPGA (REFP – D4), EDAC (EDAC – D5), Reconfiguração (RECO – D6), Duplicação (DUPL – D7), Quadruplicação (QUAD – D8) e Detetor de radiação (DERA – D).
- b) R – Resultados, tsstes e simulações.

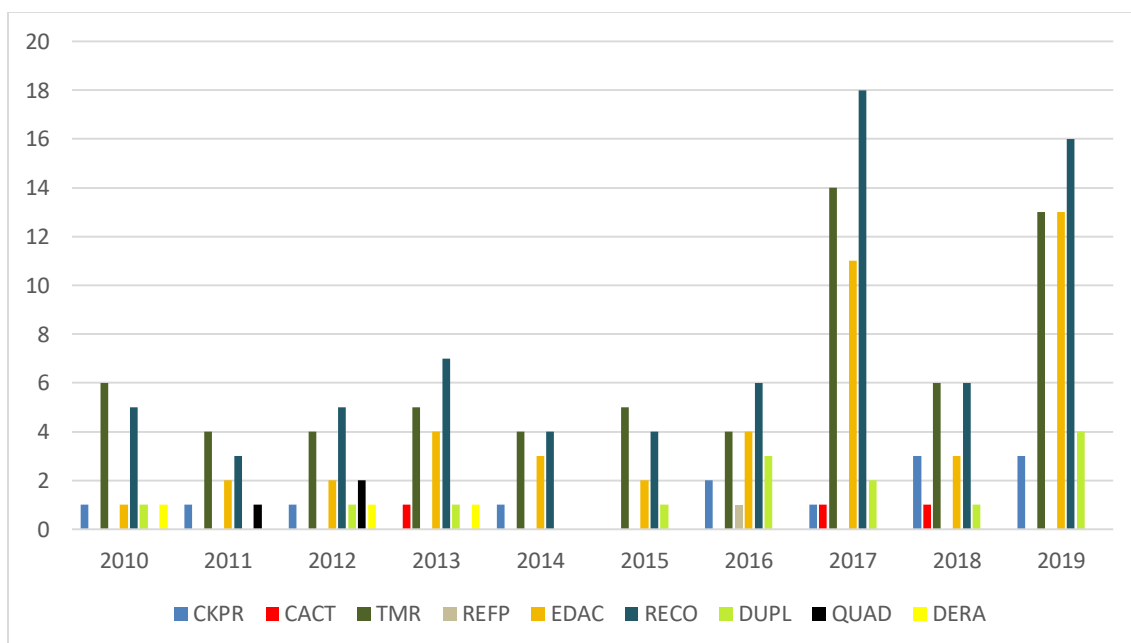
## APÊNDICE D – GRÁFICOS ESTATÍSTICOS DA PESQUISA

Figura D.1 – Pesquisa estatística das técnicas (2000 a 2009).



Fonte: Produção do autor.

Figura D.2– Pesquisa estatística das técnicas (2010 a 2019).



Fonte: Produção do autor.



## APÊNDICE E – APLICAÇÃO DA MATRIZ DE PUGH

Tabela E.1 – Sigla das técnicas de mitigação.

<b>Técnicas de mitigação</b>	<b>Sigla</b>	<b>Técnicas de mitigação</b>	<b>Sigla</b>
Circuito de proteção	CKPR	Reconfiguração	RECO
Careful COTS	CACT	Duplicação	DUPL
TMR	TMR	Quadruplicação	QUAD
Redundância de FPGA	REFP	Detetor de radiação	DERA
EDAC	EDAC		

Fonte: Produção do autor.

Tabela E.2 – Sigla dos pesquisadores participantes.

<b>Pesquisadores participantes</b>	<b>Sigla</b>	<b>Pesquisadores participantes</b>	<b>Sigla</b>
Eng. Bruno Carneiro Junqueira	B	Dr. Marcos Antônio Vieira da Silva	M
MSc. Juliano de Quadro Moreira	J	Dr. Márcio Afonso Arimura Fialho	F

Fonte: Produção do autor.

Tabela E.3 – Análise de custo e tempo (Pugh).

<b>Técnicas de mitigação</b>	<b>Custo</b>					<b>Tempo</b>				
	<b>B</b>	<b>J</b>	<b>M</b>	<b>F</b>	<b>Total</b>	<b>B</b>	<b>J</b>	<b>M</b>	<b>F</b>	<b>Total</b>
CKPR	8	2	3	1	3,5	8	2	3	1	3,5
CACT	9	5	9	8	7,75	9	1	9	9	7
TMR	3	7	2	7	4,75	3	5	2	7	4,25
REFP	2	9	5	3	4,75	1	7	5	2	3,75
EDAC	7	3	1	5	4	7	6	1	4	4,5
RECO	4	6	7	4	5,25	4	9	7	3	5,75
DUPL	1	4	4	6	3,75	2	4	4	6	4
QUAD	5	8	8	9	7,5	5	8	8	8	7,25
DERA	6	1	6	2	3,75	6	3	6	5	5

Fonte: Produção do autor.

Tabela E.4 – Análise de implementação e complexidade (Pugh).

Técnicas de mitigação	Implementação					Complexidade				
	B	J	M	F	Total	B	J	M	F	Total
CKPR	8	2	3	2	3,75	8	1	3	2	3,5
CACT	9	4	9	9	7,75	9	6	9	9	8,25
TMR	3	5	2	7	4,25	3	4	2	7	4
REFP	1	7	5	4	4,25	1	8	5	4	4,5
EDAC	6	6	1	5	4,5	5	5	1	6	4,25
RECO	5	8	7	3	5,75	4	7	7	3	5,25
DUPL	2	3	4	6	3,75	2	2	4	5	3,25
QUAD	4	9	8	8	7,25	6	9	8	8	7,75
DERA	7	1	6	1	3,75	7	3	6	1	4,25

Fonte: Produção do autor.

Tabela E.5 - Análise de flexibilidade (Pugh).

Técnicas de mitigação	Flexibilidade				
	B	J	M	F	Total
CKPR	2	1	1	4	2
CACT	1	3	3	1	2
TMR	7	4	8	7	6,5
REFP	9	5	2	2	4,5
EDAC	3	6	6	6	5,25
RECO	4	8	5	3	5
DUPL	6	7	9	7	7,25
QUAD	8	9	4	7	7
DERA	5	2	7	5	4,75

Fonte: Produção do autor.

Tabela E.6 – Análise dos critérios com DATUM de CKPR.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	D	-1	-1	-1	-1	-1	-1	-1	-1
Tempo	A	-1	-1	-1	-1	-1	-1	-1	-1
Implementação	T	-1	-1	-1	-1	-1	0	-1	0
Complexidade	U	-1	-1	-1	-1	-1	1	-1	-1
Flexibilidade	M	0	-1	-1	-1	-1	-1	-1	-1
Total (+)		0	0	0	0	0	1	0	0
Total (-)		-4	-5	-5	-5	-5	-3	-5	-4
<b>Total</b>		0	-4	-5	-5	-5	-2	-5	-4

Fonte: Produção do autor.

Tabela E.7 – Análise dos critérios com DATUM de CACT.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	D	1	1	1	1	1	1	1
Tempo	1	A	1	1	1	1	1	-1	1
Implementação	1	T	1	1	1	1	1	1	1
Complexidade	1	U	1	1	1	1	1	1	1
Flexibilidade	0	M	-1	-1	-1	-1	-1	-1	-1
Total (+)	4		4	4	4	4	4	3	4
Total (-)	0		-1	-1	-1	-1	-1	-2	-1
<b>Total</b>	4	0	3	3	3	3	3	1	3

Fonte: Produção do autor.

Tabela E.8 – Análise dos critérios com DATUM de TMR.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	-1	D	0	1	-1	1	-1	1
Tempo	1	-1	A	1	-1	-1	1	-1	-1
Implementação	1	-1	T	0	-1	-1	1	-1	1
Complexidade	1	-1	U	-1	-1	-1	1	-1	-1
Flexibilidade	1	1	M	1	1	1	-1	-1	1
Total (+)	5	1		2	2	1	4	0	3
Total (-)	0	-4		-1	-3	-4	-1	-5	-2
<b>Total</b>	5	-3	0	1	-1	-3	3	-5	1

Fonte: Produção do autor.

Tabela E.9 – Análise dos critérios com DATUM de REFP.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	-1	0	D	1	-1	1	-1	1
Tempo	1	-1	-1	A	-1	-1	-1	-1	-1
Implementação	1	-1	0	T	-1	-1	1	-1	1
Complexidade	1	-1	1	U	1	-1	1	-1	1
Flexibilidade	1	1	-1	M	-1	-1	-1	-1	-1
Total (+)	5	1	1		2	0	3	0	3
Total (-)	0	-4	-2		-3	-5	-2	-5	-2
<b>Total</b>	5	-3	-1	0	-1	-5	1	-5	1

Fonte: Produção do autor.

Tabela E.10 – Análise dos critérios com DATUM de EDAC.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	-1	-1	-1	D	-1	1	-1	1
Tempo	1	-1	1	1	A	-1	1	-1	-1
Implementação	1	-1	1	1	T	-1	1	-1	1
Complexidade	1	-1	1	-1	U	-1	1	-1	0
Flexibilidade	1	1	-1	1	M	1	-1	-1	1
Total (+)	5	1	3	3		1	4	0	3
Total (-)	0	-4	-2	-2		-4	-1	-5	-1
<b>Total</b>	5	-3	1	1	0	-3	3	-5	2

Fonte: Produção do autor.

Tabela E.11 – Análise dos critérios com DATUM de RECO.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	-1	1	1	1	D	1	-1	1
Tempo	1	-1	1	1	1	A	1	-1	1
Implementação	1	-1	1	1	1	T	1	-1	1
Complexidade	1	-1	1	1	1	U	1	-1	1
Flexibilidade	1	1	-1	1	-1	M	-1	-1	1
Total (+)	5	1	4	5	4		4	0	5
Total (-)	0	-4	-1	0	-1		-1	-5	0
<b>Total</b>	5	-3	3	5	3	0	3	-5	5

Fonte: Produção do autor.

Tabela E.12 – Análise dos critérios com DATUM de DUPL.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	-1	-1	-1	-1	-1	D	-1	0
Tempo	1	-1	-1	1	-1	-1	A	-1	-1
Implementação	0	-1	-1	-1	-1	-1	T	-1	0
Complexidade	-1	-1	-1	-1	-1	-1	U	-1	-1
Flexibilidade	1	1	1	1	1	1	M	1	1
Total (+)	3	1	1	2	1	1		1	1
Total (-)	-1	-4	-4	-3	-4	-4		-4	-2
<b>Total</b>	2	-3	-3	-1	-3	-3	0	-3	-1

Fonte: Produção do autor.

Tabela E.13 – Análise dos critérios com DATUM de QUAD.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	-1	1	1	1	1	1	D	1
Tempo	1	1	1	1	1	1	1	A	1
Implementação	1	-1	1	1	1	1	1	T	1
Complexidade	1	-1	1	1	1	1	1	U	1
Flexibilidade	1	1	1	1	1	1	-1	M	1
Total (+)	5	2	5	5	5	5	4		5
Total (-)	0	-3	0	0	0	0	-1		0
<b>Total</b>	5	-1	5	5	5	5	3	0	5

Fonte: Produção do autor.

Tabela E.14 – Análise dos critérios com DATUM de DERA.

Critérios	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
Custo	1	-1	-1	-1	-1	-1	0	-1	D
Tempo	1	-1	1	1	1	-1	1	-1	A
Implementação	0	-1	-1	-1	-1	-1	0	-1	T
Complexidade	1	-1	1	-1	0	-1	1	-1	U
Flexibilidade	1	1	-1	1	-1	-1	-1	-1	M
Total (+)	4	1	2	2	1	0	2	0	
Total (-)	0	-4	-3	-3	-3	-5	-1	-5	
<b>Total</b>	4	-3	-1	-1	-2	-5	1	-5	0

Fonte: Produção do autor.

Tabela E.15 – Resultado da matriz de Pugh.

	Técnicas de mitigação								
	CKPR	CACT	TMR	REFP	EDAC	RECO	DUPL	QUAD	DERA
TOTAL	35	-23	2	8	-1	-16	15	-32	12

Fonte: Produção do autor.

## **APÊNDICE F – PESQUISAS (AVALIAÇÃO DE TÉCNICAS)**

**TESE: Metodologia para seleção das técnicas de mitigação de falhas devido aos efeitos da radiação em FPGAs COTS.**

**ORIENTADORES: Profs. Drs. Geilson Loureiro, Silvio Manea e Giuliani Garbi**

**PESQUISA 1 – 2020**

**QUESTIONÁRIO: Eng. Bruno Carneiro Junqueira**

### **A) Apresentação**

Este questionário é parte integrante de uma pesquisa para o curso de Doutorado em Engenharia e Tecnologia Espaciais/Gerenciamento de Sistemas Espaciais do Instituto Nacional de Pesquisas Espaciais. Esta é uma pesquisa científica que tem por objetivo levantar dados sobre técnicas de mitigação de falhas em FPGAs COTS (*Field Programmable Gate Array - Commercial off-the-shelf*), segundo conhecimento, experiência e percepção de especialistas no assunto. Estes dados serão considerados para a utilização de uma ferramenta da área de gerenciamento de projetos (Matriz de Pugh), visando a obtenção do ranqueamento de soluções disponibilizadas na literatura. O resultado auxiliará na confecção de uma metodologia para auxiliar o engenheiro eletroeletrônico na escolha da técnica mais indicada para um projeto específico, inserido em uma missão espacial. Os critérios utilizados serão os seguintes: custo, tempo, implementação, complexidade e flexibilidade. Este conhecimento poderá favorecer a elaboração de pesquisas na área espacial de instituições como o INPE ou outras que pesquisem e/ou realizem projetos envolvendo o dispositivo mencionado. Os dados fornecidos serão para uso exclusivo da pesquisa em curso e o profissional consultado deverá observar as normas vigentes com relação ao sigilo da instituição/empresa. Agradeço sua participação, enfatizando que a mesma em muito contribuirá para o aperfeiçoamento do conhecimento e eficiência dos projetos espaciais, principalmente no contexto de nosso país.

## B) Questionamentos

Identificação Pessoal/Profissional	
Nome completo	Bruno Carneiro Junqueira
e-mail	brunoc_junq@hotmail.com / bruno.junqueira@inpe.br
Formação	<input type="checkbox"/> Técnica <input checked="" type="checkbox"/> Graduação <input type="checkbox"/> Especialização <input type="checkbox"/> Mestrado <input type="checkbox"/> Doutorado <input type="checkbox"/> Pós-Doutorado Área: Engenharia Elétrica
<b>1. Técnicas de tolerância à radiação (FPGA COTS) – Custo</b> Enumerar, na sequência (1 a 9), o <b>custo</b> estimado ( <b>do menor para o maior</b> ) das técnicas em termos de projetos, considerando infraestrutura, pessoal e material.	
( 8 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 3 ) TMR (Redundância Modular Tripla)	( 2 ) Redundância de FPGA
( 7 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 4 ) Reconfiguração parcial
( 1 ) Duplicação	( 5 ) Quadruplicação
( 6 ) Detector de radiação	
<b>2. Técnicas de tolerância à radiação (FPGA COTS) – Tempo</b> Enumerar, na sequência (1 a 9), as técnicas de mitigação que utilizam menos <b>tempo</b> para a sua implementação ( <b>do menor para o maior</b> ), considerando os parâmetros do item 1.	
( 8 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 3 ) TMR (Redundância Modular Tripla)	( 1 ) Redundância de FPGA
( 7 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 4 ) Reconfiguração parcial
( 2 ) Duplicação	( 5 ) Quadruplicação
( 6 ) Detector de radiação	

### 3. Técnicas de tolerância à radiação (FPGA COTS) – Implementação

Enumerar, na sequência (1 a 9), a **implementação** das técnicas, considerando a facilidade em projetar, montar ou instalar o *hardware* e/ou *software*, assim como a facilidade em iniciar e manter operação regular dos circuitos e/ou *softwares*. A sequência deverá ser da técnica que oferece **maior para a de menor facilidade** de implementação.

( 8 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 3 ) TMR (Redundância Modular Tripla)	( 1 ) Redundância de FPGA
( 6 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 5 ) Reconfiguração parcial
( 2 ) Duplicação	( 4 ) Quaduplicação
( 7 ) Detector de radiação	

### 4. Técnicas de tolerância à radiação (FPGA COTS) – Complexidade

Enumerar, na sequência (1 a 9), a **complexidade** das técnicas, considerando o trabalho mais especializado, dificuldade para compreensão, assim como *hardware* ou *software* mais elaborados. A sequência deverá ser da técnica **menos complexa para a mais complexa**.

( 8 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 3 ) TMR (Redundância Modular Tripla)	( 1 ) Redundância de FPGA
( 5 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 4 ) Reconfiguração parcial
( 2 ) Duplicação	( 6 ) Quaduplicação
( 7 ) Detector de radiação	

### 5. Técnicas de tolerância à radiação (FPGA COTS) – Flexibilidade

Enumerar, na sequência (1 a 9), a flexibilidade (**potencial para aperfeiçoamentos**) das técnicas (**mais flexível para menos flexível**).

( 2 ) Circuito de proteção	( 1 ) <i>Careful</i> COTS
( 7 ) TMR (Redundância Modular Tripla)	( 9 ) Redundância de FPGA
( 3 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 4 ) Reconfiguração parcial
( 6 ) Duplicação	( 8 ) Quaduplicação
( 5 ) Detector de radiação	



**TESE: Metodologia para seleção das técnicas de mitigação de falhas devido aos efeitos da radiação em FPGAs COTS.**

**ORIENTADORES: Profs. Drs. Geilson Loureiro, Silvio Manea e Giuliani Garbi**

**PESQUISA 2 – 2020**

**QUESTIONÁRIO: MSc Juliano de Quadro Moreira**

## **A) Apresentação**

Este questionário é parte integrante de uma pesquisa para o curso de Doutorado em Engenharia e Tecnologia Espaciais/Gerenciamento de Sistemas Espaciais do Instituto Nacional de Pesquisas Espaciais. Esta é uma pesquisa científica que tem por objetivo levantar dados sobre técnicas de mitigação de falhas em FPGAs COTS (*Field Programmable Gate Array - Commercial off-the-shelf*), segundo conhecimento, experiência e percepção de especialistas no assunto. Estes dados serão considerados para a utilização de uma ferramenta da área de gerenciamento de projetos (Matriz de Pugh), visando a obtenção do ranqueamento de soluções disponibilizadas na literatura. O resultado auxiliará na confecção de uma metodologia para auxiliar o engenheiro eletroeletrônico na escolha da técnica mais indicada para um projeto específico, inserido em uma missão espacial. Os critérios utilizados serão os seguintes: custo, tempo, implementação, complexidade e flexibilidade. Este conhecimento poderá favorecer a elaboração de pesquisas na área espacial de instituições como o INPE ou outras que pesquisem e/ou realizem projetos envolvendo o dispositivo mencionado. Os dados fornecidos serão para uso exclusivo da pesquisa em curso e o profissional consultado deverá observar as normas vigentes com relação ao sigilo da instituição/empresa. Agradeço sua participação, enfatizando que a mesma em muito contribuirá para o aperfeiçoamento do conhecimento e eficiência dos projetos espaciais, principalmente no contexto de nosso país.

## B) Questionamentos

Identificação Pessoal/Profissional	
Nome completo	Juliano de Quadro Moreira
e-mail	juliano.moreira@inpe.br
Formação	<input type="checkbox"/> Técnica <input type="checkbox"/> Graduação <input type="checkbox"/> Especialização <input checked="" type="checkbox"/> Mestrado <input type="checkbox"/> Doutorado <input type="checkbox"/> Pós-Doutorado Área: _____
<b>1. Técnicas de tolerância à radiação (FPGA COTS) – Custo</b> Enumerar, na sequência (1 a 9), o <b>custo</b> estimado ( <b>do menor para o maior</b> ) das técnicas em termos de projetos, considerando infraestrutura, pessoal e material.	
( 2 ) Circuito de proteção	( 5 ) <i>Careful</i> COTS
( 7 ) TMR (Redundância Modular Tripla)	( 9 ) Redundância de FPGA
( 3 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 6 ) Reconfiguração parcial
( 4 ) Duplicação	( 8 ) Quadruplicação
( 1 ) Detector de radiação	
<b>2. Técnicas de tolerância à radiação (FPGA COTS) – Tempo</b> Enumerar, na sequência (1 a 9), as técnicas de mitigação que utilizam menos <b>tempo</b> para a sua implementação ( <b>do menor para o maior</b> ), considerando os parâmetros do item 1.	
( 2 ) Circuito de proteção	( 1 ) <i>Careful</i> COTS
( 5 ) TMR (Redundância Modular Tripla)	( 7 ) Redundância de FPGA
( 6 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 9 ) Reconfiguração parcial
( 4 ) Duplicação	( 8 ) Quadruplicação
( 3 ) Detector de radiação	

<b>3. Técnicas de tolerância à radiação (FPGA COTS) – Implementação</b>	
Enumerar, na sequência (1 a 9), a <b>implementação</b> das técnicas, considerando a facilidade em projetar, montar ou instalar o <i>hardware</i> e/ou <i>software</i> , assim como a facilidade em iniciar e manter operação regular dos circuitos e/ou <i>softwares</i> . A sequência deverá ser da técnica que oferece <b>maior para a de menor facilidade</b> de implementação.	
( 2 ) Circuito de proteção	( 4 ) <i>Careful</i> COTS
( 5 ) TMR (Redundância Modular Tripla)	( 7 ) Redundância de FPGA
( 6 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 8 ) Reconfiguração parcial
( 3 ) Duplicação	( 9 ) Quadruplicação
( 1 ) Detector de radiação	
<b>4. Técnicas de tolerância à radiação (FPGA COTS) – Complexidade</b>	
Enumerar, na sequência (1 a 9), a <b>complexidade</b> das técnicas, considerando o trabalho mais especializado, dificuldade para compreensão, assim como <i>hardware</i> ou <i>software</i> mais elaborados. A sequência deverá ser da técnica <b>menos complexa para a mais complexa</b> .	
( 1 ) Circuito de proteção	( 6 ) <i>Careful</i> COTS
( 4 ) TMR (Redundância Modular Tripla)	( 8 ) Redundância de FPGA
( 5 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 7 ) Reconfiguração parcial
( 2 ) Duplicação	( 9 ) Quadruplicação
( 3 ) Detector de radiação	
<b>5. Técnicas de tolerância à radiação (FPGA COTS) – Flexibilidade</b>	
Enumerar, na sequência (1 a 9), a flexibilidade ( <b>potencial para aperfeiçoamentos</b> ) das técnicas ( <b>mais flexível para menos flexível</b> ).	
( 1 ) Circuito de proteção	( 3 ) <i>Careful</i> COTS
( 4 ) TMR (Redundância Modular Tripla)	( 5 ) Redundância de FPGA
( 6 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 8 ) Reconfiguração parcial
( 7 ) Duplicação	( 9 ) Quadruplicação
( 2 ) Detector de radiação	

**TESE: Metodologia para seleção das técnicas de mitigação de falhas devido aos efeitos da radiação em FPGAs COTS.**

**ORIENTADORES: Profs. Drs. Geilson Loureiro, Silvio Manea e Giuliani Garbi**

**PESQUISA 3 – 2020**

**QUESTIONÁRIO: Dr. Marcos Antonio Vieira da Silva**

## **A) Apresentação**

Este questionário é parte integrante de uma pesquisa para o curso de Doutorado em Engenharia e Tecnologia Espaciais/Gerenciamento de Sistemas Espaciais do Instituto Nacional de Pesquisas Espaciais. Esta é uma pesquisa científica que tem por objetivo levantar dados sobre técnicas de mitigação de falhas em FPGAs COTS (*Field Programmable Gate Array - Commercial off-the-shelf*), segundo conhecimento, experiência e percepção de especialistas no assunto. Estes dados serão considerados para a utilização de uma ferramenta da área de gerenciamento de projetos (Matriz de Pugh), visando a obtenção do ranqueamento de soluções disponibilizadas na literatura. O resultado auxiliará na confecção de uma metodologia para auxiliar o engenheiro eletroeletrônico na escolha da técnica mais indicada para um projeto específico, inserido em uma missão espacial. Os critérios utilizados serão os seguintes: custo, tempo, implementação, complexidade e flexibilidade. Este conhecimento poderá favorecer a elaboração de pesquisas na área espacial de instituições como o INPE ou outras que pesquisem e/ou realizem projetos envolvendo o dispositivo mencionado. Os dados fornecidos serão para uso exclusivo da pesquisa em curso e o profissional consultado deverá observar as normas vigentes com relação ao sigilo da instituição/empresa. Agradeço sua participação, enfatizando que a mesma em muito contribuirá para o aperfeiçoamento do conhecimento e eficiência dos projetos espaciais, principalmente no contexto de nosso país.

## B) Questionamentos

Identificação Pessoal/Profissional	
Nome completo	Marcos Antonio Vieira da Silva
e-mail	Marcos.silva@inpe.br
Formação	<input type="checkbox"/> Técnica <input type="checkbox"/> Graduação <input type="checkbox"/> Especialização <input type="checkbox"/> Mestrado <input checked="" type="checkbox"/> Doutorado <input type="checkbox"/> Pós-Doutorado Área: Microeletronica_____
<b>1. Técnicas de tolerância à radiação (FPGA COTS) – Custo</b> Enumerar, na sequência (1 a 9), o <b>custo</b> estimado ( <b>do menor para o maior</b> ) das técnicas em termos de projetos, considerando infraestrutura, pessoal e material.	
( 3 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 2 ) TMR (Redundância Modular Tripla)	( 5 ) Redundância de FPGA
( 1 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 7 ) Reconfiguração parcial
( 4 ) Duplicação	( 8 ) Quadruplicação
( 6 ) Detector de radiação	
<b>2. Técnicas de tolerância à radiação (FPGA COTS) – Tempo</b> Enumerar, na sequência (1 a 9), as técnicas de mitigação que utilizam menos <b>tempo</b> para a sua implementação ( <b>do menor para o maior</b> ), considerando os parâmetros do item 1.	
( 3 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 2 ) TMR (Redundância Modular Tripla)	( 5 ) Redundância de FPGA
( 1 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 7 ) Reconfiguração parcial
( 4 ) Duplicação	( 8 ) Quadruplicação
( 6 ) Detector de radiação	

<b>3. Técnicas de tolerância à radiação (FPGA COTS) – Implementação</b>	
Enumerar, na sequência (1 a 9), a <b>implementação</b> das técnicas, considerando a facilidade em projetar, montar ou instalar o <i>hardware</i> e/ou <i>software</i> , assim como a facilidade em iniciar e manter operação regular dos circuitos e/ou <i>softwares</i> . A sequência deverá ser da técnica que oferece <b>maior para a de menor facilidade</b> de implementação.	
( 3 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 2 ) TMR (Redundância Modular Tripla)	( 5 ) Redundância de FPGA
( 1 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 7 ) Reconfiguração parcial
( 4 ) Duplicação	( 8 ) Quadruplicação
( 6 ) Detector de radiação	
<b>4. Técnicas de tolerância à radiação (FPGA COTS) – Complexidade</b>	
Enumerar, na sequência (1 a 9), a <b>complexidade</b> das técnicas, considerando o trabalho mais especializado, dificuldade para compreensão, assim como <i>hardware</i> ou <i>software</i> mais elaborados. A sequência deverá ser da técnica <b>menos complexa para a mais complexa</b> .	
( 3 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 2 ) TMR (Redundância Modular Tripla)	( 5 ) Redundância de FPGA
( 1 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 7 ) Reconfiguração parcial
( 4 ) Duplicação	( 8 ) Quadruplicação
( 6 ) Detector de radiação	
<b>5. Técnicas de tolerância à radiação (FPGA COTS) – Flexibilidade</b>	
Enumerar, na sequência (1 a 9), a flexibilidade ( <b>potencial para aperfeiçoamentos</b> ) das técnicas ( <b>mais flexível para menos flexível</b> ).	
( 1 ) Circuito de proteção	( 3 ) <i>Careful</i> COTS
( 8 ) TMR (Redundância Modular Tripla)	( 2 ) Redundância de FPGA
( 6 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 5 ) Reconfiguração parcial
( 9 ) Duplicação	( 4 ) Quadruplicação
( 7 ) Detector de radiação	

**TESE: Metodologia para seleção das técnicas de mitigação de falhas devido aos efeitos da radiação em FPGAs COTS.**

**ORIENTADORES: Profs. Drs. Geilson Loureiro, Silvio Manea e Giuliani Garbi**

**PESQUISA 4 – 2020**

**QUESTIONÁRIO: Dr. Márcio Afonso Arimura Fialho**

### **A) Apresentação**

Este questionário é parte integrante de uma pesquisa para o curso de Doutorado em Engenharia e Tecnologia Espaciais/Gerenciamento de Sistemas Espaciais do Instituto Nacional de Pesquisas Espaciais. Esta é uma pesquisa científica que tem por objetivo levantar dados sobre técnicas de mitigação de falhas em FPGAs COTS (*Field Programmable Gate Array - Commercial off-the-shelf*), segundo conhecimento, experiência e percepção de especialistas no assunto. Estes dados serão considerados para a utilização de uma ferramenta da área de gerenciamento de projetos (Matriz de Pugh), visando a obtenção do ranqueamento de soluções disponibilizadas na literatura. O resultado auxiliará na confecção de uma metodologia para auxiliar o engenheiro eletroeletrônico na escolha da técnica mais indicada para um projeto específico, inserido em uma missão espacial. Os critérios utilizados serão os seguintes: custo, tempo, implementação, complexidade e flexibilidade. Este conhecimento poderá favorecer a elaboração de pesquisas na área espacial de instituições como o INPE ou outras que pesquisem e/ou realizem projetos envolvendo o dispositivo mencionado. Os dados fornecidos serão para uso exclusivo da pesquisa em curso e o profissional consultado deverá observar as normas vigentes com relação ao sigilo da instituição/empresa. Agradeço sua participação, enfatizando que a mesma em muito contribuirá para o aperfeiçoamento do conhecimento e eficiência dos projetos espaciais, principalmente no contexto de nosso país.

## B) Questionamentos

**Observação:** Sem conhecer em detalhes os objetivos propostos do equipamento, o ambiente de uso, a duração da missão e risco aceitável, fica muito difícil fazer uma boa estimativa. Além disto, dependendo dos requisitos de missão, algumas técnicas de mitigação se tornam praticamente obrigatórias, isto é, uma opção listada nas perguntas nem sempre é uma alternativa a outra.

Identificação Pessoal/Profissional	
Nome completo	
e-mail	
Formação	<input type="checkbox"/> Técnica <input type="checkbox"/> Graduação <input type="checkbox"/> Especialização <input type="checkbox"/> Mestrado <input checked="" type="checkbox"/> Doutorado <input type="checkbox"/> Pós-Doutorado Área: <u>Engenharia e Tecnologia Espaciais</u>
<b>1. Técnicas de tolerância à radiação (FPGA COTS) – Custo</b> Enumerar, na sequência (1 a 9), o <b>custo</b> estimado ( <b>do menor para o maior</b> ) das técnicas em termos de projetos, considerando infraestrutura, pessoal e material.	
( 1 ) Circuito de proteção	( 8 ) Careful COTS
( 7 ) TMR (Redundância Modular Tripla)	( 3 ) Redundância de FPGA
( 5 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 4 ) Reconfiguração parcial
( 6 ) Duplicação	( 9 ) Quadruplicação
( 2 ) Detector de radiação	
<b>2. Técnicas de tolerância à radiação (FPGA COTS) – Tempo</b> Enumerar, na sequência (1 a 9), as técnicas de mitigação que utilizam menos <b>tempo</b> para a sua implementação ( <b>do menor para o maior</b> ), considerando os parâmetros do item 1.	
( 1 ) Circuito de proteção	( 9 ) Careful COTS
( 7 ) TMR (Redundância Modular Tripla)	( 2 ) Redundância de FPGA
( 4 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 3 ) Reconfiguração parcial
( 6 ) Duplicação	( 8 ) Quadruplicação
( 5 ) Detector de radiação	



### 3. Técnicas de tolerância à radiação (FPGA COTS) – Implementação

Enumerar, na sequência (1 a 9), a **implementação** das técnicas, considerando a facilidade em projetar, montar ou instalar o *hardware* e/ou *software*, assim como a facilidade em iniciar e manter operação regular dos circuitos e/ou *softwares*. A sequência deverá ser da técnica que oferece **maior para a de menor facilidade** de implementação.

( 2 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 7 ) TMR (Redundância Modular Tripla)	( 4 ) Redundância de FPGA
( 5 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 3 ) Reconfiguração parcial
( 6 ) Duplicação	( 8 ) Quadruplicação
( 1 ) Detector de radiação	

### 4. Técnicas de tolerância à radiação (FPGA COTS) – Complexidade

Enumerar, na sequência (1 a 9), a **complexidade** das técnicas, considerando o trabalho mais especializado, dificuldade para compreensão, assim como *hardware* ou *software* mais elaborados. A sequência deverá ser da técnica **menos complexa para a mais complexa**.

( 2 ) Circuito de proteção	( 9 ) <i>Careful</i> COTS
( 7 ) TMR (Redundância Modular Tripla)	( 4 ) Redundância de FPGA
( 6 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 3 ) Reconfiguração parcial
( 5 ) Duplicação	( 8 ) Quadruplicação
( 1 ) Detector de radiação	

### 5. Técnicas de tolerância à radiação (FPGA COTS) – Flexibilidade

Enumerar, na sequência (1 a 9), a flexibilidade (**potencial para aperfeiçoamentos**) das técnicas (**mais flexível para menos flexível**).

( 4 ) Circuito de proteção	( 1 ) <i>Careful</i> COTS
( 7 ) TMR (Redundância Modular Tripla)	( 2 ) Redundância de FPGA
( 6 ) Códigos de detecção e correção de erros (ECC/EDAC)	( 3 ) Reconfiguração parcial
( 7 ) Duplicação	( 7 ) Quadruplicação
( 5 ) Detector de radiação	

Nota: TMR, duplicação e quadruplicação empatados.

## **APÊNDICE G – PESQUISA DE DADOS (PROJETO)**

**TESE: Metodologia para seleção das técnicas de mitigação de falhas devido aos efeitos da radiação em FPGAs COTS.**

**ORIENTADORES: Profs. Drs. Geilson Loureiro, Silvio Manea e Giuliani Garbi**

**PESQUISA – 2020**

**QUESTIONÁRIO: Dr. José Marcelo Lima Duarte**

### **A) Apresentação**

Este questionário é parte integrante de uma pesquisa para o curso de Doutorado em Engenharia e Tecnologia Espaciais/Gerenciamento de Sistemas Espaciais do Instituto Nacional de Pesquisas Espaciais. Esta é uma pesquisa científica que tem por objetivo levantar dados sobre o FPGA COTS (*Field Programmable Gate Array - Commercial off-the-shelf*) utilizado para o projeto do *Environmental Data Collector (EDC/CONASAT)*, conforme Messias et al. (2020). As informações obtidas auxiliarão em um estudo de caso para a validação de uma metodologia para auxiliar o engenheiro eletroeletrônico na escolha da técnica mais indicada para um projeto específico, inserido em uma missão espacial. Este conhecimento poderá favorecer a elaboração de pesquisas na área espacial de instituições como o INPE ou outras que pesquisem e/ou realizem projetos envolvendo o dispositivo mencionado. Os dados fornecidos serão para uso exclusivo da pesquisa em curso e o profissional consultado deverá observar as normas vigentes com relação ao sigilo da instituição/empresa. Agradeço sua participação, enfatizando que a mesma em muito contribuirá para o aperfeiçoamento do conhecimento e eficiência dos projetos espaciais, principalmente no contexto de nosso país.

### **B) Questionamentos**

a) O FPGA M2S foi utilizado no projeto, conforme a especificação ou ocorreram alterações por motivos técnicos?

R - Foi especificado um FPGA baseado em memória *Flash* com um microcontrolador embarcado. A família M2S atende esses requisitos.

b) Foram verificadas vantagens técnicas neste tipo ou família de FPGA?

R- As vantagens técnicas são:

- Imunidade a SEU no *hardware* programado no FPGA devido ao uso de memória *Flash*.
- Imunidade a SEU na memória de programa do microcontrolador devido ao uso de memória *Flash*.
- Microcontrolador rígido embutido com várias proteções contra SEU como memória com SECDED EDAC.
- Baixo consumo.

c) O FPGA utilizado foi adquirido ou já estava disponível em estoque? Se foi adquirido, qual o preço de aquisição? Se estava em estoque, este foi o motivo principal para sua utilização?

R - O FPGA não estava em estoque. O preço unitário do M2S025-FGG484I é de aproximadamente U\$ 80. Entretanto, a versão atual do projeto não faz uso do CI do FPGA e sim de um módulo que contém o CI, esse módulo é o SOM-M2S025-FG484I da Emcraft que custa US\$ 145,00 a unidade. Como o módulo não é soldado na placa, e sim encaixado, podemos substituir o SOM-M2S025-FG484I por um com mais recurso sem precisar fazer nenhuma alteração no projeto. O módulo com maior capacidade é o SOM-M2S090-FG484I que custa US\$ 199,00. Esses preços não incluem o frete e os impostos de importação.

d) Foi estabelecido algum grau de criticalidade ou confiabilidade para o EDC?

R - Não

e) Foram realizadas simulações ou testes práticos para este projeto, incluindo o FPGA? Quais foram os resultados?

R - Apenas testes funcionais. O teste principal consistiu em emular continuamente a transmissão de sinais de Plataformas de Coleta de Dados para

estimular o sistema e, com isso, verificar se consegue entregar as mensagens decodificadas e fornecer suas telemetrias de *housekeeping*, que são informações sobre o estado de saúde do sistema. Ainda não foram feitos testes ambientais e mecânicos.

f) O FPGA é utilizado para a implementação de outros circuitos? Qual a porcentagem de ocupação do circuito do EDC? Qual a porcentagem de ocupação do FPGA?

R - O projeto ocupa aproximadamente 50% dos recursos do M2S025 e os detalhes do uso dos recursos em termos de LUTs, multiplicadores e blocos de memória RAM podem ser constatados na tabela, a seguir. Entretanto, é possível substituir o M2S025 pelo M2S090 sem alterar o projeto do *hardware*.

g) Há espaço na placa do circuito impresso para mais um FPGA do mesmo tipo? Quantos?

R - Mais um, com facilidade; a quantidade de dois a mais é possível, mas o projeto se tornaria complexo para a nossa equipe.

h) Caso seja adotada uma das técnicas da Tabela F.1, há infraestrutura interna e disponibilidade de pessoal, ou será necessária a contratação dos serviços para a implementação da técnica? Caso seja aprovada a contratação, pode-se considerar a disponibilidade de recursos financeiros?

R - Nosso único problema é recurso para contratação de mão de obra. O ideal seria que tivéssemos pelo menos mais dois engenheiros trabalhando em tempo integral no projeto durante a fase de implementação e testes. O projeto não demanda ferramentas de *software* caras para seu desenvolvimento. Nosso laboratório de eletrônica já possui todos os equipamentos necessários para testar o sistema. O serviço de fabricação de três unidades do EDC tem custo de aproximadamente R\$ 20.000,00.

i) Quantas LUTs (*Look Up Tables*) e DSP (*Digital Signal Processors*) são utilizadas para implementação do FPGA? Quantas LUTs e DSP são utilizadas para implementação de todos os circuitos no FPGA (projeto completo)?

R - Segue uma figura mostrando a ocupação dos recursos do *hardware* em número de elementos e em porcentagem relativa ao M2S025. O M2S050 tem aproximadamente o dobro da capacidade do M22025 e o M2S090 mais do que o triplo.

Figura G.1 – Recursos lógicos (FPGA M2S025).

Type	Used	Total	Percentage
4LUT	13854	27696	50.02
DFF	13497	27696	48.73
I/O Register	0	801	0.00
User I/O	24	267	8.99
-- Single-ended I/O	24	267	8.99
-- Differential I/O Pairs	0	133	0.00
RAM64x18	23	34	67.65
RAM1K18	15	31	48.39
MACC	30	34	88.24
Chip Globals	3	16	18.75
CCC	1	6	16.67
RCOSC_25_50MHZ	0	1	0.00
RCOSC_1MHZ	0	1	0.00
XTLOSC	0	1	0.00
MSS	1	1	100.00

Fonte: Produção do autor (DUARTE, 2020).

OBs<sub>1</sub>.: RCOSC (*Resistance – Capacitance Oscillator*); XTLOSC (*Crystal Oscillator*); MSS (*Microcontroller Subsystem*)

OBs<sub>2</sub>.: O CCC é o *Clock Conditioning Circuit*, um circuito dotado de um PLL (*Phase Lock Loop*) que permite gerar um *clock* de frequência arbitrária a partir de um *clock* de referência. No EDC um CCC foi usado para gerar um *clock* de 30 MHz para a lógica no FPGA, a partir de um *clock* de referência de 10 MHz.

Além disso, foi usado um CCC interno do microcontrolador embarcado, para gerar um *clock* de 120 MHz a partir do *clock* de 30 MHz.

j) Qual o valor da resistência térmica do FPGA ( $^{\circ}\text{C}/\text{W}$ )?

R – Pode ser obtida no *Datasheet*.

k) Qual o consumo de potência dinâmica máximo do FPGA?

R - Pode ser obtida no *Datasheet*.

.

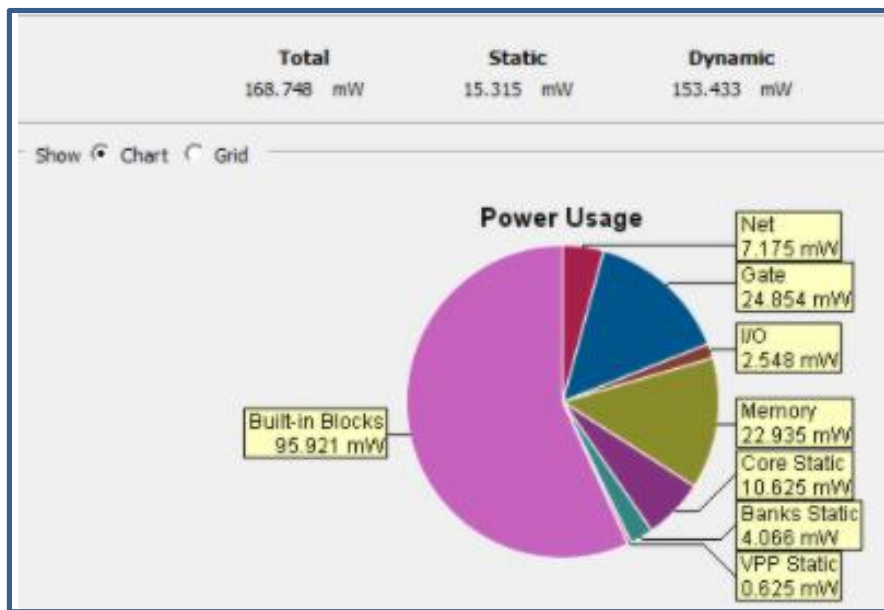
l) Qual o comportamento da potência estática geral do FPGA (considerando a tecnologia MOS), conforme a Tabela F.2?

R - Pode ser obtido no *Datasheet*.

m) Há tolerância em relação à potência total do receptor (4,5 W), caso a potência seja ultrapassada no FPGA, com a utilização da técnica selecionada? Caso positivo, qual o valor?

R - O EDC deve consumir menos que 1,5W. Segue abaixo o resultado da estimacão do consumo feito pelo *software* LiberoSoC da Microsemi. Essa estimacão considerou uma probabilidade de 50% de transiçao de nível lógico nos *flip-flops* internos do FPGA. Essa estimacão é muito pessimista porque há vários *flip-flops* no projeto que ficam desabilitados por um período. Futuramente vou ver o manual da ferramenta para alterar esses 50%. Talvez, o certo seria considerar um consumo de 100 mW. Esse é o consumo apenas do *Core* do FPGA. O consumo do microcontrolador interno do dispositivo não está incluído. Quanto ao consumo máximo aceitável, eu diria que até 400 mW.

Figura G.2 – Estimativa de consumo de potência (M2S025).



Operating Conditions : Typical	
Operating Conditions	
1	Junction Temperature
2	Process
3	VDD
4	CCC_NW0_PLL_VDDA
5	VDDI 3.3
6	MDDR_PLL_VDDA
7	VPP
Value	
	25 C
	Typical
	1.2 V
	2.5 V
	3.3 V
	2.5 V
	2.5 V

Fonte: Produção do autor (DUARTE, 2020).

n) A inclusão de mais um ou dois FPGAs, ou circuitos lógicos para as técnicas de Reconfiguração e EDAC ultrapassam a margem do balanço de massa?

R - Dois FPGAs a mais não trarão problemas quanto ao limite de massa. Um aumento significativo de massa só ocorreria se tivéssemos que partir para duas placas de PCB ao invés de uma só. Entretanto, acredito que dá para encaixar

até 3 FPGAs em uma mesma placa. Sendo que, com 3 FPGAs, o projeto da placa pode ficar complexo para a minha equipe.

Tabela G.1 - Referências para técnicas de mitigação.

<b>Técnicas de mitigação</b>	<b>Fonte principal de informações</b>
1 - Circuito de proteção	Reyneri et al. (2010)
2- <i>Careful</i> COTS	Sinclair e Dyer (2013)
3- Redundância Modular Tripla (TMR)	Parobeck (2013)
4 - Redundância de FPGA	Carmichael et al. (1999)
5- Correção e detecção de erros (EDAC)	Shirvani et al. (2000)
6- Reconfiguração	Parobeck (2013)
7 – Duplicação	Kastensmidt et al. (2004a)
8- Quadruplicação	Parobeck (2013)
9 - Detector de radiação	Lameres et al. (2010)

Fonte: Produção do autor.

Tabela G.2 – Comportamento da potência estática.

<b>Potência estática</b>	<b>Exemplos da literatura</b>	<b>Referência</b>	<b>FPGA(s)</b>
Tecnologia MOS – função da temperatura do dispositivo	a) 1W a 0°C, 3W a 100°C b) 0.256W a 25°C, 0.323W a 50°C e 0.422W a 75°C.	Wulf et al. (2016)	M2S

Fonte: Produção do autor.

## Referências

CARMICHAEL, C.; FULLER, E.; BLAIN, P.; CAFFREY, M. SEU mitigation techniques for virtex FPGAs in space applications. In: MILITARY AND AEROSPACE PROGRAMMABLE LOGIC DEVICE (MAPLD) INTERNATIONAL CONFERENCES, 1999, Laurel, Maryland, USA. **Proceedings...** Laurel: MPL, 1999.

KASTENSMIDT, F. G. L; NEUBERGER, G.; HENTSCHE, R. F.; CARRO, L.; REIS, R. Design fault tolerant technique for SRAM based FPGAs. **IEEE Design & Test of Computers**, v. 21, n. 6, p. 552-562, December 6, 2004.



LAMERES, B.; KAISER, T.; GOWENS, E.; BUERKLE, T.; PRICE, J.; HELSLEY, K.; PETERSON, B.; RAY, R. Position sensitive radiation detector integrated with an FPGA for radiation tolerant computing. In: IEEE SENSORS CONFERENCE, 2010, Waikoloa, HI, USA. **Proceedings...** Waikoloa: IEEE SENSORS, 2010. p. 208-213.

MESSIAS, T.F.; DUARTE; J.M.L.; VIDAL, F.J.T. Test system for functional verification of a SBCDA receptor – study of case: environmental data collector. In: INTERNATIONAL ASTRONAUTICAL CONGRESS (IAC), 27., 2020, Paris, França. **Proceedings...** Paris: IAC, 2020. p. 1- 4.

PAROBECK, L.S. **Research, development and testing of a fault-tolerant FPGA-based sequencer for cubesat launching applications.** 224 p. Dissertação (Mestrado em Engenharia Elétrica) - Naval Postgraduate School, Monterey, CA, USA, 2013.

REYNERI, L. M.; SANSOÈ, C.; PASSERONE, C.; SPERETTA, S.; TRANCHERO, M.; BORRI, M.; CORSO, D. D. **Design solution for modular satellites architectures.** United Kingdon: InterchOpen. 2010. Disponível em: <https://www.intechopen.com/books/aerospace-technologies-advancements/design-solutions-for-modular-satellite-architectures>. Acesso em: 07 fev. 2019.

SHIRVANI, P. P.; SAXENA, N. R.; MCCLUSKEY, E. J. Software implemented EDAC protect against SEUs. **IEEE Transactions on Reability**, v. 49, n. 3, p. 273-284, Sept. 2000.

SINCLAIR, D.; DYER, J. **Radiation effects and COTS parts in smallsats.** In: ANNUAL AIAA/USU CONFERENCE ON SMALL SATELLITES, 27., 2013, Utah State University, Logan, Utah, USA. **Proceedings...** Logan: AIAA/USU, 2013. p. 1-12.

WULF, N., GEORGE, A.D.; ROSS, A.G. A framework for evaluating and optimizing FPGA-based SoCs for aerospace computing. **ACM Transactions on Reconfigurable Technology and Systems (TRETs - ACM Digital Library)**, v. 10, n. 1, Dec. 2016. Disponível em: <https://dl.acm.org/citation.cfm?id=2888400>. Acesso em: 07 fev. 2019.

## APÊNDICE H – FONTES DE PESQUISA

Tabela H.1 – Fontes de pesquisa (técnicas de mitigação).

<b>Técnicas de mitigação</b>	<b>Fontes principais de pesquisa</b>
1- Circuito de proteção	Reyneri et al. (2010) e Corso et al.(2011)
2- <i>Careful</i> COTS	Sinclair e Dyer (2013)
3- Redundância Modular Tripla (TMR)	Carmichael et al. (1999), Pratt et al. (2008), She e Samudrala (2009), Naber (2010), Sharma (2010), Pratt (2011), Parobeck (2013), Siegle et al. (2015), Pereira (2018) e Agiakatsikas (2019)
4- Redundância de FPGA	Carmichael et al. (1999)
5- Detecção e Correção de erros (EDAC)	Shirvani et al. (2000), Tamke (2019) e Tello (2019)
6- Reconfiguração	Parobeck (2013), Kourfali (2019) e Tamke (2019)
7- Duplicação	Kastensmidt et al. (2004a)
8- Quadruplicação	Parobeck (2013)
9- Detector de radiação	Lameres et al. (2010)

Tabela H.2 – Fontes de pesquisa (dados e cálculos).

<b>Dados aplicáveis</b>	<b>Fontes de pesquisa</b>
Missão	Carvalho (2019), Carvalho et al. (2013), Queiroz et al. (2018).
Projeto	Carvalho et al. (2013), Queiroz et al. (2018), Messias et al. (2020) e Apêndice G
FPGA	Messias et al. (2020) e Apêndice G
Técnicas de mitigação	Tabelas B.1/H.1 e Apêndice C
Critérios	Tabela H.3
Resultados	Trabalhos científicos assinalados na coluna R do Apêndice C

Tabela H.3 – Fontes de pesquisa (critérios).

<b>Tipo de critério</b>	<b>Critério</b>	<b>Fontes de pesquisa</b>	<b>Consideração do critério (FPGA)</b>
Parâmetro técnico	Criticalidade	Machado (2014)	Machado (2014)
Parâmetro técnico	Espaço físico (FPGA)	Siegle et al. (2015)	Siegle et al. (2015)
Parâmetro técnico	Espaço físico (Placa de circuito impresso)	Siegle et al. (2015)	Siegle et al. (2015)
Parâmetro técnico	Balanço de massa	Souza (2002) e Bogossian (2015)	Autor
Parâmetro técnico	Balanço de potência	Souza (2002) e Bogossian (2015)	Autor
Parâmetro técnico	Resposta de <i>clock</i>	Zhu e Wong (1997)	Autor
Parâmetro técnico	Resposta de velocidade de processamento	Rollins et al. (2004) e Schmidt (2011)	Autor
Parâmetro técnico	Viabilidade	Autor	Autor
Métrica técnica	Potência	Wulf et al. (2016)	Wulf et al. (2016)
Métrica técnica	Confiabilidade	Wulf et al. (2016)	Wulf et al. (2016)
Métrica de pesquisa	Estatística	Autor	Autor
Métrica de projeto	Método de decisão	Pugh (1991) e Bambace (2013).	Autor

## APÊNDICE I – RECURSOS UTILIZADOS PARA OS CÁLCULOS

Tabela I.1– Dispositivos Lógicos (DL) disponíveis no FPGA.

DL disp.	M2S025	M2S050	M2S090
LUT + DFF	27696	56340	86184
MACC	34	72	84
FIC	1	2	1
PLLs + CCCs	6	6	6
eNVM ( <i>memory</i> )	256	256	512
eSRAM	64	64	64
eSRAM (não SECEDED)	80	80	80
Total RAM	592	1314	2074
Total <i>User I/O</i>	267	377	425
Total	28996	58511	89430

Obs.: DFF - *Flip-flop* tipo D

Fonte: Microsemi (2018).

Tabela I.2 – Dispositivos Lógicos (DL) utilizados no projeto.

DLs (M2S025)	<i>Design</i>
LUT + DFF	13854
User I/O	24
RAM 64x18	23
RAM 1Kx18	15
MACC	30
CCC	1
Total	13947

Fonte: Produção do autor (Apêndice G).

Tabela I.3 – Recursos lógicos para a implementação das técnicas.

Recursos RECO		Recursos EDAC	
LUT	14854	LUT	2027
FF	18017	LUTRAM	1
BRAM	25	FF	606
DSP	94	BRAM	6
LUTRAM	858	DSP	1
		BUFG	1
Total	33848	Total	2642

Fonte: Pérez et al. (2017); Tello (2019).