

IMPLEMENTAÇÃO DE UM DECODIFICADOR SBCDA/ARGOS EM FPGA

Raffael Sadite Cordoville Gomes de Lima¹ (UFRN, Bolsista PIBIC/CNPq)
José Marcelo Lima Duarte² (INPE/CRCRN, Orientador)

RESUMO

Este trabalho, iniciado em setembro de 2017, tem como objetivo dar continuidade ao projeto de Iniciação Científica em andamento desde 2013, que consiste em desenvolver um modelo em MatLab para o decodificador do sinal do Sistema Brasileiro de Coleta de Dados Ambientais (SBCDA/Argos), o qual seria futuramente implementado em um FPGA. A proposta inicial é que o decodificador realize o processamento do sinal utilizando algoritmos de baixa complexidade computacional, para facilitar sua futura implementação em um nanossatélite. O decodificador embarcado em hardware pode ser visto como três blocos principais: o detector, que identifica sinais de Plataformas Terminal Transmissoras (PTTs); o demodulador, que extrai a informação dos sinais transmitidos pelas PTTs; e finalmente o terceiro para decodificar os dados dos sinais demodulados. Devido ao não sincronismo entre as PTTs, observou-se a necessidade de operação multicanal do decodificador. No início deste trabalho, a descrição RTL havia sido concluída e encontrava-se operacional para o decodificador de canal único, o processamento de múltiplos canais estava sendo efetuado através do paralelismo dos decodificadores de PTTs (PTTDs). A proposta atual do trabalho é a otimização do hardware de demodulação existente, analisando a eficiência de cada uma das operações (sub-blocos) codificadas em RTL e alterando sua arquitetura para operação multicanal. A nova versão do hardware foi validada através da comparação da sua resposta à do modelo MatLab, submetidos ao mesmo estímulo. A análise de síntese efetuada para o mesmo FPGA apresentou reduções de utilização de hardware, em comparação com a versão anterior, de: 93,7% dos blocos de memória, 47% dos DSPs, 83,7% das LUTs e 47,3% das SLEs utilizadas. Essa economia de hardware possibilitou que se trabalhasse com um FPGA menor, da mesma família do anterior. Atualmente está sendo realizada a integração do decodificador com a interface AHB que o conecta ao microcontrolador. Os testes de comunicação da interface AHB estão sendo realizados com ajuda do Libero SoC, que permite a criação de um microcontrolador virtual para tal simulação. Posteriormente, faremos a descarga do firmware na placa do FPGA para realizarmos os testes finais.